



Desenvolvimento de um Voltage Source Converter de Interface à Rede para Sistemas de Armazenamento de Energia a Baterias

ANDRÉ FILIPE DIAS DE AMORIM

julho de 2025

Desenvolvimento de um *Voltage Source Converter* de Interface à Rede para Sistemas de Armazenamento de Energia a Baterias

André Filipe Dias de Amorim - Nº 1201433

**Dissertação para obtenção do Grau de Mestre em
Engenharia Eletrotécnica - Sistemas Elétricos de Energia**

Orientador: Professor Doutor Rui Miguel Monteiro de Brito

Júri:

Presidente:

Professor Doutor Fernando Maurício Teixeira de Sousa Dias, Professor Adjunto, ISEP

Vogais:

Professor Doutor Rui Miguel Monteiro de Brito, Professor Adjunto, ISEP

Professor Doutor Jorge Miguel dos Santos Pinto, Professor Auxiliar Convidado, FEUP

Resumo

O presente documento contempla um estudo dos principais fatores inerentes à operação e desenvolvimento dos conversores de potência bidirecionais *Voltage Source Converters* (VSCs). Estes conversores desempenham um papel fundamental no âmbito da integração das energias renováveis, nomeadamente a solar fotovoltaica e a eólica, e de baterias estacionárias, atuando como interface entre estes recursos e a rede.

Numa fase inicial, são apresentadas as características mais preponderantes dos VSCs, bem como os princípios genéricos que sustentam o seu funcionamento. As transformadas de Clarke e Park surgem como ferramentas matemáticas que permitem simplificar a análise e o controlo destes conversores. O sincronismo com a rede, a técnica de modulação adotada e o método de controlo são aspetos de particular relevância no âmbito do desempenho destes conversores.

Posteriormente, através de uma etapa de modelação, é caracterizado matematicamente o comportamento do VSC, o que permite desenvolver um modelo de controlo adequado. Toda a fundamentação teórica é validada em ambiente de simulação. Partindo das simulações nos domínios de tempo contínuo e discreto, é avaliado o desempenho do VSC sob diferentes condições de operação.

Com base no suporte fornecido pela etapa de simulação, é desenvolvido um protótipo laboratorial de um VSC de interface à rede, considerando um sistema de armazenamento de energia a baterias. Após uma breve caracterização do *hardware* utilizado e da montagem efetuada, são abordados os aspetos fundamentais da implementação prática, incluindo as malhas de controlo e a geração dos sinais associados à modulação, os mecanismos de proteção e o tempo de execução do código desenvolvido.

No final, através de um conjunto de ensaios laboratoriais, é validado o desempenho do protótipo concebido. Os resultados obtidos evidenciam a possibilidade de operação do VSC sob os quatro quadrantes de potência, sendo possível carregar ou descarregar as baterias e, simultaneamente, alterar o fator de potência imposto pelo conversor à rede. O controlo desacoplado das potências ativa e reativa, bem como a rápida resposta do conversor perante diferentes referências destas potências, elevam o valor do VSC enquanto solução de suporte à rede e de prestação de serviços de sistema, nomeadamente regulação de frequência e controlo de tensão.

Palavras-chave: *Voltage Source Converter*, Interface à Rede, Armazenamento em Baterias, Sincronismo com a Rede, Técnicas de Modulação.

Abstract

This document includes a study of the main factors inherent to the operation and development of bidirectional Voltage Source Converters (VSCs). These converters play a fundamental role in the integration of renewable energies, namely solar photovoltaic and wind, and stationary batteries, acting as an interface between these resources and the grid.

Initially, the most relevant characteristics of VSCs are presented, as well as the generic principles that sustain their operation. The Clarke and Park transforms are mathematical tools that simplify the analysis and control of these converters. Synchronism with the grid, the adopted modulation technique and the control method are particularly important aspects in terms of the performance of these converters.

Subsequently, through a modelling stage, the behaviour of the VSC is mathematically characterized, allowing the development of an appropriate control model. All the theoretical fundamental aspects are validated in a simulation environment. Based on continuous-time and discrete-time simulations, the VSC's performance is evaluated under different operating conditions.

Based on the support provided by the simulation stage, a VSC interfacing the grid prototype is developed for an energy storage system using batteries. After a brief characterization of the hardware used and the carried out assembly, the fundamental aspects of the practical implementation are discussed, including the control loops and the generation of the modulation signals, the protection mechanisms and the execution time of the developed code.

Finally, a series of laboratory tests validate the performance of the prototype. The obtained results show that the VSC can operate in all four power quadrants, making it possible to charge or discharge the batteries and simultaneously change the power factor imposed by the converter on the grid. The decoupled control of the active and reactive power, as well as the converter's fast response to different references of these powers, increase the value of the VSC as a solution to support the grid and provide ancillary services, namely frequency regulation and voltage control.

Keywords: Voltage Source Converter, Grid Interface, Battery Storage, Grid Synchronization, Modulation Techniques.

Agradecimentos

Neste momento de conclusão de mais uma etapa do meu percurso acadêmico, gostaria de expressar o meu sincero agradecimento a todos os que, direta ou indiretamente, me apoiaram nesta jornada:

À minha família, por todo o apoio que sempre me deu ao longo do percurso;

À amizade daqueles que, com momentos de partilha, diversão e descontração, tornaram esta experiência mais enriquecedora e gratificante;

Aos docentes, por toda a dedicação, disponibilidade e partilha de conhecimento, e à direção de curso, pelo constante acompanhamento e suporte aos alunos no decorrer desta etapa;

Por último, um agradecimento muito especial ao professor Rui Brito. Agradeço-lhe por ter aceite ser o meu orientador e por ter confiado em mim para o desenvolvimento deste projeto. O seu apoio incondicional, paciência e simpatia foram determinantes para a concretização desta etapa. Por todo o tempo pessoal do qual abdicou em prol da qualidade do projeto e por todos os conhecimentos que me transmitiu, expressei o meu mais profundo agradecimento.

Índice

1	Introdução	1
1.1	Contextualização	1
1.2	Objetivos	1
1.3	Organização do Documento	2
2	Estado da Arte	3
2.1	<i>Voltage Source Converter</i>	3
2.1.1	Fundamentos e Características	3
2.1.2	Conversores <i>Grid-Following</i> e <i>Grid-Forming</i>	5
2.1.3	Princípio de Operação	7
2.2	Transformadas de Clarke e Park	10
2.2.1	Transformada de Clarke	10
2.2.2	Transformada de Park	11
2.3	Sincronismo com a Rede	12
2.3.1	<i>Phase-Locked Loop</i>	13
2.3.2	<i>Synchronous Reference Frame Phase-Locked Loop</i>	13
2.4	Técnicas de Modulação	15
2.4.1	<i>Sinusoidal Pulse-Width Modulation</i>	15
2.4.2	<i>Space Vector Modulation</i>	17
2.4.3	<i>Third Harmonic Uniform Pulse-Width Modulation</i>	19
2.4.4	Índice de Modulação M	20
3	Modelação e Controlo do <i>Voltage Source Converter</i>	21
3.1	Modelação do VSC	21
3.1.1	Modelação do Lado AC do VSC	22
3.1.2	Lado AC do VSC: Potência Ativa e Reativa	26
3.1.2.1	Potência em $\alpha\beta$	26
3.1.2.2	Potência em dq	27
3.1.3	Modelação do Lado DC do VSC	28
3.1.4	Modelo Completo do VSC em dq	29
3.2	Controlo do VSC	29
3.2.1	Controlo de Corrente	30
3.2.2	Controlo de Tensão	33
4	Simulação do <i>Voltage Source Converter</i>	35
4.1	Simulação em Tempo Contínuo	35
4.1.1	Circuito de Potência do VSC	36

4.1.2	<i>Synchronous Reference Frame Phase-Locked Loop</i>	37
4.1.3	Controlo Desacoplado de Corrente	39
4.1.4	Modulação SVM	42
4.1.5	Resultados	43
4.2	Simulação em Tempo Discreto	47
5	Protótipo Laboratorial	53
5.1	<i>Hardware</i>	53
5.1.1	Microcontrolador	53
5.1.2	Conversor de Potência	54
5.1.3	Transformadores Monofásicos e Autotransformador	55
5.1.4	Baterias	56
5.1.5	Bobinas	56
5.1.6	Sensores de Tensão e Sensores de Corrente	56
5.1.7	Equipamentos Auxiliares	57
5.2	Implementação Laboratorial	57
5.2.1	Esquema Elétrico	58
5.2.2	Protótipo	59
5.3	APP PWM SVM	60
5.4	Interface Gráfica	63
5.5	Mecanismos de Proteção	64
5.6	Tempo de Execução do Código	64
6	Resultados	67
6.1	<i>Synchronous Reference Frame Phase-Locked Loop</i>	67
6.2	Operação como Retificador	71
6.2.1	FP Unitário	71
6.2.2	FP Indutivo e FP Capacitivo	73
6.3	Operação como Inversor	74
6.4	Controlo Exclusivo de Potência Reativa	76
7	Conclusões	79
7.1	Trabalhos Futuros	80
	Referências	81
Anexo A	Domínio de Tempo Discreto	87
A.1	Controlo em Tempo Discreto	87
A.2	Controlador PI em Tempo Discreto	88
A.3	Código <i>C-Script</i>	89
A.3.1	<i>Code Declarations</i>	89
A.3.2	<i>Update Function Code</i>	93
A.3.3	<i>Output Function Code</i>	96
Anexo B	Detalhe <i>Hardware</i>	97
B.1	Conversor de Potência X-NUCLEO-IHM08M1	97
B.1.1	Mecanismo de <i>Enable</i>	98
B.1.2	<i>Dead-Time</i>	99
B.1.3	Medição da Tensão DC	101
B.1.4	Medição da Temperatura	102

B.2	Baterias	103
B.3	Transdutores de Tensão LEM LV25-P	103
B.4	Transdutores de Corrente LEM LA55-P	105
Anexo C	Análises e Resultados Adicionais	109
C.1	Influência da EMI na Rede	109
C.2	Harmônicos Presentes na Forma de Onda da Corrente da Rede	110
C.3	Operação como Retificador: FP Indutivo e FP Capacitivo	112
C.4	Operação como Inversor: FP Indutivo e FP Capacitivo	112
C.5	Controlo Exclusivo de Potência Reativa	114

Lista de Figuras

2.1	Configuração Genérica de um VSC.	4
2.2	Interação entre a Fonte/Carga AC e o Lado AC do VSC.	7
2.3	Transformadas de Clarke e Park.	10
2.4	Referenciais abc e $\alpha\beta$	10
2.5	Referenciais $\alpha\beta$ e dq	11
2.6	Técnicas de Sincronização.	12
2.7	Modelo Genérico de uma PLL.	13
2.8	Modelo Genérico de uma SRF-PLL.	14
2.9	Modelo de uma SRF-PLL com Normalização e Frequência Central.	14
2.10	VSC Trifásico: Aplicação dos Sinais PWM.	15
2.11	Geração de uma Onda PWM.	16
2.12	Tensões Simples e Composta (Filtradas) Geradas no VSC.	17
2.13	VSC Trifásico.	18
2.14	Representação Espacial dos Vetores de Tensão.	18
2.15	Decomposição de uma Onda Moduladora <i>Space Vector</i>	19
3.1	Estrutura Genérica de um VSC.	21
3.2	Modelo do Lado AC de um VSC Trifásico.	22
3.3	Modelo dq do Lado AC do VSC.	25
3.4	Diagrama Fasorial do VSC em dq	25
3.5	Diagrama Fasorial do VSC em dq : Operação como Retificador e Inversor.	26
3.6	Modelo do Lado DC do VSC.	28
3.7	Modelo Completo do VSC em dq	29
3.8	Modelo Genérico de um Controlador PI.	30
3.9	Modelo do Controlador de Corrente Desacoplado.	32
3.10	Esquema Geral de Controlo do VSC.	32
3.11	Modelo do Controlador de Tensão.	33
4.1	Circuito de Potência.	36
4.2	SRF-PLL em Tempo Contínuo.	37
4.3	Sincronismo da SRF-PLL.	38
4.4	Controlo Desacoplado de Corrente em Tempo Contínuo.	39
4.5	Ângulo de Fase das Tensões Produzidas no VSC.	40
4.6	Processos de Carga e Descarga da Bateria.	42
4.7	Modulação SVM.	42
4.8	Controlo Desacoplado de Corrente e Modulação SVM.	43
4.9	Dinâmica do VSC.	44
4.10	Dinâmica do VSC, sem Desacoplamento	45

4.11	Cálculo do Índice de Modulação M	46
4.12	Índice de Modulação M	46
4.13	Circuito de Potência (Tempo Discreto).	47
4.14	Modelo de Controlo (Tempo Discreto).	48
4.15	Modulação SVM (Tempo Discreto).	48
4.16	Sincronismo da SRF-PLL (Tempo Discreto).	49
4.17	SRF-PLL: Tempo Contínuo vs Tempo Discreto.	49
4.18	Dinâmica do VSC (Tempo Discreto).	50
4.19	Interação entre a Tensão da Rede e a Tensão Produzida no VSC.	51
4.20	Índice de Modulação M (Tempo Discreto).	51
5.1	XMC4700 Relax Kit e X-NUCLEO-IHM08M1.	54
5.2	Transformadores Monofásicos.	55
5.3	Autotransformador Trifásico.	55
5.4	Baterias e Bobinas.	56
5.5	Transdutores de Tensão LEM LV25-P e Transdutores de Corrente LEM LA55-P.	57
5.6	Esquema Elétrico do VSC Implementado Laboratorialmente.	58
5.7	Protótipo Laboratorial (Perspetiva Global).	59
5.8	Protótipo Laboratorial.	59
5.9	Diagrama Geral da APP PWM SVM.	60
5.10	Parametrização da APP PWM SVM.	60
5.11	APP PWM SVM: Interrupção <i>Period Match Phase-U</i>	61
5.12	APP PWM SVM: Confirmação dos Sinais PWM Gerados.	62
5.13	Desfasamento entre as Tensões Produzidas no Conversor e as Tensões da Rede.	62
5.14	Interface Gráfica Micrium uC-Probe XMC®.	63
5.15	Tempo Global de Execução do Código Desenvolvido.	65
5.16	Repartição do Tempo Global de Execução do Código.	66
6.1	Tensão da Rede e Respetiva Fase.	67
6.2	Componentes $\alpha\beta$ das Tensões da Rede.	68
6.3	Componentes dq das Tensões da Rede.	68
6.4	Tensão da Rede na Fase a: Análise de Harmónicos.	69
6.5	Sincronismo da SRF-PLL Considerando os Harmónicos da Rede.	70
6.6	Estado Inicial do Sistema e Estado do Sistema sob: $i_d^* = 4,5 A$ e $i_q^* = 0 A$	71
6.7	Tensão e Corrente da Rede : $i_d^* = 4,5 A$ e $i_q^* = 0 A$	72
6.8	Tensão e Corrente da Rede: Arranque do VSC.	72
6.9	Tensão e Corrente da Rede: FP Indutivo e FP Capacitivo.	73
6.10	Tensão e Corrente da Rede: Transitório FP Capacitivo/Indutivo.	74
6.11	Estado Inicial do Sistema e Estado do Sistema sob: $i_d^* = -4,5 A$ e $i_q^* = 0 A$	74
6.12	Tensão e Corrente da Rede : $i_d^* = -4,5 A$ e $i_q^* = 0 A$	75
6.13	Tensão e Corrente da Rede: Transitório Descarga/Carga.	75
6.14	Tensão e Corrente da Rede: Transitório Carga/Descarga.	75
6.15	Tensão e Corrente da Rede: Absorção e Injeção de Potência Reativa.	76
6.16	Tensão e Corrente da Rede: Transitórios Injeção/Absorção e Absorção/Injeção de Potência Reativa.	77
A.1	Métodos de Discretização.	87
A.2	Controlador PI.	88
B.1	Mecanismo de <i>Enable</i>	98
B.2	Braço de um VSC.	99

B.3	Produção das Ondas PWM (sem <i>Dead-Time</i>).	99
B.4	Ondas PWM (com <i>Dead-Time</i>).	100
B.5	Circuito de Medição da Tensão DC.	101
B.6	Circuito de Medição de Temperatura.	102
B.7	<i>Temperature Feedback</i>	102
B.8	Circuito de Condicionamento de Sinal dos Transdutores de Tensão LEM LV25-P.	104
B.9	Circuito de Condicionamento de Sinal dos Transdutores de Corrente LEM LA55-P.	105
B.10	PCB Desenvolvida.	107
C.1	Tensão Medida no Secundário e no Primário dos Transformadores Monofásicos Abaixadores.	109
C.2	Filtro LCL.	110
C.3	Tensão e Corrente da Rede : $i_d^* = 2 A$ e $i_q^* = 0 A$	110
C.4	Tensão e Corrente da Rede : $i_d^* = 4,5 A$ e $i_q^* = 0 A$	111
C.5	Estado do Sistema sob: FP Indutivo e FP Capacitivo.	112
C.6	Diagrama de Potências.	112
C.7	Tensão e Corrente da Rede: FP Indutivo e FP Capacitivo.	113
C.8	Estado do Sistema sob: FP Indutivo e FP Capacitivo.	113
C.9	Estado do Sistema sob: Absorção e Injeção Exclusivas de Potência Reativa.	114

Lista de Tabelas

2.1	Exemplo Numérico: Fluxo de Potência entre a Rede e o VSC.	9
2.2	Estados do <i>Space Vector</i>	18
4.1	Parâmetros do Circuito de Potência.	36
4.2	Sequência de Controlo do VSC.	41
4.3	Sequência de Controlo do VSC - Potências Envolvidas.	41
5.1	Tempo de Execução das Funções Matemáticas.	65
5.2	Tempo de Execução das Várias Etapas de Controlo.	66
6.1	Principais Harmónicos da Tensão da Rede na Fase a.	69
B.1	Tabela de Verdade do <i>Driver</i> L6398.	97
B.2	Principais Características do MOSFET STL220N6F7.	100
B.3	Principais Características das Baterias.	103
B.4	Principais Características do Transdutor de Tensão LEM LV25-P.	103
B.5	Principais Características do Transdutor de Corrente LEM LA55-P.	105
C.1	Harmónicos Presentes na Forma de Onda das Correntes: $i_d^* = 2\text{ A}$ vs $i_d^* = 4,5\text{ A}$	111

Lista de Código

A.1	Secção " <i>Code Declarations</i> ".	89
A.2	Secção " <i>Update Function Code</i> ".	93
A.3	Secção " <i>Output Function Code</i> ".	96

Acrónimos, Siglas e Símbolos

Lista de Acrónimos e Siglas

AC *Alternating Current*

ADC *Analog-to-Digital Converter*

BLDC *Brushless DC Motor*

DAC *Digital-to-Analog Converter*

DC *Direct Current*

EMI *Electromagnetic Interference*

FP *Fator de Potência*

HVDC *High-Voltage Direct Current*

IGBT *Insulated-Gate Bipolar Transistor*

MOSFET *Metal-Oxide Semiconductor Field-Effect Transistor*

NTC *Negative Temperature Coefficient*

PCB *Printed Circuit Board*

PI *Controlador Proporcional-Integral*

PLL *Phase-Locked Loop*

PMSM *Permanent Magnet Synchronous Motors*

PR *Proportional-Resonant*

PRR *Plano de Recuperação e Resiliência*

PWM *Pulse-Width Modulation*

SPWM *Sinusoidal Pulse-Width Modulation*

SRF-PLL *Synchronous Reference Frame Phase-Locked Loop*

SVM *Space Vector Modulation*

THD *Total Harmonic Distortion*

THUPWM *Third Harmonic Uniform Pulse-Width Modulation*

UPS *Uninterruptible Power Supply*

USB *Universal Serial Bus*

VSC *Voltage Source Converter*

Lista de Símbolos

θ	Ângulo de Fase	rad
C	Capacidade	F
i	Corrente	A
f	Frequência	Hz
ω	Velocidade Angular	rad s ⁻¹
Z	Impedância	Ω
L	Indutância	H
S	Potência Aparente	VA
P	Potência Ativa	W
Q	Potência Reativa	var
X	Reatância	Ω
R	Resistência	Ω
v	Tensão	V

1 Introdução

O atual capítulo enquadra o projeto desenvolvido, destacando a sua relevância no contexto energético atual. São apresentados os principais objetivos a atingir e as tarefas que compõem o projeto. No final, é descrita a organização do documento.

1.1 Contextualização

A crescente produção de energia verde, nomeadamente solar fotovoltaica e eólica, suprime uma grande parcela das atuais necessidades energéticas. Contudo, o desfasamento entre a produção e o consumo faz com que parte dessa energia não seja, de facto, aproveitada.

Por forma a dar resposta a esta limitação, diversas soluções de armazenamento de energia têm vindo a ser adotadas. O armazenamento em baterias estacionárias de lítio é uma solução promissora que está em franca expansão [1].

Esta solução de armazenamento requer a utilização de conversores eletrónicos de potência capazes de efetuar a interface entre a rede elétrica e as baterias. É neste âmbito que os *Voltage Source Converters* (VSCs) se destacam como elementos chave, conferindo à rede maior capacidade de lidar com a intermitência inerente à elevada penetração de fontes de produção renovável. A possibilidade de controlo desacoplado do fluxo de potência ativa e potência reativa entre a rede e o VSC permite-lhe ainda desempenhar serviços de suporte à rede, nomeadamente regulação de frequência e controlo de tensão.

1.2 Objetivos

O objetivo deste projeto passa por demonstrar a viabilidade de utilização de um VSC trifásico de interface à rede, associado a uma unidade de armazenamento a baterias, como solução para o fornecimento de serviços de flexibilidade e suporte à rede elétrica.

São tarefas do projeto:

- Compreensão dos princípios que sustentam a operação do VSC;
- Compreensão dos métodos de sincronismo com a rede elétrica e das principais técnicas de modulação;
- Compreensão do modelo de controlo do VSC sob o referencial dq ;

- Desenvolvimento, recorrendo ao *software* de simulação PLECS (*Piecewise Linear Electrical Circuit Simulation*), das simulações em tempo contínuo e tempo discreto do VSC;
- Desenvolvimento de um protótipo funcional de um VSC, que permita, mediante controlo adequado, a transferência de energia entre a rede e o conjunto de baterias. O VSC deverá permitir o controlo desacoplado de potência ativa e reativa, possibilitando, assim, o ajuste do Fator de Potência (FP), que poderá ser unitário, indutivo ou capacitivo.

O protótipo laboratorial será suportado pelo microcontrolador ARM XMC4700. Como ambiente de desenvolvimento, será utilizado o *software* DAVE (*Digital Application Virtual Engineer*), e como suporte à visualização e edição dos dados associados ao controlo, será considerada a interface gráfica Micrium uC-Probe XMC®.

1.3 Organização do Documento

O presente documento está dividido segundo sete capítulos:

Capítulo 1 - Introdução: É efetuado um breve enquadramento ao projeto de dissertação, sendo apresentados os principais objetivos e a calendarização das respetivas etapas;

Capítulo 2 - Estado da Arte: São abordados os princípios e conceitos teóricos que alicerçam o desenvolvimento do projeto. Após uma breve abordagem às características dos VSCs, são destacadas e caracterizadas as transformadas de Clarke e Park, os principais métodos de sincronismo com a rede, e duas técnicas de modulação distintas;

Capítulo 3 - Modelação e Controlo do *Voltage Source Converter*: São apresentadas as equações matemáticas que descrevem o funcionamento do VSC, bem como o sistema de controlo de corrente desacoplado;

Capítulo 4 - Simulação do *Voltage Source Converter*: São descritas as simulações desenvolvidas em tempo contínuo e tempo discreto do VSC;

Capítulo 5 - Protótipo Laboratorial - É caracterizado o protótipo laboratorial desenvolvido;

Capítulo 6 - Resultados e Considerações - Com base num conjunto de ensaios laboratoriais, é avaliado o desempenho do protótipo desenvolvido. No final, são tecidas algumas considerações quanto ao contexto atual de utilização dos VSCs;

Capítulo 7 - Conclusões: São retiradas as conclusões inerentes ao desenvolvimento do projeto e sugeridos eventuais trabalhos futuros.

2 Estado da Arte

O presente capítulo contempla uma análise das principais características e mais-valias dos conversores de potência do tipo *Voltage Source Converter*. É caracterizado o seu princípio de operação, bem como todos os conceitos e técnicas inerentes ao seu desenvolvimento e controlo.

2.1 *Voltage Source Converter*

2.1.1 Fundamentos e Características

Um *Voltage Source Converter* (VSC) é um conversor eletrónico de potência bidirecional. Associado a duas fontes ativas, isto é, uma fonte *Alternating Current* (AC) e uma fonte *Direct Current* (DC), o VSC permite que o fluxo de potência se possa dar quer da fonte DC para a AC, atuando como inversor, quer da fonte AC para a DC, atuando como retificador. O seu princípio de operação baseia-se na comutação, a altas frequências (ex: 20 kHz), de elementos cujos momentos de entrada e saída de condução são passíveis de ser totalmente controlados, nomeadamente através do controlo de entrada e saída de condução de transístores do tipo *Insulated-Gate Bipolar Transistor* (IGBT) e *Metal-Oxide Semiconductor Field-Effect Transistor* (MOSFET). Esta comutação a altas frequências visa amplificar um sinal modulador de frequência reduzida (ex: 50 Hz).

A singularidade destes conversores assenta sobre o facto de ser possível, mediante controlo adequado, controlar, de forma independente, os fluxos de potência ativa e reativa entre a rede e o conversor, pelo que o Fator de Potência (FP) imposto à rede pode ser ajustado. Neste sentido, os VSCs podem atuar sobre os quatro quadrantes de potência [2]. A boa dinâmica de resposta, bem como a robustez face a perturbações externas, tais como variações repentinas da carga, são também fatores que caracterizam estes conversores. Adicionalmente, garantem também correntes nas fases praticamente sinusoidais (reduzida injeção de harmónicos na rede), assim como tensões de alta qualidade no lado DC [3].

Num contexto atual de elevada integração de fontes renováveis intermitentes, como a solar fotovoltaica e a eólica, a utilização de baterias estacionárias de lítio surge como uma solução promissora no âmbito do suporte à rede. A interface entre esta solução de armazenamento e a rede é assegurada por estes conversores [4]. A possibilidade de carregamento das baterias em momentos em que exista um excedente de produção, para que mais tarde, em momentos de maior consumo, a energia armazenada possa ser devolvida à rede, é, sem dúvida, uma mais-valia no que à flexibilidade e resiliência do sistema elétrico diz respeito. A isto, acresce ainda a capacidade de prestação de serviços de regulação de frequência e tensão, através do ajuste dos fluxos de potência ativa e reativa, respetivamente, que este conversor proporciona [5], [6]. Estes são serviços que, até então, são essencialmente desempenhados por fontes convencionais de geração, nomeadamente centrais térmicas e hídricas.

Ainda assim, perante as metas internacionais de descarbonização do sistema eletroprodutor, torna-se essencial a transição da prestação destes serviços para outros recursos energéticos, nomeadamente baterias e produção descentralizada [7]. Em Portugal, foram recentemente aprovados 43 projetos de reforço da capacidade de armazenamento de energia (em baterias) na rede elétrica. O investimento total, financiado com verbas do Plano de Recuperação e Resiliência (PRR), perfaz 100 milhões de euros. Está prevista a instalação de pelo menos 500 MW de capacidade de armazenamento em baterias na rede [8].

Para além de atuarem como interface entre a rede elétrica e sistemas de armazenamento a baterias, os VSCs surgem integrados noutros domínios dos sistemas elétricos de energia. No âmbito da produção, estes conversores atuam tipicamente como interface entre as fontes renováveis, nomeadamente a solar fotovoltaica e a eólica, e a rede. A integração de VSCs em redes de transmissão *High-Voltage Direct Current* (HVDC) é um fator que tem vindo a ganhar particular relevância, especialmente no contexto da produção eólica *offshore* [9], [10]. Estes conversores são também empregues no domínio da mobilidade elétrica, nomeadamente nos veículos puramente elétricos e híbridos, em que fatores como o desempenho e a capacidade de resposta face a acelerações, desacelerações e travagens frequentes são cruciais [11].

A Figura 2.1 apresenta a configuração típica de um VSC trifásico, com as respetivas fontes/cargas AC e DC. A fonte/carga AC, associada à rede elétrica, é considerada ideal no sentido em que é capaz de fornecer ou absorver uma potência infinita. A fonte/carga DC poderá representar um sistema de armazenamento de energia a baterias, um motor DC, uma resistência, uma bateria de condensadores, ou até um outro conversor [2].

As bobinas e o condensador são elementos fundamentais à operação do conversor. As bobinas, colocadas no lado AC do conversor, permitem reduzir os harmónicos associados às correntes de fase, mantendo-as praticamente sinusoidais [12]. Por outro lado, o condensador visa estabilizar a tensão DC, nomeadamente em momentos em que se verifique uma variação repentina da própria fonte/carga DC [13]. Os díodos colocados em anti-paralelo com os transístores contribuem também para o funcionamento adequado do conversor, fornecendo um caminho para a corrente nos instantes em que os respetivos transístores não estiverem em condução.

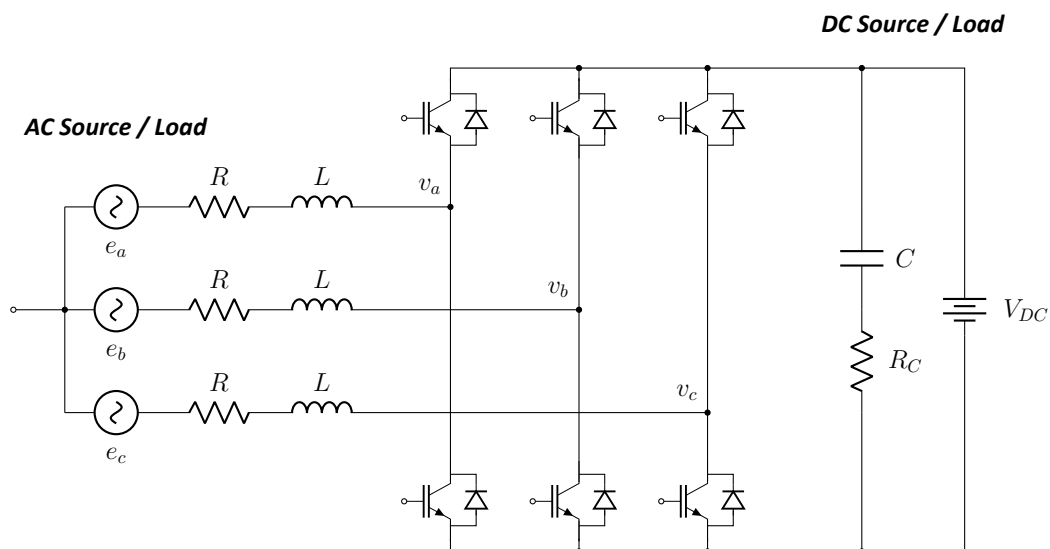


Figura 2.1: Configuração Genérica de um VSC.

Considerando a existência de duas fontes ativas, o fluxo de potência no VSC é definido pelo sistema de controlo. As potências ativa e reativa transferidas entre a fonte/carga AC e o lado AC do conversor são definidas pelo desfasamento e pela amplitude relativa das tensões e_a, e_b, e_c e v_a, v_b, v_c . O objetivo do sistema de controlo assenta na produção das tensões v_a, v_b e v_c , que definem a potência ativa que flui do lado AC para o lado DC do conversor, ou vice-versa, e a potência reativa, que apenas flui entre a fonte/carga AC e o lado AC do próprio conversor [13].

2.1.2 Conversores *Grid-Following* e *Grid-Forming*

Tal como mencionado, a versatilidade dos VSCs advém do facto de ser possível, mediante controlo adequado, ajustar independentemente os fluxos de potência ativa e reativa entre a rede e o conversor. Importante notar que o modo como esta flexibilidade é efetivamente explorada depende do método de controlo adotado, pois é este quem determina o modo como o conversor interage com a rede. Neste contexto, distinguem-se fundamentalmente dois modos de operação dos VSCs: *grid-following* e *grid-forming* [14].

A operação do VSC sob uma perspetiva de *grid-following* (a explorada neste projeto) parte do pressuposto de que existe uma rede suficientemente bem estabelecida, em termos de tensão e frequência, com a qual possa sincronizar. Partindo do sincronismo com a rede (tópico abordado na secção 2.3), o conversor poderá desempenhar serviços de suporte à rede, nomeadamente controlo de frequência e de tensão, através do ajuste dos fluxos de potência ativa e reativa, respetivamente. Caso a sincronização não seja possível, todo o sistema de controlo é comprometido, o que limita a sua capacidade de atuação e prestação de serviços de sistema em situações de maior fragilidade e instabilidade na rede [15].

Ora, num contexto de elevada penetração renovável intermitente (que recorre essencialmente a conversores do tipo *grid-following*) e de minimização da produção não renovável, fatores como a inércia e a estabilidade do sistema são largamente afetados. De acordo com [16], quando a integração de recursos baseados em conversores *grid-following* constitui mais do que 60/70% de todo o sistema eletroprodutor, a gestão do sistema elétrico revela-se consideravelmente mais complexa. Isto poderá levar à interrupção forçada do fornecimento de energia por parte destas centrais renováveis intermitentes.

Face a estas limitações, os conversores do tipo *grid-forming* emergem como uma solução promissora e em concordância com aquilo que é o novo paradigma energético. Ao contrário dos conversores *grid-following*, que seguem a rede e atuam essencialmente como fonte de corrente para o controlo das potências ativa e reativa (tópico abordado no capítulo 3), os conversores *grid-forming* operam como uma fonte de tensão, cuja magnitude e frequência são ajustáveis via *software* [17]. Esta abordagem permite criar uma referência de tensão que sustenta a operação da rede, à semelhança dos geradores síncronos convencionais. Nesta perspetiva, em caso de contingências mais severas na rede, como interrupção total do fornecimento de energia (*blackout*) ou operação em modo isolado (*islanded mode*), os conversores *grid-forming* são capazes de atuar como referência de tensão e frequência, "formando" a rede com a qual os conversores *grid-following* poderão sincronizar [18].

Face a estas características, é possível destacar um conjunto de vantagens dos conversores *grid-forming* [19], [20]:

- Capacidade de operar mesmo não existindo uma rede estabelecida. Este fator é particularmente relevante em condições de *black start* ou *islanded mode*;

- Reação inerente a perturbações na rede, atenuando eventuais variações de frequência e tensão. Partindo do pressuposto de que as impedâncias da rede e do conversor são predominantemente indutivas, um desvio na frequência da rede resulta num desfasamento entre as tensões da própria rede e do conversor. Este desfasamento dá, por sua vez, origem a um fluxo de potência ativa entre o conversor e a rede, que ameniza o desvio inicial de frequência. De modo análogo, variações na tensão da rede dão predominantemente origem a um fluxo de potência reativa entre o conversor e a rede, compensando o desequilíbrio. Esta característica natural de compensação depende, no entanto, da disponibilidade da fonte de energia a montante do conversor (ex: baterias);
- Capacidade de fornecer inércia virtual. Os conversores *grid-forming* são capazes de replicar, via *software*, o comportamento inercial dos geradores síncronos convencionais. Partindo de eventuais desequilíbrios momentâneos entre produção e consumo, os conversores ajustam internamente a frequência da tensão produzida, com base num parâmetro virtual J (momento de inércia), por forma a amortecer variações repentinas de frequência na rede;
- Mecanismo de *droop control*. Inspirado na operação dos geradores síncronos convencionais, os conversores *grid-forming* contam com algoritmos de *droop control* ($P-f$ e $Q-V$) que permitem, em função de eventuais desvios de frequência e tensão na rede, ajustar proporcionalmente a injeção de potência ativa e reativa, respetivamente. Isto é efetuado atuando sobre a frequência e a magnitude da tensão produzida pelo conversor, sendo particularmente relevante no âmbito da reposição da frequência e tensão da rede aos valores nominais;
- Rápida entrada em funcionamento. Ao contrário das grandes centrais convencionais, nomeadamente as térmicas, os conversores *grid-forming* podem ser rapidamente integrados na rede para prestação de serviços auxiliares (dependendo, naturalmente, da disponibilidade da fonte de energia primária).

A conjugação de todas estas características implica uma maior complexidade na integração dos conversores *grid-forming*. Embora as principais diferenças entre os conversores *grid-following* e *grid-forming* residam essencialmente no *software*, a complexidade de controlo e a necessidade de operação mesmo em condições de pouca ou nenhuma estabilidade na rede fazem dos conversores *grid-forming* uma solução mais dispendiosa [21]. Ainda assim, perante uma conjectura de elevada penetração renovável e esforço rumo à neutralidade carbónica, deverá ser considerada uma combinação estratégica de conversores *grid-following* e *grid-forming* [20].

Neste sentido, a integração de recursos renováveis intermitentes no sistema elétrico deverá ser acompanhada de um investimento no reforço e resiliência da rede. Parte deste investimento deverá não só ser canalizado para sistemas de armazenamento a baterias e conversores *grid-following*, mas também para conversores *grid-forming*, de modo a assegurar a integridade e estabilidade da rede. Projetos de reforço de rede baseados em conversores *grid-forming* têm vindo a ser alvo de crescente atenção por parte dos operadores de sistema e entidades reguladoras, especialmente em regiões como a Ásia, Europa, América do Norte e Médio Oriente [16].

O conversor desenvolvido no âmbito deste projeto atua segundo uma filosofia de *grid-following*. De seguida, é introduzido o seu princípio de operação.

2.1.3 Princípio de Operação

O trânsito de potência entre a rede e o VSC é definido pela interação entre as tensões da rede e as tensões produzidas no conversor. O entendimento da interação entre ambas as tensões pode ser simplificado e reduzido à análise de apenas uma das fases, uma vez que o princípio para as restantes fases será semelhante (considerando um sistema trifásico equilibrado e sem harmónicos). Neste sentido, é apresentado, na Figura 2.2, o modelo simplificado de interação entre ambas as tensões, considerando apenas uma das fases. As tensões da rede e do lado AC do conversor são dadas por V_S e V_C , respetivamente.

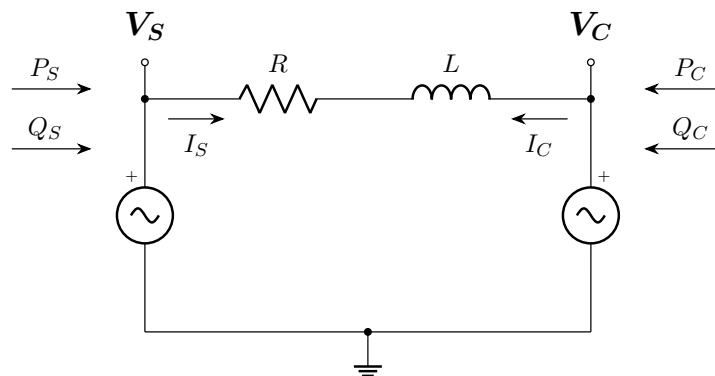


Figura 2.2: Interação entre a Fonte/Carga AC e o Lado AC do VSC.

Assumindo, no domínio do tempo:

$$V_S(t) = \sqrt{2}V_{S_{rms}} \cdot \sin(\omega t), \quad \text{em que } (\omega t) = \theta_1 \quad (2.1)$$

$$V_C(t) = \sqrt{2}V_{C_{rms}} \cdot \sin(\omega t + \delta), \quad \text{em que } (\omega t + \delta) = \theta_2 \quad (2.2)$$

$$\theta_2 - \theta_1 = \delta \quad (2.3)$$

Em notação fasorial, vem:

$$\underline{V}_S = |V_S| \cdot e^{j\theta_1} \quad \text{e} \quad \underline{V}_C = |V_C| \cdot e^{j\theta_2} \quad (2.4)$$

$$\text{sendo } |V_S| = V_{S_{rms}} = V_S \quad \text{e} \quad |V_C| = V_{C_{rms}} = V_C \quad (2.5)$$

Do ponto de vista da rede, a potência é igual a:

$$\underline{S}_S = P_S + jQ_S = \underline{V}_S \cdot \underline{I}_S^*, \quad \text{em que } \underline{I}_S^* = \frac{V_S^* - V_C^*}{Z^*} \quad (2.6)$$

Partindo da equação (2.6), é possível deduzir [22]:

$$\underline{S}_S = P_S + jQ_S = \frac{RV_S^2 - RV_S V_C \cdot \cos \delta - X_L V_S V_C \cdot \sin \delta}{R^2 + X_L^2} + j \frac{X_L V_S^2 - X_L V_S V_C \cdot \cos \delta + RV_S V_C \cdot \sin \delta}{R^2 + X_L^2} \quad (2.7)$$

Assumindo que a reatância da bobina (X_L) é consideravelmente superior à sua resistência interna (R), este último fator pode ser desprezado, pelo que a potência vista da perspectiva da rede é igual a [22]:

$$\underline{S}_S = P_S + jQ_S = \frac{-V_S V_C \cdot \sin \delta}{X_L} + j \frac{V_S^2 - V_S V_C \cdot \cos \delta}{X_L} \quad (2.8)$$

De notar que, devido à natureza R/X da linha (impedância da linha até à carga/gerador), a potência aparente observada à saída do VSC poderá não ser a mesma entregue à carga/gerador.

Atendendo à equação (2.8), é possível comprovar que o fluxo de potência é função não só do desfaseamento entre as tensões V_S e V_C , mas também da sua amplitude relativa. Nesta perspetiva, distinguem-se os seguintes cenários:

1) Potência Ativa:

- $\delta < 0 \Rightarrow P_S > 0$ (a rede fornece potência ativa, pelo que o VSC atua como retificador);
- $\delta > 0 \Rightarrow P_S < 0$ (a rede consome potência ativa, pelo que o VSC atua como inversor).

2) Potência Reativa:

- $V_S^2 > V_S V_C \cdot \cos \delta \Rightarrow Q_S > 0$ (o VSC atua como uma carga indutiva, consumindo potência reativa da rede);
- $V_S^2 < V_S V_C \cdot \cos \delta \Rightarrow Q_S < 0$ (o VSC atua como uma carga capacitiva, fornecendo potência reativa à rede).

Para um dado trânsito de potência na perspetiva da rede (P_S e Q_S), os valores de δ e V_C (sendo V_S imposto pela própria rede) são dados por [22]:

$$\begin{cases} \delta = \tan^{-1} \frac{P_S}{Q_S - \frac{V_S^2}{X_L}} \\ V_C = -\frac{P_S \cdot X_L}{V_S \cdot \sin \delta} \end{cases} \quad (2.9)$$

2.1. Voltage Source Converter

A Tabela 2.1 apresenta um exemplo numérico em que, com base na equação (2.9) e num conjunto de valores de P_S e Q_S , são calculados os valores de δ e de V_C . Para o exemplo em questão, considerou-se: $V_S = 230 \text{ V}$; $f = 50 \text{ Hz}$; e $L = 1 \text{ mH}$.

Tabela 2.1: Exemplo Numérico: Fluxo de Potência entre a Rede e o VSC.

$Q_S \backslash P_S$	+6 kW	-6 kW
+2 kvar	$\delta = -2,065^\circ$ $V_C = 227,4 \text{ V}$	$\delta = +2,065^\circ$ $V_C = 227,4 \text{ V}$
0 kvar	$\delta = -2,041^\circ$ $V_C = 230,1 \text{ V}$	$\delta = +2,041^\circ$ $V_C = 230,1 \text{ V}$
-2 kvar	$\delta = -2,017^\circ$ $V_C = 232,9 \text{ V}$	$\delta = +2,017^\circ$ $V_C = 232,9 \text{ V}$

Como é possível notar, o trânsito de potências é definido por ligeiros desfasamentos e diferenças de amplitude entre as tensões da rede e as tensões produzidas no conversor.

A mudança de referencial, sustentada pelas transformadas de Clarke e Park, permite facilitar a análise e o controlo do sistema, tendo em vista a simplificação do controlo desacoplado das potências ativa e reativa. Na próxima secção, são introduzidas as transformadas de Clarke e Park.

2.2 Transformadas de Clarke e Park

As transformadas de Clarke e Park, também designadas, respetivamente, por transformadas $\alpha\beta$ e dq , são ferramentas que permitem simplificar a análise e o controlo de sistemas trifásicos, decompondo-o segundo dois sinais alternados ($\alpha\beta$) e dois sinais DC (dq), tal como clarifica a Figura 2.3.

Estas transformadas são amplamente utilizadas em vários domínios da engenharia eletrotécnica, nomeadamente no controlo de conversores de interface à rede, de motores elétricos e de módulos destinados à filtragem de harmónicos [23].

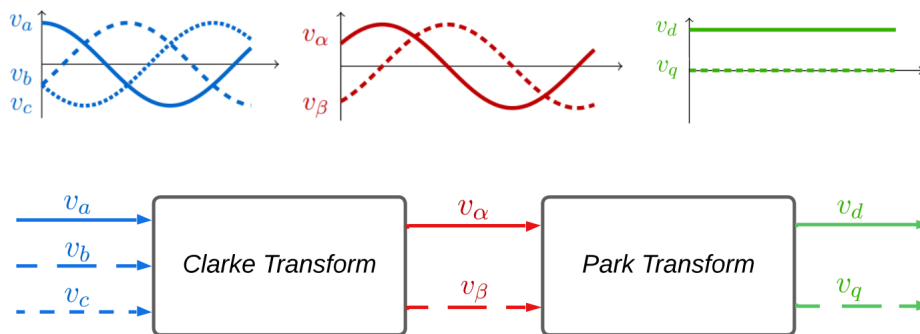


Figura 2.3: Transformadas de Clarke e Park (Adaptada de [24]) .

2.2.1 Transformada de Clarke

A transformada de Clarke converte um referencial trifásico fixo (abc) num referencial igualmente fixo, contudo, ortogonal e de apenas duas fases ($\alpha\beta$). Esta redução dimensional é efetuada projetando os três vetores de tensão abc segundo os eixos α e β , tal como representado na Figura 2.4.

Assumindo, por exemplo, a aplicação da transformada de Clarke às tensões da rede (e_{abc}), resultará da projeção $abc-\alpha\beta$ um vetor $\vec{e}_{\alpha\beta}$, também denominado por vetor espacial \vec{E} , cujas componentes α e β podem ser obtidas de acordo com a equação (2.10) [2]. Tratando-se $\alpha\beta$ de um referencial fixo, e sendo \vec{E} um vetor que gira (em sentido anti-horário) a uma dada velocidade angular $\omega = 2\pi f$, é expectável que as suas componentes α e β variem ao longo do tempo, daí a sua natureza alternada.

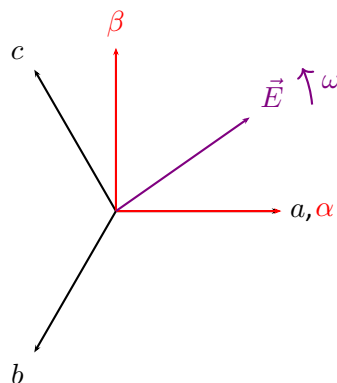


Figura 2.4: Referenciais abc e $\alpha\beta$.

$$\begin{bmatrix} e_\alpha \\ e_\beta \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} \quad (2.10)$$

2.2.2 Transformada de Park

Partindo da transformada anterior, a transformada de Park converte o referencial $\alpha\beta$ num novo referencial ortogonal (dq), que gira em sincronismo (à mesma velocidade angular ω) com o vetor \vec{E} , tal como representa a Figura 2.5. Isto permite que, em regime permanente, as componentes d e q do vetor espacial \vec{E} sejam contínuas, reduzindo, assim, a complexidade do sistema de controlo [2].

Num VSC de interface à rede, as potências ativa e reativa que fluem entre o conversor e a rede são proporcionais aos valores das componentes d e q das correntes nas fases, respetivamente, se o eixo direto d for coincidente com o vetor espacial das tensões da rede (\vec{E}) [2]. Esta condição exige o conhecimento do ângulo de fase da rede, θ_g .

A relação entre as componentes $\alpha\beta$ e dq , para um dado ângulo θ , é dada pela equação (2.11) [2].

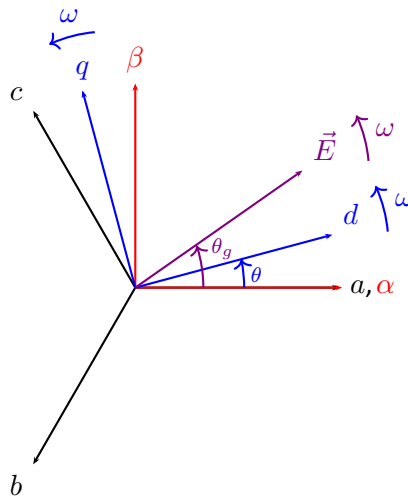


Figura 2.5: Referenciais $\alpha\beta$ e dq .

$$\begin{bmatrix} e_d \\ e_q \end{bmatrix} = \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \cdot \begin{bmatrix} e_\alpha \\ e_\beta \end{bmatrix} \quad (2.11)$$

A transformação $abc-dq$ pode ser diretamente efetuada, de acordo com a equação (2.12) [4]. A componente e_0 , também denominada por tensão homopolar, será nula quando o sistema em análise for equilibrado, não possuindo, portanto, significado nessas circunstâncias.

$$\begin{bmatrix} e_d \\ e_q \\ e_0 \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin(\theta) & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} \quad (2.12)$$

2.3 Sincronismo com a Rede

A sincronização do conversor com a rede é um aspeto essencial à sua operação, pois permite que este atue de modo seguro, contínuo e estável, assegurando a congruência entre os parâmetros do sistema de controlo e o estado da rede.

A sincronização pode ser definida como o processo de minimização do desvio de fase e de frequência entre as tensões geradas no conversor e as tensões da rede [25]. De acordo com [25], um método ideal de sincronismo deve ser capaz de:

- Monitorizar e sincronizar com a fase da componente fundamental da rede;
- Detetar e responder, de forma eficiente, a variações de frequência;
- Ser imune a perturbações e a harmónicos de ordem elevada.

A Figura 2.6 lista algumas das principais técnicas de sincronização, quer para sistemas monofásicos, quer para sistemas trifásicos (nos quais se enquadram os conversores de interface à rede).

Estas técnicas podem ser agrupadas segundo duas categorias, isto é, malha aberta e malha fechada. Embora as técnicas de malha aberta sejam de fácil implementação e não exijam um esforço computacional tão elevado, a sua performance é consideravelmente inferior à das técnicas de malha fechada, caracterizadas pela inclusão de um sistema de *feedback* [26].

Em [27], é efetuada uma comparação entre diversas técnicas de sincronização, nomeadamente em termos de facilidade de implementação, dinâmica de resposta, robustez, e imunidade a perturbações e desequilíbrios na rede. No âmbito deste projeto, será considerada a técnica *Synchronous Reference Frame Phase-Locked Loop* (SRF-PLL), dado o equilíbrio que apresenta entre facilidade de implementação e desempenho [25].

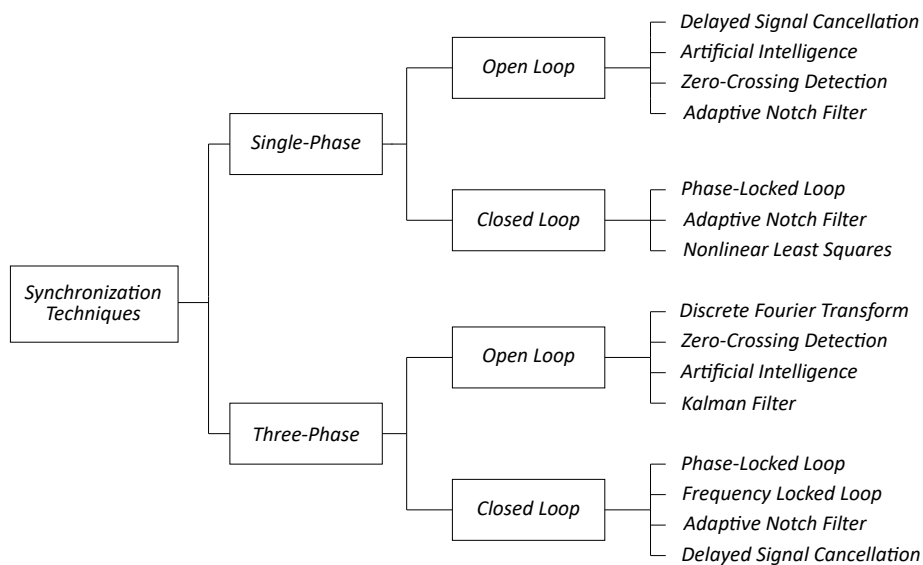


Figura 2.6: Técnicas de Sincronização (Adaptada de [26]).

2.3.1 Phase-Locked Loop

Uma *Phase-Locked Loop* (PLL) é um mecanismo de controlo, em malha fechada, que visa estimar a frequência e a fase de um determinado sinal de entrada. A Figura 2.7 ilustra a arquitetura típica de uma PLL, constituída essencialmente por três elementos: detetor de fase; filtro passa-baixo; e oscilador controlado por tensão.

O detetor de fase efetua a comparação entre a fase do sinal de entrada e a fase estimada pela PLL ($\hat{\theta}$), gerando um sinal de erro proporcional à diferença entre ambas. O filtro passa-baixo é responsável pela filtragem do sinal à saída do detetor de fase, uma vez que este poderá introduzir componentes indesejáveis de alta-frequência no sinal de erro. Este filtro tem como *output* a frequência estimada pela PLL ($\hat{\omega}$). O oscilador controlado por tensão gera, à sua saída, um sinal periódico (ex: sinusoidal, triangular, etc.) de frequência igual à frequência estimada. Este pode ser visto como um integrador, que determina a fase estimada a partir da frequência estimada [13].

Considerando a operação da PLL em regime estacionário, as saídas do detetor de fase e do filtro passa-baixo serão valores constantes. A saída do oscilador será, por sua vez, um determinado sinal periódico com uma frequência fixa. Supondo um pequeno distúrbio capaz de fazer com que a fase estimada pela PLL diminua (face à fase do sinal de entrada), o sinal de erro gerado pelo detetor de fase aumentará. Como tal, a frequência estimada também aumentará, por forma a "acelerar" o oscilador e a permitir que a fase do sinal à sua saída alcance a fase do sinal de entrada. Por outro lado, no caso de um aumento da fase estimada pela PLL, a frequência à saída do filtro passa-baixo diminuirá, "abrandando" o oscilador e permitindo que o sinal de entrada alcance o sinal à sua saída [28].

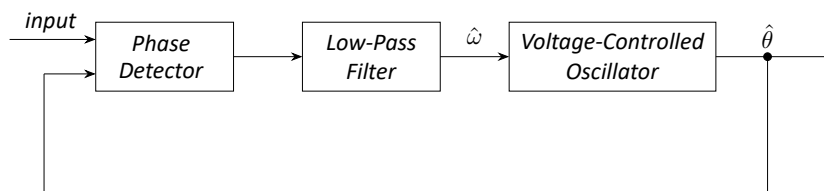


Figura 2.7: Modelo Genérico de uma PLL.

2.3.2 Synchronous Reference Frame Phase-Locked Loop

A *Synchronous Reference Frame Phase-Locked Loop* (SRF-PLL) surge como uma versão da PLL convencional. Esta técnica, cujo modelo genérico é retratado na Figura 2.8, tira partido da transformação de referencial *abc-dq* para calcular o ângulo de fase da rede, θ_g . A transformação *abc-dq* pode ser assegurada segundo duas etapas: aplicação da transformada de Clarke às tensões da rede (*abc- $\alpha\beta$*), seguida da transformada de Park (*$\alpha\beta-dq$*).

Como é perceptível na Figura 2.8, a fase estimada pela SRF-PLL ($\hat{\theta}$) é utilizada como parâmetro de entrada na transformada de Park. Retornando à Figura 2.5, é notório que, quando $\hat{\theta} = \theta_g$, o eixo direto (*d*) é coincidente com o vetor espacial \vec{E} . Nesta circunstância, a componente e_q é nula e e_d assume a amplitude do vetor espacial (tensão de pico da rede).

Sempre que o eixo *d* estiver suficientemente próximo do vetor \vec{E} , o valor de e_q será proporcional ao erro, isto é, à diferença entre as fases da rede e a estimada pela SRF-PLL. Posto isto, a malha de controlo da SRF-PLL procurará anular a componente e_q , alinhando o eixo *d* com o vetor espacial \vec{E} [28].

A dinâmica da SRF-PLL é assegurada por um Controlador Proporcional-Integral (PI), que, tal como o nome indica, aplica as componentes proporcional e integral ao sinal de erro (v_q). A componente derivativa, dada a sua sensibilidade ao ruído, não é considerada em contextos desta natureza. A parametrização do controlador PI exige um compromisso entre a sua dinâmica e imunidade ao ruído (ex: eventuais harmónicos na rede). Em [4] e [29], são explorados métodos distintos de parametrização do controlador PI de uma SRF-PLL.

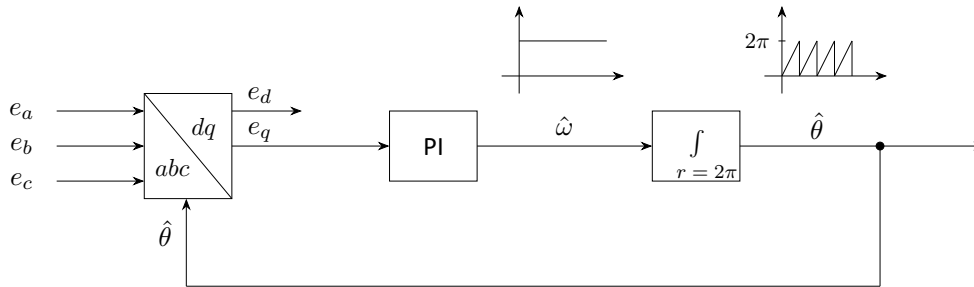


Figura 2.8: Modelo Genérico de uma SRF-PLL.

Inúmeras variações da SRF-PLL têm vindo a ser exploradas na literatura, por forma a avaliar a viabilidade de novos métodos e modificações que visem melhorar o seu desempenho [29], [30]. Duas das melhorias mais simples e de fácil implementação surgem ilustradas na Figura 2.9: a normalização de e_q ; e a adição de uma frequência central (ω_{ff}) à malha de controlo.

A normalização de e_q permite desacoplar a dinâmica e a estabilidade da SRF-PLL do valor da tensão da rede, conferindo-lhe maior versatilidade [30]. A normalização é efetuada a partir da divisão de e_q pela estimativa da tensão de pico da rede, que é, por sua vez, igual à norma do vetor espacial \vec{E} ($\sqrt{e_d^2 + e_q^2}$) [28]. Por forma a evitar eventuais divisões por zero, nomeadamente no momento de inicialização da SRF-PLL, a normalização deverá incluir um bloco de saturação [30].

A inclusão de uma frequência central na malha de controlo da SRF-PLL é viável em sistemas cuja frequência seja previamente conhecida e se mantenha aproximadamente constante, como é o caso da rede elétrica ($\omega_{ff} = 2\pi 50 \text{ rad s}^{-1}$). Para sistemas de frequência variável, tal como o controlo de um motor elétrico sob diferentes regimes de velocidade, ω_{ff} será, à partida, desconhecida, pelo que não poderá ser considerada [13]. Esta modificação permite reduzir o esforço do controlador PI, uma vez que este apenas terá que compensar pequenos desvios face à frequência central ($\Delta\hat{\omega}$). Nesta ótica, é possível reduzir consideravelmente o tempo de sincronização da SRF-PLL [13], [30].

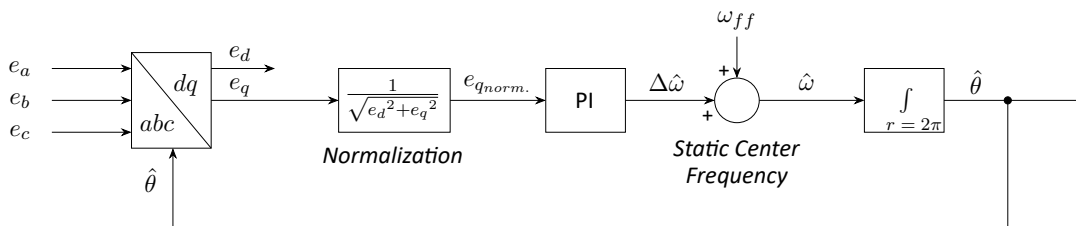


Figura 2.9: Modelo de uma SRF-PLL com Normalização e Frequência Central.

2.4 Técnicas de Modulação

A modulação diz respeito ao processo de obtenção das ondas de comando dos semicondutores de potência, por forma a que sejam geradas as tensões v_a , v_b e v_c adequadas, que irão, como já mencionado, interagir com as tensões da rede.

O método de comutação dos semicondutores está dependente da técnica de modulação adotada. De entre as várias técnicas existentes, destacam-se a *Sinusoidal Pulse-Width Modulation* (SPWM) e a *Space Vector Modulation* (SVM) [31]. A popularidade da SPWM prende-se com a sua facilidade de implementação. Por outro lado, a SVM, embora exija um maior esforço computacional, apresenta um melhor desempenho, nomeadamente [13]:

- Regime de funcionamento linear mais amplo (15% superior ao da SPWM). Neste sentido, para produzir as mesmas tensões no conversor, poderá ser utilizada uma tensão DC 15% inferior face à técnica SPWM. Noutra perspetiva, considerando a mesma tensão DC, será possível, com a técnica SVM, produzir no conversor tensões de amplitude 15% superior face à técnica SPWM;
- Prevenção de comutações desnecessárias dos semicondutores de potência, reduzindo as perdas de comutação.

Nesta secção, além de analisadas as técnicas SPWM e SVM, será também efetuada uma abordagem à técnica *Third Harmonic Uniform Pulse-Width Modulation* (THUPWM). Esta é uma técnica que, além de reunir as características da SVM convencional e reproduzir o seu funcionamento, possui uma implementação mais simples e menos exigente computacionalmente [13], [32].

2.4.1 Sinusoidal Pulse-Width Modulation

A *Sinusoidal Pulse-Width Modulation* (SPWM), assim como outras técnicas de modulação, é baseada na comparação de três ondas moduladoras com uma mesma onda portadora. Ao passo que a portadora é geralmente uma onda triangular de frequência elevada (ex: 20 kHz), as moduladoras são ondas sinusoidais de baixa frequência (ex: 50 Hz), desfasadas 120° entre si.

Da comparação entre ambas, são gerados os sinais PWM a aplicar aos semicondutores dos três braços do VSC, tal como sugere a Figura 2.10. Uma nota para a necessidade de complementaridade entre os sinais PWM a aplicar aos semicondutores de um mesmo braço, sob pena de curto-circuitar a fonte DC e danificar os braços do conversor.

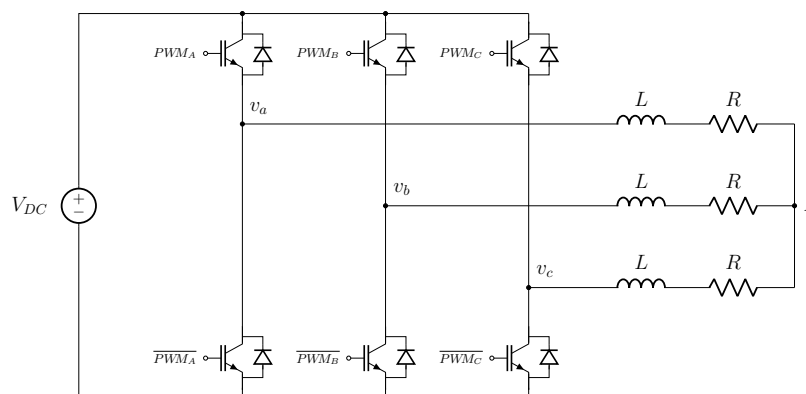


Figura 2.10: VSC Trifásico: Aplicação dos Sinais PWM.

A frequência da onda portadora é comumente designada por frequência de comutação. Os harmônicos das tensões produzidas no conversor (v_a , v_b e v_c) situam-se em torno da frequência de comutação e em múltiplos desta [32]. Nesta perspetiva, frequências de comutação elevadas afastam os harmônicos da componente fundamental (pelo que são mais facilmente filtrados e o custo dos filtros é menor), contudo, aumentam as perdas de comutação e exigem semicondutores mais rápidos e caros (nomeadamente baseados em SiC (carbeto de silício) e GaN (nitreto de gálio) [33]). Em aplicações reais, frequências de comutação elevadas (20 kHz e superiores) são tipicamente utilizadas, uma vez que, embora exijam semicondutores mais caros, permitem reduzir consideravelmente o volume e o custo dos filtros. No que diz respeito à frequência das moduladoras, esta define a frequência da componente fundamental das tensões v_a , v_b e v_c .

A Figura 2.11 destaca o processo de produção de uma onda PWM. No exemplo em questão, foram admitidas amplitudes de 1 e 0,8 V para as ondas portadora e moduladora, respetivamente. Como é possível notar, sempre que a amplitude da moduladora supera a amplitude da portadora, o sinal PWM assume o nível lógico 1. No caso de esta condição não se verificar, o sinal PWM assume o nível lógico 0.

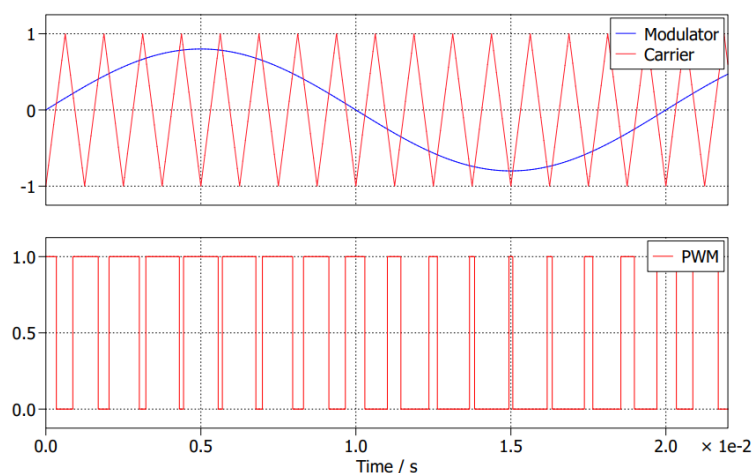


Figura 2.11: Geração de uma Onda PWM.

A razão entre a amplitude das ondas moduladoras e portadora é designada por índice de modulação e é representada por:

$$m = \frac{V_{Pico_moduladoras}}{V_{Pico_portadora}} \quad (2.13)$$

Para $0 \leq m \leq 1$, o valor de pico da componente fundamental das tensões simples e compostas geradas no conversor é dado pelo conjunto de equações (2.14). Assumindo o conversor a operar com um índice de modulação unitário ($m = 1$), apenas é possível obter, para as tensões simples e compostas, valores de pico iguais a $0,5 \cdot V_{DC}$ e $0,866 \cdot V_{DC}$, respetivamente.

$$\begin{cases} V_{Pico_simples_f1} = m \cdot \frac{V_{DC}}{2} \\ V_{Pico_composta_f1} = m\sqrt{3} \cdot \frac{V_{DC}}{2} \end{cases} \quad (2.14)$$

2.4. Técnicas de Modulação

Para uma amplitude da moduladora igual à amplitude da portadora ($m = 1$), o conversor opera no limite da zona de funcionamento linear. No caso do índice de modulação ser superior à unidade ($m > 1$), ocorre um fenómeno designado por sobremodulação. Embora permita obter, no conversor, tensões de amplitude e valor eficaz mais elevados, a sobremodulação está associada a duas grandes desvantagens [13]:

- Introdução de harmónicos de baixa frequência nas tensões produzidas no conversor (5º harmónico, 7º harmónico, entre outros);
- Deformação da forma de onda das tensões produzidas no conversor.

A título de exemplo, a Figura 2.12 apresenta, para dois cenários distintos ($m = 1$ e $m = 1,1$), a forma de onda das tensões (filtradas) v_a e v_{ab} produzidas no conversor. Para o exemplo em questão, considerou-se: $V_{DC} = 100\text{ V}$; $f_{moduladoras} = 50\text{ Hz}$; $f_{portadora} = 20\text{ kHz}$; e um filtro LC (passa-baixo) com uma frequência de corte igual a $2,77\text{ kHz}$.

No cenário em que ocorre sobremodulação ($m = 1,1$), as formas de onda de v_a e v_{ab} surgem deformadas. Isto deve-se à introdução de harmónicos de baixa frequência (impossibilitando a sua filtragem) decorrentes da sobremodulação.

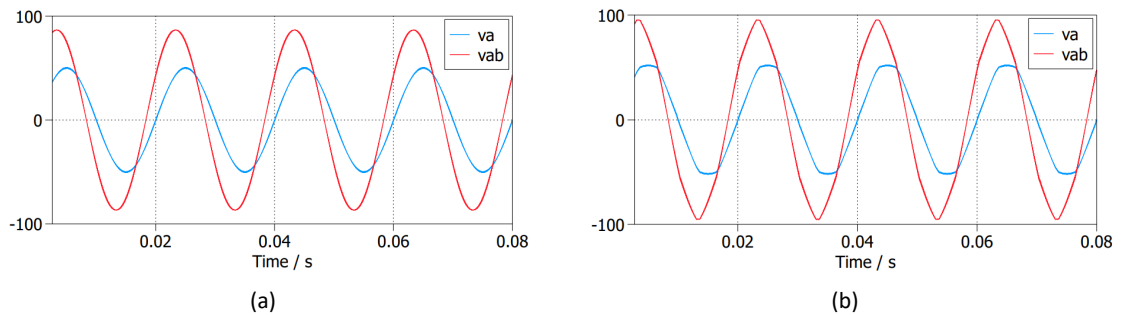


Figura 2.12: Tensões Simples e Composta (Filtradas) Geradas no VSC, para: (a) $m = 1$ e (b) $m = 1,1$.

2.4.2 Space Vector Modulation

A *Space Vector Modulation* (SVM) é uma técnica de modulação baseada na representação vetorial das tensões AC geradas no VSC. Este vetor, denominado por *Space Vector*, é definido no plano $\alpha\beta$ e resulta da aplicação da transformada de Clarke às tensões v_a , v_b e v_c , dando origem às componentes V_α e V_β . A sua representação é dada por [32]:

$$\vec{V} = V_\alpha + jV_\beta \quad (2.15)$$

Considerando um VSC trifásico com os respetivos semicondutores de potência Q_1 a Q_6 (Figura 2.13), e admitindo que os dois semicondutores de um mesmo braço nunca estão ativos simultaneamente, são possíveis oito estados de tensão distintos, enumerados na Tabela 2.2.

Dos oito estados possíveis, verifica-se a existência de dois estados nulos (0 e 7), em que as tensões v_a , v_b e v_c são nulas, e seis estados ativos (1 a 6).

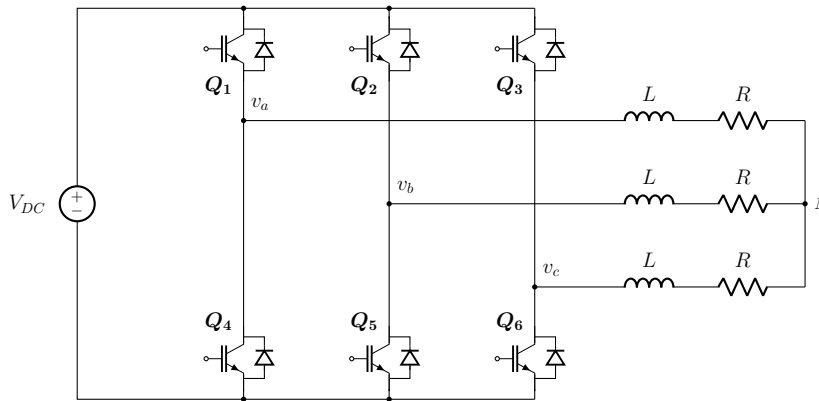


Figura 2.13: VSC Trifásico.

Tabela 2.2: Estados do Space Vector [13].

Estado	Semicondutores ON	v_a	v_b	v_c	Space Vector Voltage
0	$Q_4 Q_5 Q_6$	0	0	0	\vec{V}_0 [000]
1	$Q_1 Q_5 Q_6$	$\frac{2}{3} \cdot V_{DC}$	$-\frac{1}{3} \cdot V_{DC}$	$-\frac{1}{3} \cdot V_{DC}$	\vec{V}_1 [100]
2	$Q_1 Q_2 Q_6$	$\frac{1}{3} \cdot V_{DC}$	$\frac{1}{3} \cdot V_{DC}$	$-\frac{2}{3} \cdot V_{DC}$	\vec{V}_2 [110]
3	$Q_4 Q_2 Q_6$	$-\frac{1}{3} \cdot V_{DC}$	$\frac{2}{3} \cdot V_{DC}$	$-\frac{1}{3} \cdot V_{DC}$	\vec{V}_3 [010]
4	$Q_4 Q_2 Q_3$	$-\frac{2}{3} \cdot V_{DC}$	$\frac{1}{3} \cdot V_{DC}$	$\frac{1}{3} \cdot V_{DC}$	\vec{V}_4 [011]
5	$Q_4 Q_5 Q_3$	$-\frac{1}{3} \cdot V_{DC}$	$-\frac{1}{3} \cdot V_{DC}$	$\frac{2}{3} \cdot V_{DC}$	\vec{V}_5 [001]
6	$Q_1 Q_5 Q_3$	$\frac{1}{3} \cdot V_{DC}$	$-\frac{2}{3} \cdot V_{DC}$	$\frac{1}{3} \cdot V_{DC}$	\vec{V}_6 [101]
7	$Q_1 Q_2 Q_3$	0	0	0	\vec{V}_7 [111]

A Figura 2.14 apresenta a distribuição espacial, no plano $\alpha\beta$, dos oito estados de tensão possíveis. Esta representação surge da aplicação da transformada de Clarke às oito combinações distintas de v_a , v_b e v_c da Tabela 2.2 [32]. Ao passo que os estados nulos são representados na origem do plano, os estados ativos formam um hexágono, dividindo o plano em seis setores de 60° cada.

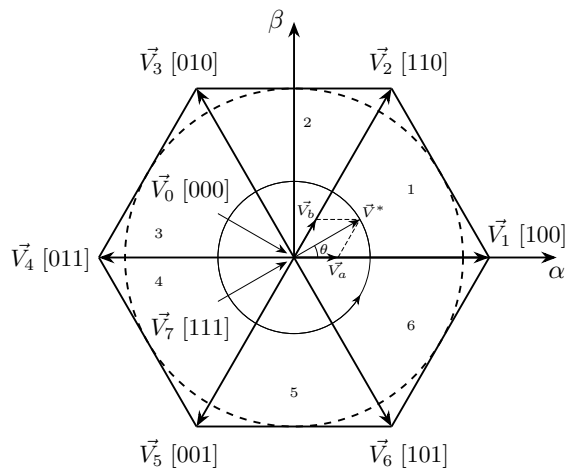


Figura 2.14: Representação Espacial dos Vetores de Tensão (Adaptada de [32]).

Com base num vetor de referência \vec{V}^* , que corresponderá ao vetor espacial (no plano $\alpha\beta$) associado às tensões trifásicas desejadas (v_a^* , v_b^* e v_c^*), o objetivo da técnica SVM passa por reproduzir, através dos oito estados de tensão possíveis, este mesmo vetor \vec{V}^* (em amplitude e fase).

Visto que apenas é possível gerar oito estados distintos de tensão no VSC, a reprodução do vetor \vec{V}^* ao longo de todo o plano $\alpha\beta$ é alcançada através de uma combinação ponderada destes oito estados no tempo [13], [32]. Entre outros fatores, isto exige, para cada instante: a identificação do setor em que \vec{V}^* está localizado; o cálculo do tempo de aplicação dos vários estados ativos e nulos; e a transição suave e eficiente entre estes mesmos estados [34]. A conjugação de todos estes fatores eleva a exigência computacional da técnica SVM.

2.4.3 Third Harmonic Uniform Pulse-Width Modulation

A técnica *Third Harmonic Uniform Pulse-Width Modulation* (THUPWM) conserva, como já mencionado, as características da SVM convencional, e consiste na adição de harmónicos ímpares de terceira ordem a três moduladoras sinusoidais originais, v_{a_sin} , v_{b_sin} e v_{c_sin} .

Desta adição, resultam três novas moduladoras, v_{a_svm} , v_{b_svm} e v_{c_svm} , que serão, por sua vez, comparadas com uma mesma onda portadora, produzindo os sinais PWM a aplicar aos semicondutores de potência do conversor [32].

Os harmónicos de terceira ordem são gerados de acordo com a formulação (2.16) [13]. A onda resultante, v_{inj} , segue um formato triangular.

$$v_{inj} = -\frac{1}{2} [máx. (v_{a_sin}, v_{b_sin}, v_{c_sin}) + mín. (v_{a_sin}, v_{b_sin}, v_{c_sin})] \quad (2.16)$$

A Figura 2.15 ilustra o modo como, a partir da soma entre a onda sinusoidal original e a onda triangular associada ao harmónico de terceira ordem, é formada uma onda moduladora *space vector*.

Para o exemplo em questão, considerou-se uma amplitude da onda sinusoidal igual a 1 V.

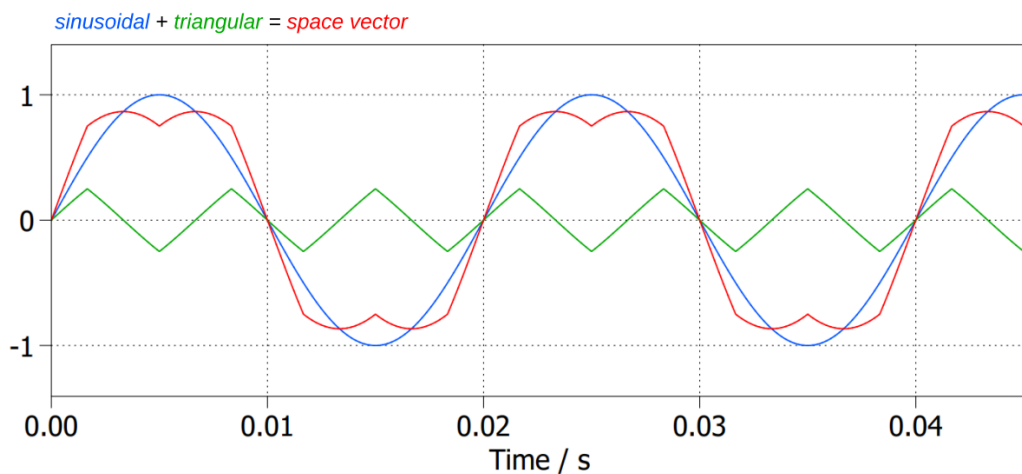


Figura 2.15: Decomposição de uma Onda Moduladora *Space Vector*.

Como é notório na Figura 2.15, para uma amplitude da onda sinusoidal igual a $1 V$, a onda *space vector* apenas atinge uma amplitude de cerca de $0,85 V$. Considerando a comparação da onda *space vector* com uma portadora de amplitude igual a $1 V$, é possível aumentar o índice de modulação, por forma a que a anterior amplitude de $0,85 V$ seja elevada até $1 V$ (limite para que não ocorra sobremodulação).

Esta elevação reflete o ganho de 15% da técnica SVM face à SPWM, o que permite um regime de funcionamento linear mais amplo, que pode ser alcançado elevando a amplitude das ondas sinusoidais originais de $1 V$ para aproximadamente $1,15 V$. Sob essa condição, a amplitude da onda *space vector* iguala a amplitude da portadora ($1 V$), e o índice de modulação (em funcionamento linear) é máximo [32].

2.4.4 Índice de Modulação M

Adicionalmente ao índice de modulação m , que recai sobre a relação entre a amplitude das ondas moduladoras e da portadora, existe ainda o índice de modulação M , que relaciona a tensão do lado DC do VSC (V_{DC}) com o valor de pico das tensões AC simples nele geradas (v).

De um modo prático, M determina os limites permitidos para a amplitude relativa das tensões V_{DC} e v , e é dado por [13]:

$$M = \frac{\pi v}{2 V_{DC}} = \frac{\pi \sqrt{v_d^2 + v_q^2}}{2 V_{DC}} \quad (2.17)$$

O valor máximo de M , para um regime de funcionamento linear do VSC, está dependente da técnica de modulação adotada. As equações (2.18) e (2.19) evidenciam o limite de M para as técnicas SPWM e SVM, respetivamente [13]:

$$M_{máx. SPWM} = \frac{\pi}{4} = 0,7854 \quad (2.18)$$

$$M_{máx. SVM} = \frac{\pi}{2\sqrt{3}} = 0,9069 \quad (2.19)$$

Para $0 \leq M \leq M_{máx.}$, o conversor opera no regime de funcionamento linear, isto é, sem sobremodulação. À luz dos fatores anteriormente mencionados, a técnica SVM permite expandir este regime em cerca de 15%. Para $M > M_{máx.}$, ocorre sobremodulação, o que leva a que surjam harmónicos de baixa frequência nas tensões geradas no VSC, e alterações em v não produzam variações significativas em V_{DC} , e vice-versa [32].

A título de exemplo, para uma tensão $V_{DC} = 300 V$ e $M = M_{máx.}$, são geradas, no conversor, tensões cuja amplitude, para as técnicas SPWM e SVM, é igual a 150 e $173 V$, respetivamente. Isto denota, para a técnica SVM, um melhor aproveitamento do barramento DC.

3 Modelação e Controlo do Voltage Source Converter

Neste capítulo, são apresentadas as equações matemáticas que descrevem o funcionamento de um VSC trifásico. Esta análise matemática não só permite apurar a relação entre os diversos elementos associados ao conversor, mas também avaliar a sua dinâmica e, essencialmente, desenvolver um sistema de controlo adequado, nomeadamente sob o referencial dq .

Neste sentido, é explorada a relação entre o fluxo das potências ativa/reactiva e as componentes d/q das correntes nas três fases do conversor. Este fator surge como ponto de partida para a compreensão do sistema de controlo (de corrente) desacoplado, que permite ajustar, de forma independente, o trânsito de potência ativa e reativa entre a rede e o conversor.

3.1 Modelação do VSC

A modelação do VSC, cuja estrutura é exibida na Figura 3.1, é dividida segundo duas vertentes: o seu lado AC, interligado por meio de uma indutância à rede elétrica; e o seu lado DC, através do qual é efetuada a ligação à bateria.

Por questões de simplificação, são assumidos os seguintes pressupostos: as tensões AC geradas no conversor (v_a , v_b e v_c) representam apenas a respetiva componente fundamental; e os elementos comutadores são ideais, pelo que as perdas de comutação são nulas. Apenas são consideradas as perdas associadas à resistência interna das bobinas e do condensador.

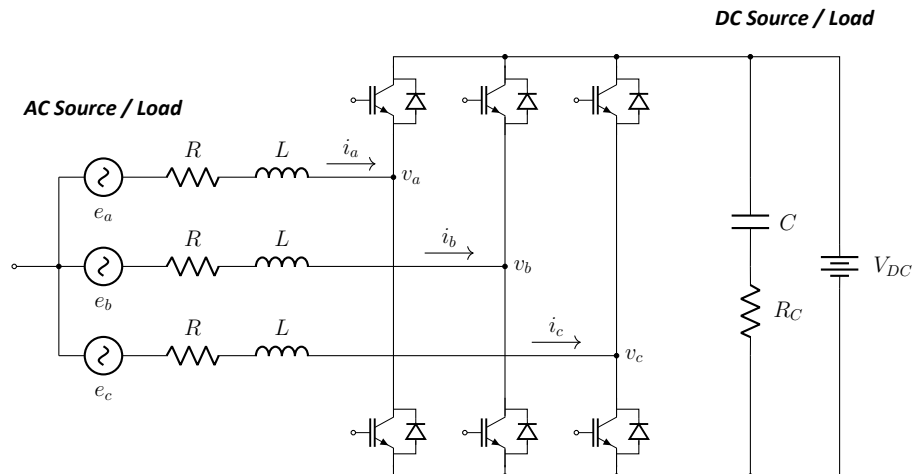


Figura 3.1: Estrutura Genérica de um VSC.

3.1.1 Modelação do Lado AC do VSC

O lado AC do VSC reflete-se na interação entre as tensões geradas no conversor (v_a , v_b e v_c) e as tensões da rede (e_a , e_b e e_c). Nesta ótica, pode ser analisado a partir de dois conjuntos de tensões trifásicas interligados por meio de bobinas, tal como sugere a Figura 3.2.

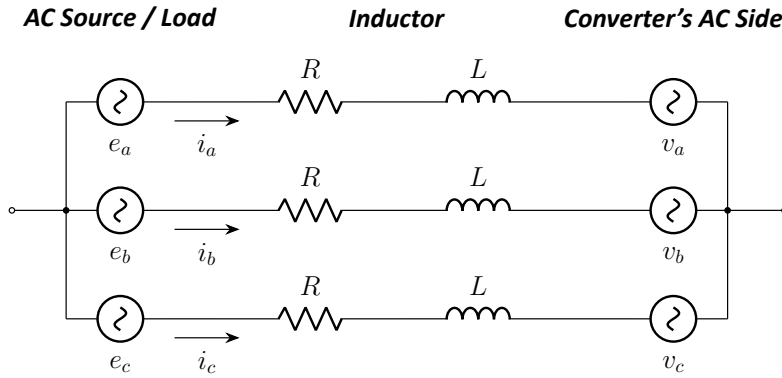


Figura 3.2: Modelo do Lado AC de um VSC Trifásico (Adaptada de [2]).

Admitindo que as tensões da rede (sistema trifásico equilibrado) são definidas por:

$$\begin{cases} e_a = E \cos(\theta_e) \\ e_b = E \cos(\theta_e - \frac{2\pi}{3}) \\ e_c = E \cos(\theta_e - \frac{4\pi}{3}) \end{cases} \quad (3.1)$$

As equações do circuito da Figura 3.2 são:

$$\begin{cases} e_a = Ri_a + L \frac{di_a}{dt} + v_a \\ e_b = Ri_b + L \frac{di_b}{dt} + v_b \\ e_c = Ri_c + L \frac{di_c}{dt} + v_c \end{cases} \quad (3.2)$$

Por forma a simplificar a análise matemática, é aplicada a mudança de referencial $abc-dq$ às tensões originais da rede. Este processo é dividido segundo duas etapas: aplicação da transformada de Clarke às tensões da rede ($abc - \alpha\beta$), seguida da transformada de Park ($\alpha\beta - dq$).

Tal como apontado no capítulo anterior, no referencial dq , as variáveis em causa são sinais DC. Para além de facilitar a análise do conversor, isto possibilita a utilização de controladores mais simples, nomeadamente controladores do tipo PI [13]. Embora estes controladores também consigam atuar com base em sinais flutuantes (sendo o seu projeto muito mais complexo), o facto de possuírem uma margem de ganho infinita na origem permite elevar significativamente o seu desempenho no controlo de grandezas essencialmente DC.

Aplicando a transformada de Clarke ao conjunto de equações (3.1), vem:

$$\begin{cases} e_\alpha = E \cos \theta_e \\ e_\beta = E \sin \theta_e \end{cases} \quad (3.3)$$

Neste ponto, partindo da fase gerada pela PLL, torna-se possível aplicar a transformada de Park:

$$\begin{bmatrix} e_d \\ e_q \end{bmatrix} = \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} e_\alpha \\ e_\beta \end{bmatrix} \quad (3.4)$$

Resultando em:

$$\begin{cases} e_d = E \\ e_q = 0 \end{cases} \quad (3.5)$$

Como é possível notar, as componentes dq das tensões da rede eléctrica assumem valores constantes. Ao passo que a componente directa (e_d) assume o valor de pico das tensões simples da própria rede (E), a componente em quadratura (e_q) é nula.

O conjunto de equações (3.2) em $\alpha\beta$ é dado por:

$$\begin{cases} e_\alpha = Ri_\alpha + L \frac{di_\alpha}{dt} + v_\alpha \\ e_\beta = Ri_\beta + L \frac{di_\beta}{dt} + v_\beta \end{cases} \quad (3.6)$$

Considerando as seguintes transformações $\alpha\beta - dq$:

$$\begin{bmatrix} e_d \\ e_q \end{bmatrix} = \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} e_\alpha \\ e_\beta \end{bmatrix} \quad (3.7)$$

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (3.8)$$

E a transformação inversa $dq - \alpha\beta$, no âmbito das correntes:

$$\begin{aligned} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} &= \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix}^{-1} \begin{bmatrix} i_d \\ i_q \end{bmatrix} \\ \Leftrightarrow \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} &= \begin{bmatrix} \cos \theta_e & -\sin \theta_e \\ \sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} \end{aligned} \quad (3.9)$$

O conjunto de equações (3.6) em dq é dado por:

$$\begin{bmatrix} e_d \\ e_q \end{bmatrix} = \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} Ri_\alpha + L \frac{di_\alpha}{dt} + v_\alpha \\ Ri_\beta + L \frac{di_\beta}{dt} + v_\beta \end{bmatrix} \quad (3.10)$$

Desenvolvendo matematicamente:

$$\begin{aligned} \begin{bmatrix} e_d \\ e_q \end{bmatrix} &= \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} L \frac{d}{dt} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} + R \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} + \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \\ \Leftrightarrow \begin{bmatrix} e_d \\ e_q \end{bmatrix} &= \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} L \frac{d}{dt} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} + R \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} v_d \\ v_q \end{bmatrix} \end{aligned} \quad (3.11)$$

Substituindo (3.9) em (3.11):

$$\begin{bmatrix} e_d \\ e_q \end{bmatrix} = \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} L \frac{d}{dt} \left(\begin{bmatrix} \cos \theta_e & -\sin \theta_e \\ \sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} \right) + R \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} v_d \\ v_q \end{bmatrix} \quad (3.12)$$

E tomando em consideração que:

$$\theta_e = \omega_e t \text{ e } \omega_e = \frac{d\theta_e}{dt} \quad (3.13)$$

A equação (3.12) vem:

$$\begin{aligned} \begin{bmatrix} e_d \\ e_q \end{bmatrix} &= \begin{bmatrix} \cos \theta_e & \sin \theta_e \\ -\sin \theta_e & \cos \theta_e \end{bmatrix} L \left(\begin{bmatrix} -\omega_e \sin \theta_e & -\omega_e \cos \theta_e \\ \omega_e \cos \theta_e & -\omega_e \sin \theta_e \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} \cos \theta_e & -\sin \theta_e \\ \sin \theta_e & \cos \theta_e \end{bmatrix} \begin{bmatrix} \frac{di_d}{dt} \\ \frac{di_q}{dt} \end{bmatrix} \right) \\ &\quad + R \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} v_d \\ v_q \end{bmatrix} \\ \Leftrightarrow \begin{bmatrix} e_d \\ e_q \end{bmatrix} &= L \begin{bmatrix} 0 & -\omega_e \\ \omega_e & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + L \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} \frac{di_d}{dt} \\ \frac{di_q}{dt} \end{bmatrix} + R \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} v_d \\ v_q \end{bmatrix} \end{aligned} \quad (3.14)$$

Nesta perspetiva, as equações do circuito da Figura 3.2 em dq são dadas por:

$$\begin{cases} e_d = Ri_d + L \frac{di_d}{dt} - \omega_e Li_q + v_d \\ e_q = Ri_q + L \frac{di_q}{dt} + \omega_e Li_d + v_q \end{cases} \quad (3.15)$$

3.1. Modelação do VSC

Desenvolvendo o conjunto de equações (3.15) sob a perspectiva do lado AC do VSC:

$$\begin{cases} v_d = e_d - Ri_d - L \frac{di_d}{dt} + \omega_e Li_q \\ v_q = e_q - Ri_q - L \frac{di_q}{dt} - \omega_e Li_d \end{cases} \quad (3.16)$$

Como é possível confirmar, existe uma interdependência entre os parâmetros diretos e em quadratura, refletida nos termos ωLi_q e ωLi_d . Por forma a que o controlo de potências ativa e reativa se possa dar de forma desacoplada, esta interdependência deverá ser anulada/compensada pelo sistema de controlo, tal como será discutido posteriormente.

A Figura 3.3 espelha o modelo equivalente, em dq , do lado AC de um VSC trifásico, denotando o acoplamento referido.

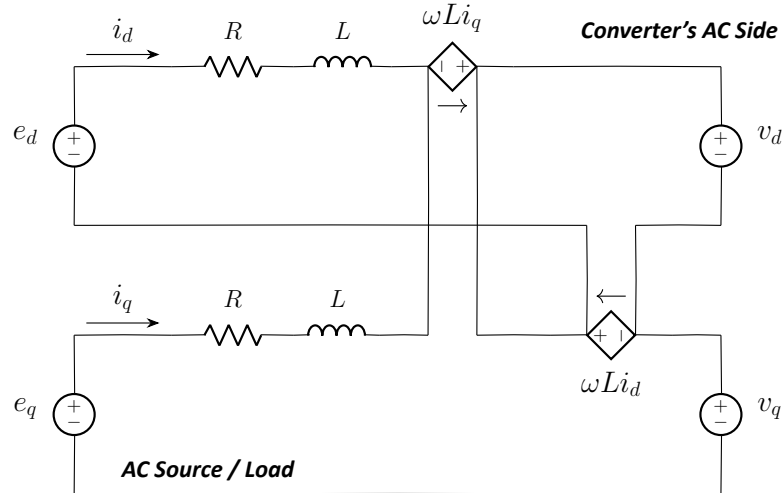


Figura 3.3: Modelo dq do Lado AC do VSC [22].

A Figura 3.4a exibe o modelo por fase do lado AC do VSC. Na Figura 3.4b, é apresentado o respetivo diagrama fasorial, em coordenadas dq .

Assumindo a correta operação da PLL, o eixo d será coincidente com o vetor espacial das tensões da rede. A corrente i_L é definida não só pelo desfasamento δ entre as tensões da rede (e) e as tensões geradas no conversor (v), mas também pela amplitude relativa de ambas.

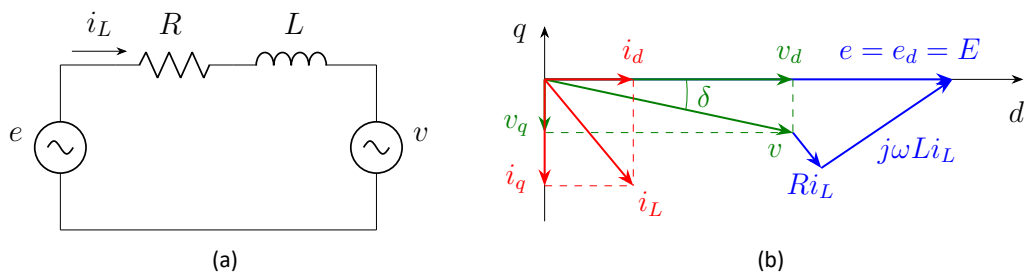


Figura 3.4: (a) Modelo Simplificado (por Fase) do Lado AC do VSC e (b) Diagrama Fasorial em dq [13].

As Figuras 3.5a e 3.5b detalham, respetivamente, a operação do VSC como retificador e inversor, ambos sob um FP unitário.

Os dois cenários são caracterizados pelo facto de a corrente i_L ser colinear com o eixo d , não possuindo, portanto, componente i_q ($i_d = i_L$). Como é notório, o funcionamento como retificador pressupõe uma corrente i_d positiva e uma tensão v inferior a e . Por outro lado, o funcionamento como inversor prevê uma corrente i_d negativa e uma tensão v superior a e .

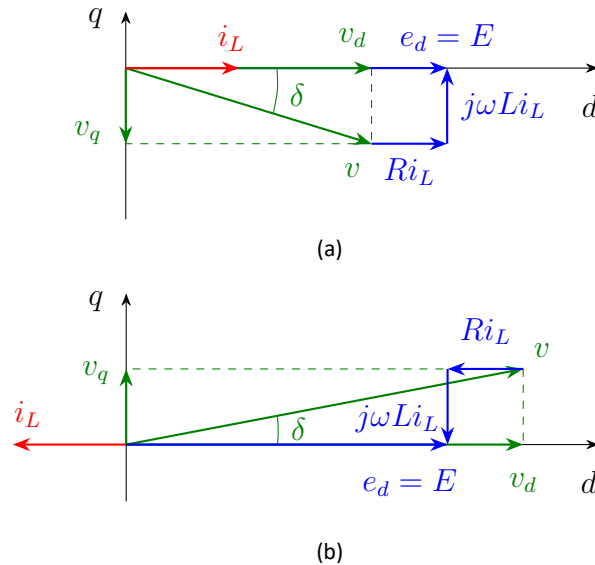


Figura 3.5: Lado AC do VSC: Operação como (a) Retificador a FP Unitário e (b) Inversor a FP Unitário.

3.1.2 Lado AC do VSC: Potência Ativa e Reativa

Genericamente, a potência instantânea associada a um sistema trifásico equilibrado é dada por:

$$\underline{S} = P + jQ \quad (3.17)$$

De acordo com [2], a potência instantânea associada a uma determinada fonte/carga de tensão e (ex: rede) pode ser descrita, no plano Cartesiano, por:

$$\underline{S}_e = (e_a i_a + e_b i_b + e_c i_c) + j \frac{1}{\sqrt{3}} (e_{bc} i_a + e_{ca} i_b + e_{ab} i_c) \quad (3.18)$$

3.1.2.1 Potência em $\alpha\beta$

Sob o referencial $\alpha\beta$, a potência instantânea é dada por [2]:

$$\underline{S}_e = \frac{3}{2} \cdot \underline{V} \underline{I}^* \quad (3.19)$$

Desenvolvendo a expressão (3.19) a partir dos vetores espaciais de tensão e de corrente da rede:

$$\begin{aligned} \underline{S}_e &= \frac{3}{2} \cdot (e_\alpha + j e_\beta)(i_\alpha - j i_\beta) \\ \Leftrightarrow \underline{S}_e &= \frac{3}{2} \cdot [(e_\alpha i_\alpha + e_\beta i_\beta) + j(e_\beta i_\alpha - e_\alpha i_\beta)] \end{aligned} \quad (3.20)$$

Deste modo, é possível descrever as potências ativa e reativa sob o ponto de vista da rede:

$$\begin{cases} P_e = \frac{3}{2} \cdot (e_\alpha i_\alpha + e_\beta i_\beta) \\ Q_e = \frac{3}{2} \cdot (e_\beta i_\alpha - e_\alpha i_\beta) \end{cases} \quad (3.21)$$

Como é notório, o controlo de potências sob o referencial $\alpha\beta$ é um processo acoplado, no sentido em que tanto a potência ativa como a potência reativa dependem simultaneamente de grandezas α e β . Por este motivo, o controlo de potências é exercido sob o referencial dq , tal como analisado de seguida.

3.1.2.2 Potência em dq

Em dq , a potência instantânea pode também ser desenvolvida a partir da equação (3.19) [2]:

$$\begin{aligned} \underline{S}_e &= \frac{3}{2} \cdot \underline{V} \underline{I}^* \\ \Leftrightarrow \underline{S}_e &= \frac{3}{2} \cdot (e_d + j e_q)(i_d - j i_q) \\ \Leftrightarrow \underline{S}_e &= \frac{3}{2} \cdot [(e_d i_d + e_q i_q) + j(e_q i_d - e_d i_q)] \end{aligned} \quad (3.22)$$

Considerando o conjunto de equações (3.5), é possível efetuar a seguinte simplificação:

$$\underline{S}_e = \frac{3}{2} \cdot [(E i_d + 0) + j(0 - E i_q)] \quad (3.23)$$

Nesta perspetiva, as potências ativa e reativa sob o ponto de vista da rede são dadas por:

$$\begin{cases} P_e = \frac{3}{2} \cdot E i_d \\ Q_e = -\frac{3}{2} \cdot E i_q \end{cases} \quad (3.24)$$

Analisando o conjunto de equações (3.24), é perceptível que os fluxos de potência ativa e reativa são independentes e proporcionais a i_d e i_q , respetivamente.

Sendo possível, através do sistema de controlo e das tensões produzidas no conversor, controlar i_d e i_q individualmente, será também possível ajustar isoladamente as potências ativa e reativa absorvidas/fornecidas pela rede.

Uma corrente i_d positiva implica um valor de P_e positivo, pelo que a rede estará a fornecer potência ativa ao conversor. Para valores negativos de i_d , será o conversor a fornecer potência ativa à rede. Para uma corrente i_d nula, não existirá qualquer trânsito de potência ativa.

Por outro lado, uma corrente i_q positiva implica um valor de Q_e negativo, pelo que o conversor fornecerá potência reativa à rede (FP capacitivo). Para valores negativos de i_q , será a rede a fornecer potência reativa ao conversor (FP indutivo). Para uma corrente i_q nula, não existirá qualquer trânsito de potência reativa (FP unitário).

Uma análise semelhante poderá ser levada a cabo para descrever a potência vista sob a perspectiva do lado AC do VSC:

$$\underline{S}_v = \frac{3}{2} \cdot [(v_d i_d + v_q i_q) + j(v_q i_d - v_d i_q)] \quad (3.25)$$

$$\begin{cases} P_v = \frac{3}{2} \cdot (v_d i_d + v_q i_q) \\ Q_v = \frac{3}{2} \cdot (v_q i_d - v_d i_q) \end{cases} \quad (3.26)$$

3.1.3 Modelação do Lado DC do VSC

A potência transferida entre os lados AC e DC do VSC corresponde unicamente à potência ativa, P_v . Assumindo a ausência de perdas de comutação e de condução no conversor, toda a potência ativa disponível no lado AC (P_v) é transferida para o lado DC (P_{DC}), e vice-versa. Neste sentido:

$$P_v = P_{Lado\ AC\ VSC} = P_{Lado\ DC\ VSC} = P_{DC} \quad (3.27)$$

Visto que a tensão no lado DC do conversor depende da topologia da carga/fonte a ele acoplada (bateria, motor DC, resistência, entre outras), este poderá ser representado por meio de uma fonte de corrente contínua I_o [35], tal como ilustrado na Figura 3.6.

O condensador colocado sob o lado DC do conversor visa, como já referido, estabilizar a tensão DC (V_{DC}) e filtrar os harmónicos de ordem elevada produzidos pelo conversor (decorrentes da comutação, a altas frequências, dos semicondutores de potência).

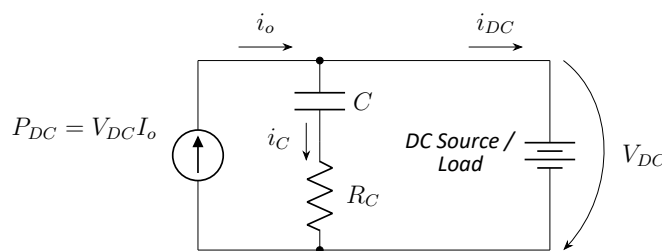


Figura 3.6: Modelo do Lado DC do VSC.

3.2. Controlo do VSC

A potência fornecida à carga é dada pela diferença entre a potência do lado DC do VSC e a potência armazenada no condensador, correspondendo a:

$$P_{LOAD} = V_{DC}I_{DC} \quad (3.28)$$

3.1.4 Modelo Completo do VSC em dq

Agregando as equações (3.26) e (3.27), é possível definir o fluxo de potência ativa entre os lados AC e DC do VSC:

$$\frac{3}{2} \cdot (v_d i_d + v_q i_q) = V_{DC} I_o \quad (3.29)$$

O modelo completo do VSC em dq , apresentado na Figura 3.7, surge da junção dos esquemas das Figuras 3.3 e 3.6. O VSC poderá ser interpretado como um dispositivo de transferência de potência, possibilitando a conversão de uma potência (ativa) AC para uma potência DC, e vice-versa. No que diz respeito à potência reativa, esta apenas é transferida entre o sistema AC a montante do conversor (ex: rede) e o lado AC do próprio conversor.

O circuito da Figura 3.7, embora equivalente ao da Figura 3.1, permite simplificar a análise do VSC, pois apenas envolve grandezas DC. Como tal, é mais vantajoso para efeitos de controlo [4], [36].

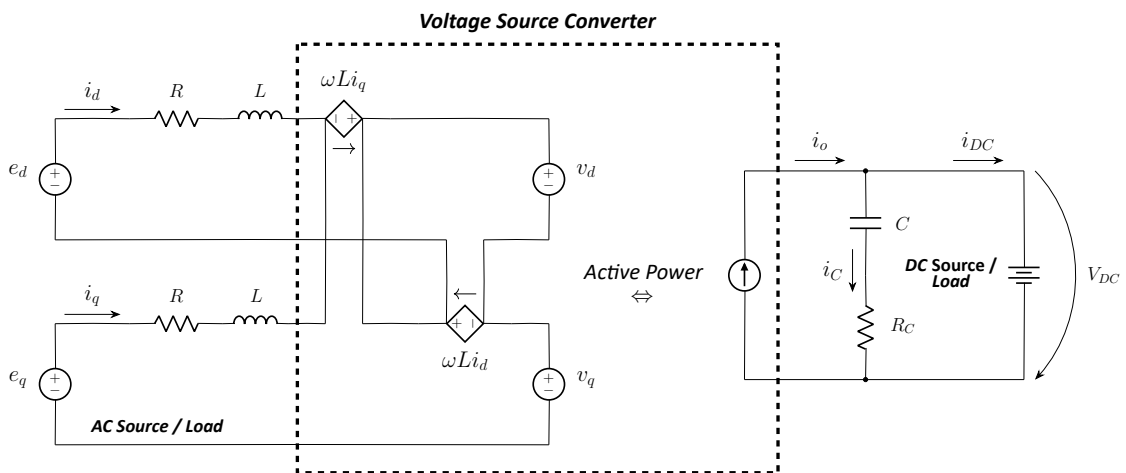


Figura 3.7: Modelo Completo do VSC em dq [22].

3.2 Controlo do VSC

O sistema de controlo desempenha um papel crucial naquilo que é o assegurar do correto funcionamento do VSC. Tomando em consideração a topologia e as características de um VSC de interface à rede, o sistema de controlo deverá permitir ajustar, de modo independente:

- O fluxo de potência ativa entre a rede e o conjunto de baterias;
- O fluxo de potência reativa entre a rede e o conversor, permitindo que este atue como uma carga resistiva, indutiva ou capacitiva.

3.2.1 Controlo de Corrente

Retomando o conjunto de equações (3.24), é perceptível que os fluxos de potência ativa e reativa são proporcionais às correntes i_d e i_q , respetivamente. Posto isto, o processo de controlo do fluxo de potência passa por fazer com que as correntes reais i_d e i_q igualem as respetivas correntes de referência i_d^* e i_q^* (associadas ao trânsito de potência desejado).

De acordo com o já deduzido conjunto de equações (3.30), para que isto se verifique, deverão ser geradas no conversor tensões v_d e v_q apropriadas, de modo a que novas correntes i_d e i_q (idealmente i_d^* e i_q^*) sejam impostas no circuito.

$$\begin{cases} v_d = e_d - Ri_d - L\frac{di_d}{dt} + \omega_e Li_q \\ v_q = e_q - Ri_q - L\frac{di_q}{dt} - \omega_e Li_d \end{cases} \quad (3.30)$$

O conjunto de equações (3.30) e a Figura 3.7 evidenciam o acoplamento entre as grandezas diretas (d) e em quadratura (q). Sem um método de controlo que promova o desacoplamento entre estas grandezas:

- Alterações em i_d (através do ajuste de v_d) são afetadas por i_q ;
- Alterações em i_q (através do ajuste de v_q) são afetadas por i_d .

Tratando-se, portanto, o VSC de um sistema intrinsecamente acoplado, em que i_q afeta i_d e i_d afeta i_q , o controlo de corrente requer a implementação de estratégias de desacoplamento, por forma a assegurar que alterações no fluxo de potência ativa não interfiram no fluxo de potência reativa, e vice-versa.

Um sistema de controlo de corrente desacoplado, baseado em controladores do tipo PI, permite promover o desacoplamento entre as componentes diretas e em quadratura, assegurando um bom desempenho e uma boa dinâmica do VSC [4], [36], [12]. O facto de o controlo ser efetuado sob o referencial dq , em que as grandezas envolvidas são essencialmente sinais DC, viabiliza a utilização deste tipo de controladores lineares [2], [4].

O modelo genérico de um controlador PI é apresentado na Figura 3.8. Como referido anteriormente, este é responsável por aplicar uma componente proporcional (k_p) e uma componente integral (k_i) ao sinal de erro, que é, por sua vez, produzido a partir da diferença entre um sinal de referência (ex: i_d^*) e o valor real da variável a controlar (ex: i_d). O sinal à saída do PI é, posteriormente, aplicado ao sistema a controlar (planta), visando reduzir o sinal de erro.

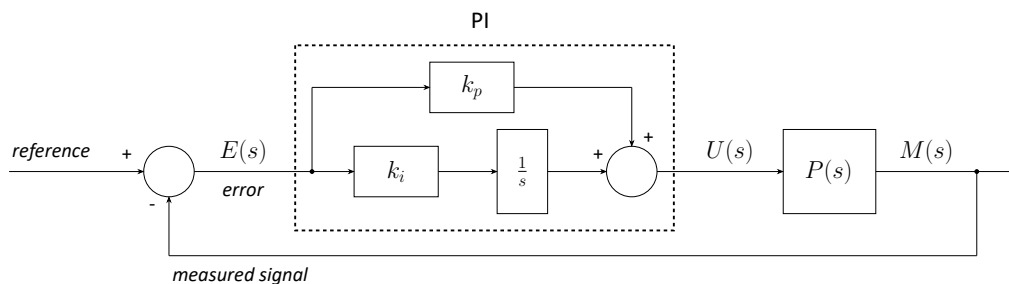


Figura 3.8: Modelo Genérico de um Controlador PI.

No domínio das frequências (s), a função de transferência do controlador PI é dada por:

$$\frac{U(s)}{E(s)} = k_p + \frac{k_i}{s} \quad (3.31)$$

Atendendo ao conjunto de equações (3.30), e tendo em conta que o VSC corresponde a uma fonte de tensão controlada, isto é, no qual é possível produzir tensões cujas componentes v_d e v_q são manipuláveis, as tensões v_d e v_q nele produzidas deverão, elas próprias, permitir anular as componentes de acoplamento inerentes à modulação do VSC.

Neste sentido, as componentes v_d e v_q das tensões a produzir no VSC (*outputs* do sistema de controlo de corrente) deverão ser [12]:

$$\begin{cases} v_d = e_d - Ri_d - \Delta v_d + \omega_e Li_q \\ v_q = e_q - Ri_q - \Delta v_q - \omega_e Li_d \end{cases} \quad (3.32)$$

Em que Δv_d e Δv_q correspondem às ações de controlo (*outputs*) dos controladores PI [12]:

$$\begin{cases} \Delta v_d = k_p(i_d^* - i_d) + k_i \int (i_d^* - i_d) dt \\ \Delta v_q = k_p(i_q^* - i_q) + k_i \int (i_q^* - i_q) dt \end{cases} \quad (3.33)$$

Substituindo (3.32) em (3.30), é notório o desacoplamento entre as componentes diretas e em quadratura. Com a adição do controlo de corrente (conjunto de equações (3.32)), a relação entre as entradas e saídas dos controladores PI passam a poder ser representadas por um sistema linear desacoplado de primeira ordem, cuja implementação e parametrização são consideravelmente mais simples [12]:

$$\begin{cases} \Delta v_d = L \frac{di_d}{dt} \\ \Delta v_q = L \frac{di_q}{dt} \end{cases} \quad (3.34)$$

Generalizando, o controlo de corrente possui como *input* as componentes i_d e i_q das correntes medidas nas três fases do lado AC do VSC, e como *output* as componentes v_d e v_q das tensões que, através da técnica de modulação selecionada, deverão ser produzidas no conversor.

Partindo dos conjuntos de equações (3.32) e (3.33), é apresentado, na Figura 3.9, o modelo do controlo de corrente. Os ramos de desacoplamento recaem sobre $-\omega_e L$ e $\omega_e L$. Uma nota para o facto de estes percursos cancelarem os termos de acoplamento evidenciados na Figura 3.7 e no conjunto de equações (3.32).

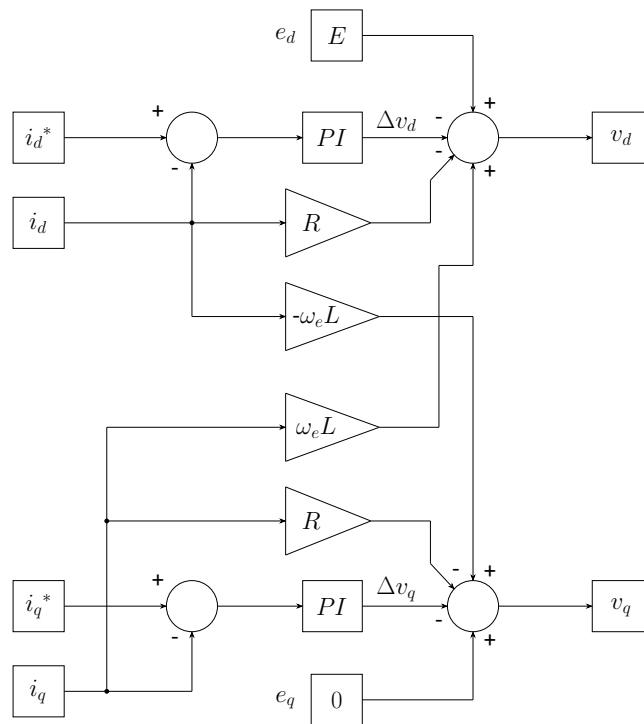


Figura 3.9: Modelo do Controlador de Corrente Desacoplado [13].

Na Figura 3.10, é apresentado o esquema geral de potência e controlo do VSC. A obtenção do ângulo de fase da rede, através da PLL, surge como ponto de partida para o processo de controlo de corrente, que será responsável por gerar as componentes v_d e v_q (v_{dq}^*) das tensões a produzir no conversor. Posteriormente, com base na normalização destas tensões, deverão ser produzidos, a partir da técnica de modulação selecionada, os sinais PWM a aplicar aos seis semicondutores de potência que compõem o VSC (Figura 2.10).

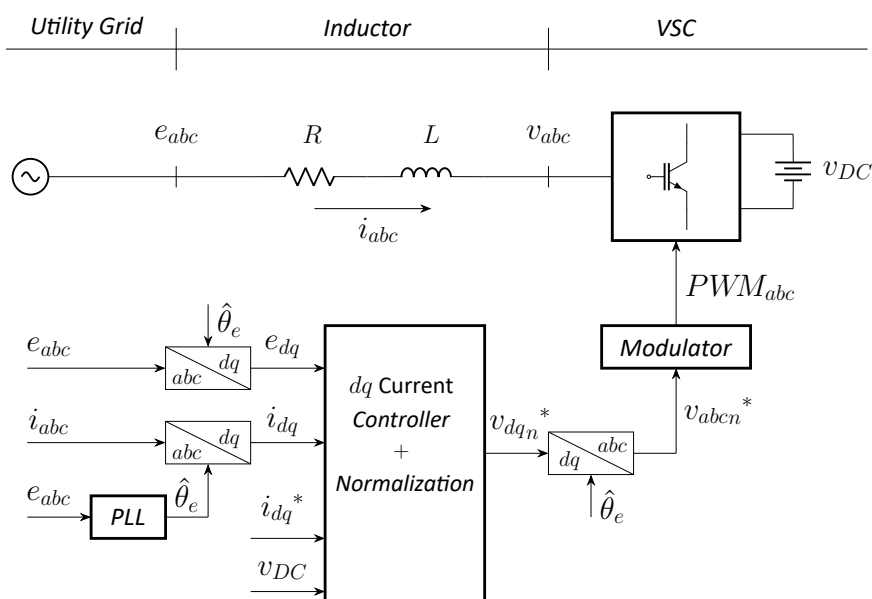


Figura 3.10: Esquema Geral de Controlo do VSC.

3.2.2 Controlo de Tensão

Dependendo da aplicação e das circunstâncias de operação do VSC, poderá existir a necessidade de fixar o valor da tensão do barramento DC a um determinado nível [37].

Dado que esta tensão apenas depende do trânsito de potência ativa, este controlo poderá ser efetuado atuando sobre a corrente de referência i_d^* . Nesta perspetiva, à semelhança do controlo de corrente, poderá ser utilizado um controlador PI para um ajuste dinâmico e preciso da tensão no barramento DC [37].

Tal como introduzido na Figura 3.11, o sinal de erro aplicado ao controlador é produzido a partir da diferença entre a tensão DC de referência (V_{DC}^*) e a tensão DC efetivamente medida (V_{DC}). Posteriormente, como *output* do PI, é gerado um sinal correspondente à corrente de referência i_d^* , que será, por sua vez, *input* do sistema de controlo de corrente (Figura 3.9).

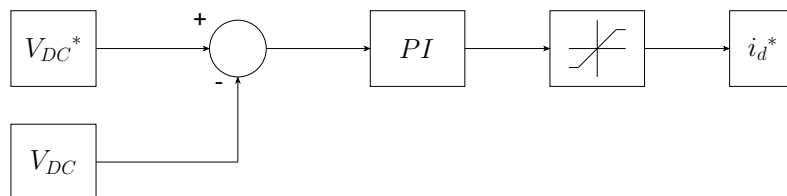


Figura 3.11: Modelo do Controlador de Tensão [13].

4 Simulação do *Voltage Source Converter*

O presente capítulo contempla as simulações realizadas, com recurso ao *software* PLECS, do circuito proposto para esta dissertação. As simulações efetuadas refletem a atuação dos diferentes elementos do protótipo desenvolvido, permitindo validar, numa fase prévia à implementação laboratorial, a conformidade do VSC e do respetivo sistema de controlo.

Numa fase inicial, foi desenvolvida a simulação em tempo contínuo. Esta permite, numa perspetiva ideal, analisar o comportamento do sistema, considerando as grandezas envolvidas como funções contínuas no tempo, isto é, sem discretização.

Posteriormente, numa vertente mais próxima da implementação real e do controlo digital por meio de um microcontrolador, foi elaborada a simulação em tempo discreto, em que variáveis contínuas são discretizadas e processadas segundo períodos uniformes de tempo (período de amostragem).

No final, através da comparação com o comportamento do sistema sob um controlo contínuo, é validado o controlo discreto do VSC, o que permitirá avançar com segurança para a implementação laboratorial.

4.1 Simulação em Tempo Contínuo

A apresentação da simulação em tempo contínuo será organizada segundo os diversos elementos e etapas que a compõem.

Neste sentido, esta secção estará dividida de acordo com a seguinte composição:

1. Circuito de potência do VSC;
2. SRF-PLL;
3. Controlo Desacoplado de Corrente;
4. Modulação SVM.

No final, são apresentados os resultados mais pertinentes da simulação desenvolvida.

4.1.1 Circuito de Potência do VSC

O circuito de potência do VSC surge retratado na Figura 4.1. Nele, é possível observar os três braços do conversor com os respectivos semicondutores de potência, a bateria (ligada ao lado DC do conversor) e a conexão do lado AC do conversor a uma fonte trifásica, por meio de bobinas.

A aplicação dos sinais PWM aos semicondutores de potência é efetuada através de uma porta lógica AND, à qual é também ligado um sinal digital de *enable*. Este sinal, quando colocado a nível lógico 0, permite desligar o conversor. Estando a nível lógico 1, o conversor opera normalmente, de acordo com os sinais PWM aplicados.

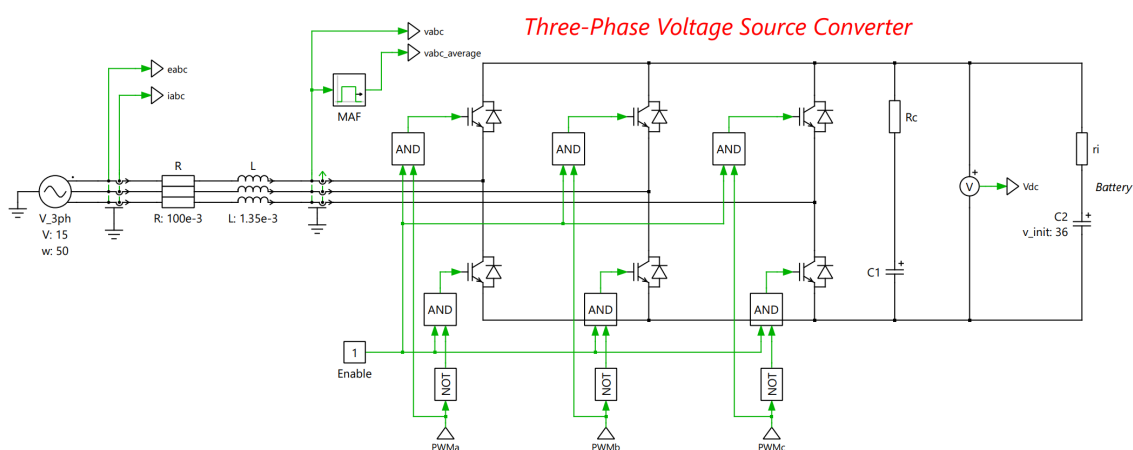


Figura 4.1: Circuito de Potência.

Os parâmetros dos principais elementos do circuito de potência foram definidos mediante o *hardware* a ser utilizado no desenvolvimento do protótipo laboratorial. Estes parâmetros são enumerados na Tabela 4.1.

Tabela 4.1: Parâmetros do Circuito de Potência.

Elemento	Parâmetro	Valor
1) Fonte AC	1.1) Tensão de Pico	15 V
	1.2) Frequência	50 Hz
2) Bobina	2.1) Indutância	1,35 mH
	2.2) Resistência Interna	100 mΩ
3) Condensador de Filtragem	3.1) Capacidade	1000 uF
	3.2) Resistência Interna	20 mΩ
4) Bateria	4.1) Tensão Nominal	36 V
	4.2) Resistência Interna	500 mΩ

Uma nota para o facto de o lado AC do VSC não ser diretamente ligado à rede, mas sim através de transformadores abaixadores.

4.1. Simulação em Tempo Contínuo

A utilização dos transformadores abaixadores prende-se essencialmente com dois fatores: possibilidade de operar com tensões AC isoladas da rede (no caso de um curto-circuito na rede, o isolamento do próprio transformador limita a corrente de curto-circuito que o conversor terá que suportar); bem como com tensões AC e DC mais reduzidas, uma vez que o conversor utilizado está limitado a uma tensão DC máxima de 48 V e as baterias, sendo equipamentos mais caros, são essencialmente reaproveitadas e possuem uma tensão nominal de 12 V. Embora esta dissertação constitua uma prova de conceito, em que se pretende demonstrar a possibilidade de controlar, independentemente, os fluxos de potência ativa e reativa (em amplitude e sentido) entre a rede e o conversor, estes transformadores nem sempre são utilizados em sistemas de interface à rede. Dado o seu custo, volume e perdas, a adaptação de tensões, quando necessária, é geralmente efetuada sobre o lado DC do conversor, recorrendo a conversores DC/DC bidirecionais, abaixadores ou elevadores, que podem ou não ser isolados.

O arranjo laboratorial surge como consequência da tensão nominal do conjunto de baterias a ser utilizado ($3 \cdot 12 V = 36 V$). Para que o índice de modulação M não ultrapasse o limiar associado ao funcionamento do conversor em regime linear (equação (2.19)), o valor de pico das tensões nele produzidas deverá ser consideravelmente inferior ao valor de pico das tensões da rede ($230 \cdot \sqrt{2} V$), tal como poderá ser confirmado a partir da equação (2.17).

Nesta perspetiva, optou-se por operar com uma tensão de pico igual a 15 V, o que, embora implique uma redução da potência transferida entre a rede e o conversor, é suficiente para efeitos de validação e verificação do funcionamento do protótipo laboratorial. Assumindo, portanto, uma tensão de 15 V, e tendo em conta que o valor de pico das tensões produzidas no conversor é similar ao da fonte/carga AC (Tabela 2.1), o índice M apenas ultrapassa $M_{máx. SVM}$ para uma tensão do conjunto de baterias inferior a 26 V, tal como corrobora a inequação (4.1). Este valor permite uma boa margem de carga e descarga das baterias, o que não invalida, ainda assim, o cumprimento daquilo que são os limites físicos enunciados pelo fabricante.

$$\frac{\pi}{2} \frac{v}{V_{DC}} < M_{máx. SVM} \Leftrightarrow \frac{\pi}{2} \frac{15}{V_{DC}} < 0,9069 \Leftrightarrow V_{DC} > 25,98 V \quad (4.1)$$

4.1.2 Synchronous Reference Frame Phase-Locked Loop

A Synchronous Reference Frame Phase-Locked Loop (SRF-PLL) implementada via PLECS é em tudo semelhante ao modelo teórico exposto inicialmente na Figura 2.7. Das duas melhorias previamente introduzidas, isto é, a normalização de e_q e a inclusão de uma frequência central na malha de controlo, apenas a primeira foi considerada. A decisão da não adição da frequência central passou pelo facto de o tempo de sincronização da SRF-PLL ser já efetivamente reduzido, o que permitiu simplificar ligeiramente o seu modelo. A Figura 4.2 reflete a implementação da SRF-PLL em tempo contínuo, evidenciando o respetivo controlador PI.

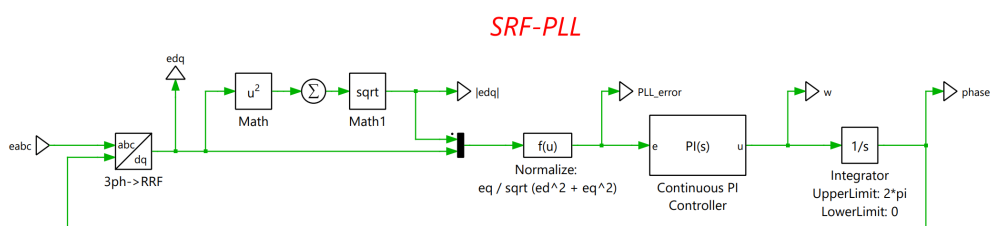


Figura 4.2: SRF-PLL em Tempo Contínuo.

A parametrização do controlador PI foi efetuada de acordo com [29], cujo desenvolvimento sugere um bom equilíbrio entre desempenho e imunidade ao ruído.

A obtenção dos valores de k_p e k_i é dada pelo seguinte conjunto de equações [29]:

$$\begin{cases} k_p = \frac{2\xi}{\sqrt{\frac{E_{norm.}}{k_i}}} \\ k_i = \frac{(\omega_c)^2}{E_{norm.}} \end{cases} \quad (4.2)$$

O coeficiente de amortecimento, a tensão da rede normalizada e a largura de banda da malha de controlo foram, respetivamente, definidos como: $\xi = 1/\sqrt{2}$; $E_{norm.} = 1 V$; e $\omega_c = 2\pi 50 \text{ rad s}^{-1}$. Como resultado do conjunto de equações (4.2), vem:

$$\begin{cases} k_p = 444,29 \\ k_i = 98696,04 \end{cases} \quad (4.3)$$

Esta conjugação de valores resulta num tempo integral ($T_i = k_p/k_i$) de $4,5 \text{ ms}$. Este parâmetro é indicativo da velocidade de correção do controlador. A componente integral será responsável por ajustar o valor do erro, por forma a compensar o acumular dos erros anteriores, procurando eliminá-los em T_i segundos [38].

Valores mais reduzidos de T_i possibilitam uma correção mais rápida do erro, podendo, contudo, comprometer a estabilidade do sistema. Por outro lado, valores mais elevados tornam o sistema mais estável, porém menos reativo. Deste modo, deverá ser procurada uma solução que assegure um equilíbrio entre velocidade de correção do erro e estabilidade do sistema [38].

Na Figura 4.3, são apresentados os resultados do processo de sincronismo da SRF-PLL.

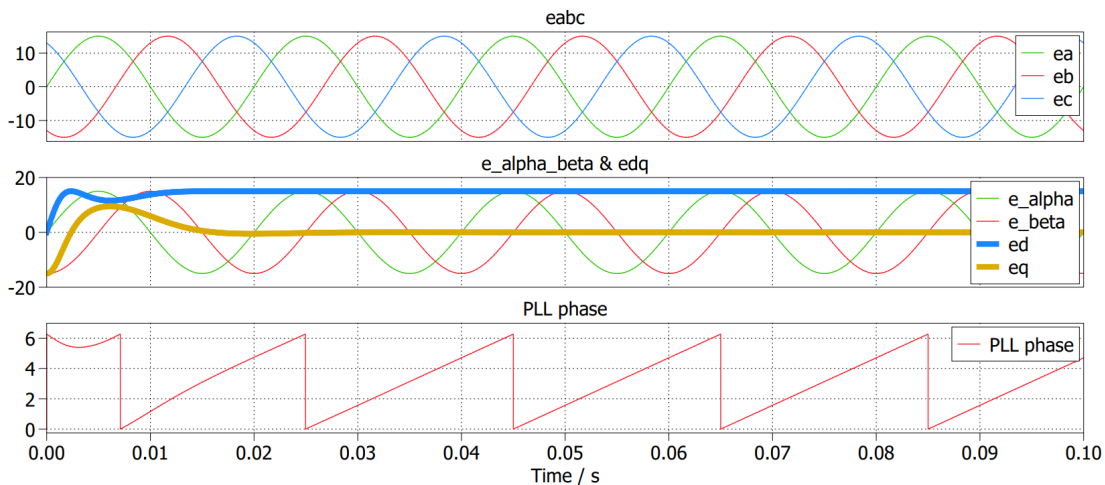


Figura 4.3: Sincronismo da SRF-PLL.

4.1. Simulação em Tempo Contínuo

Como é possível notar, a SRF-PLL, após um curto período transitório (cerca de 20 ms, um ciclo da rede), é capaz de sincronizar com as tensões da rede ¹. A partir desse instante, o ângulo de fase gerado pela SRF-PLL passa a seguir o formato de uma onda dente de serra, variando ciclicamente entre 0 e 2π . A sincronização pode também ser comprovada através das componentes e_d e e_q das tensões da rede. Tal como já justificado, a partir do momento de estabilização da SRF-PLL, e_d e e_q são essencialmente sinais DC, assumindo, respetivamente, o valor de pico das tensões da rede (15 V) e o valor zero, conforme é possível comprovar.

4.1.3 Controlo Desacoplado de Corrente

O controlador desacoplado de corrente, baseado no modelo da Figura 3.9, é apresentado na Figura 4.4.

Partindo da diferença entre as correntes dq de referência (i_d^* e i_q^*) e as correntes dq reais (i_d e i_q), são geradas as tensões v_d^* e v_q^* a ser produzidas pelo conversor. Posteriormente, estas tensões são sujeitas a uma etapa de normalização (cálculo das moduladoras), em que a sua amplitude é dividida por metade da tensão do barramento DC. Esta normalização possibilita, através da transformação de referencial $dq-abc$, a obtenção das ondas sinusoidais v_{abcn}^* , que serão utilizadas pela etapa de modulação para gerar as moduladoras SVM. O ângulo de fase através do qual esta transformação de referencial é efetuada corresponde à soma do ângulo produzido pela SRF-PLL e do ângulo das tensões v_{dq}^* (correspondendo este último ao desfasamento entre as tensões da rede e as tensões produzidas no conversor).

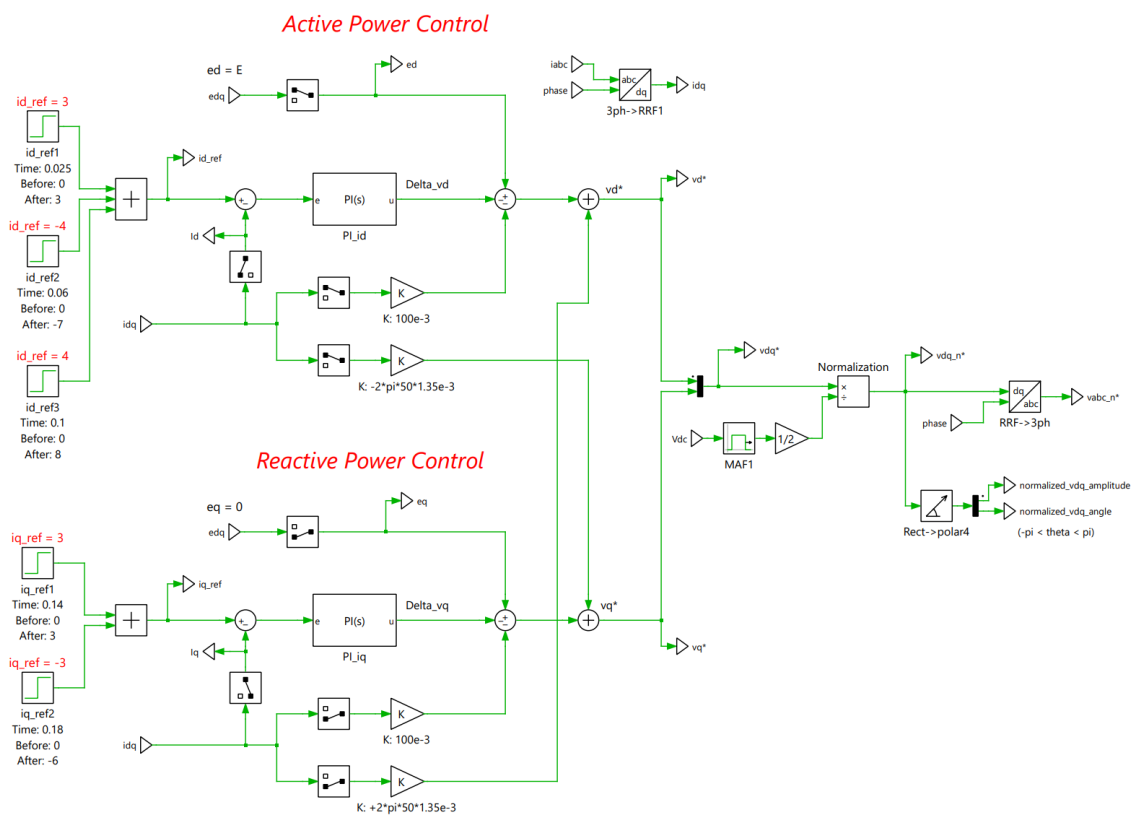


Figura 4.4: Controlo Desacoplado de Corrente em Tempo Contínuo.

¹Por uma questão de simplificação de nomenclatura, entenda-se por tensões da rede aquelas geradas pelos transformadores monofásicos abaixadores e a ela ligados - e_{abc} .

A Figura 4.5 clarifica a relação entre a fase das tensões a ser produzidas pelo conversor (representadas pelo vetor espacial \vec{V}) e das tensões da rede (representadas pelo vetor espacial \vec{E}). Após a etapa de normalização, e embora implícito no bloco afeto à transformação $dq-abc$, o ângulo das tensões v_{dq}^* (igual ao de v_{dq}) é somado ao ângulo gerado pela SRF-PLL.

Tal como abordado no Capítulo 5, a produção das moduladoras SVM e dos respectivos sinais PWM via microcontrolador será efetuada com base nas coordenadas polares do vetor \vec{V} normalizado. Partindo da sua representação sob coordenadas retangulares (v_{dn} e v_{qn}), as coordenadas polares, caracterizadas segundo um módulo/raio r e um ângulo θ , podem ser obtidas de acordo com o conjunto de equações (4.4).

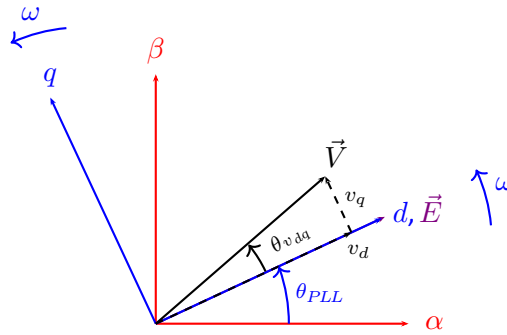


Figura 4.5: Ângulo de Fase das Tensões Produzidas no VSC.

$$\begin{cases} r = \sqrt{v_{dn}^2 + v_{qn}^2} \\ \theta = \theta_{PLL} + \theta_{vdq} = \theta_{PLL} + \theta_{v_{dq_n}} = \theta_{PLL} + \text{atan2}(v_{qn}, v_{dn}) \end{cases} \quad (4.4)$$

No que diz respeito aos PI's associados ao controlo de potência ativa e potência reativa, a dinâmica de ambos deverá ser semelhante, por forma a assegurar a estabilidade do sistema [2]. Neste sentido, os controladores PI de corrente foram parametrizados do mesmo modo, em conformidade com a formulação apresentada em [39]:

$$\begin{cases} k_p = \omega_c L \\ k_i = \omega_c R \end{cases} \quad (4.5)$$

Tal como sugerido pelo estudo em questão, ω_c foi ajustado para três vezes a frequência angular das tensões da rede. Deste modo, como resultado do conjunto de equações (4.5), vem:

$$\begin{cases} k_p = (3 \cdot 2\pi 50) \cdot 1,35e^{-3} = 1,272 \\ k_i = (3 \cdot 2\pi 50) \cdot 100e^{-3} = 94,248 \end{cases} \quad (4.6)$$

Esta conjugação de valores resulta num tempo integral (T_i) de 13,5 ms.

4.1. Simulação em Tempo Contínuo

Por forma a testar diversos cenários de operação do VSC, foram arbitrados, de modo sequencial, valores distintos às correntes de referência i_d^* e i_q^* , de acordo com a Tabela 4.2.

Ao passo que a corrente i_d define o fluxo de potência ativa, condicionando a tensão medida aos terminais da bateria, a corrente i_q influencia a potência reativa transferida entre o lado AC do VSC e a rede, permitindo ajustar o FP imposto pelo conversor à rede - conjunto de equações (3.24).

Tabela 4.2: Sequência de Controlo do VSC.

Δt	i_d^*	i_q^*	Fluxo de Potência Ativa	Fluxo de Potência Reativa	FP	V_{DC}
0 - 25 ms	0 A	0 A	-	-	-	36 V
25 - 60 ms	3 A	0 A	Rede -> Bateria	-	1	> 36 V
60 - 100 ms	-4 A	0 A	Bateria -> Rede	-	1	< 36 V
100 - 140 ms	4 A	0 A	Rede -> Bateria	-	1	> 36 V
140 - 180 ms	4 A	3 A	Rede -> Bateria	VSC -> Rede	Capacitivo	> 36 V
180 - 220 ms	4 A	-3 A	Rede -> Bateria	Rede -> VSC	Indutivo	> 36 V

Às correntes de referência definidas correspondem as potências da Tabela 4.3.

Tabela 4.3: Sequência de Controlo do VSC - Potências Envolvidas.

Δt	i_d^*	i_q^*	P_e	Q_e	$ S_e $
0 - 25 ms	0 A	0 A	-	-	-
25 - 60 ms	3 A	0 A	67,5 W	-	67,5 VA
60 - 100 ms	-4 A	0 A	-90 W	-	90 VA
100 - 140 ms	4 A	0 A	90 W	-	90 VA
140 - 180 ms	4 A	3 A	90 W	-67,5 var	112,5 VA
180 - 220 ms	4 A	-3 A	90 W	67,5 var	112,5 VA

As Figuras 4.6a e 4.6b caracterizam, respetivamente, os momentos de carga e descarga da bateria, justificando a tensão medida aos seus terminais sob os diferentes cenários da Tabela 4.2.

A não idealidade da bateria traduz-se na existência de uma resistência interna. Embora reduzida, esta resistência contribui para que a tensão medida aos terminais da bateria permita distinguir entre os processos de carga e descarga. Analisando a Figura 4.6, é perceptível que, em situação de carga, a tensão medida aos terminais da bateria será superior a 36 V. Por outro lado, em situação de descarga, esta tensão será inferior a 36 V.

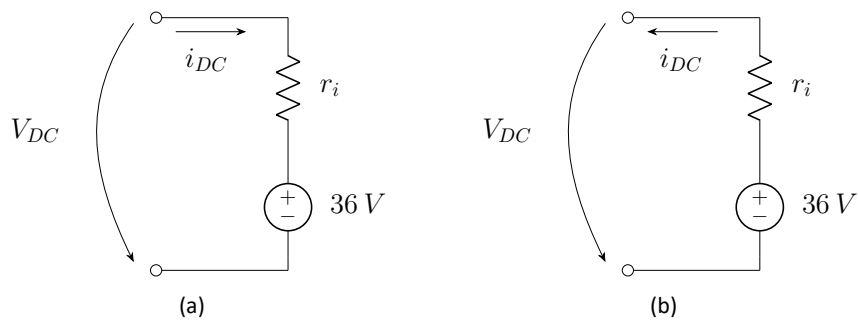


Figura 4.6: (a) Carga e (b) Descarga da Bateria.

4.1.4 Modulação SVM

A modulação SVM, tal como discutido anteriormente, possui benefícios significativos face à modulação SPWM. A sua implementação baseou-se na técnica THUPWM, cujo processo é ilustrado na Figura 4.7.

Partindo das ondas sinusoidais geradas no seguimento do controlo desacoplado de corrente (v_{abcn}^*), é produzida a onda triangular v_{inj} , de acordo com a formulação apresentada na equação (2.16). Esta onda triangular é, por sua vez, somada às próprias sinusoidais, dando origem às ondas moduladoras SVM (svm_{abc}).

A escolha da frequência de comutação está limitada às características do *hardware* disponível. Como tal, deve respeitar a frequência de comutação máxima dos semicondutores de potência e dos respetivos *drivers* presentes no conversor trifásico utilizado. No âmbito deste projeto, considerou-se uma frequência de comutação igual a 20 kHz.

Tal como mencionado, esta frequência (e superiores) são amplamente aplicadas em conversores modernos, uma vez que permitem distanciar o conteúdo harmónico das tensões produzidas no conversor face à componente fundamental [32], reduzindo consideravelmente o volume e o custo dos filtros. Não obstante, a utilização de frequências de comutação elevadas coloca desafios em termos de malhas de controlo, que exigem tempos de resposta mais rápidos e maior capacidade de processamento.

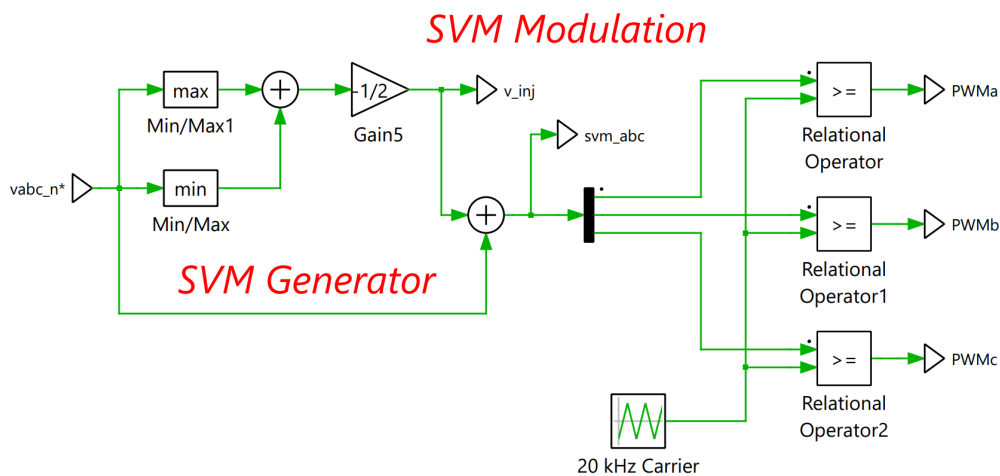


Figura 4.7: Modulação SVM.

4.1.5 Resultados

Como base da atuação do VSC, são apresentados, na Figura 4.8, os sinais de *output* do controlador desacoplado de corrente (sem e com normalização) e as grandezas associadas à modulação SVM.

No último gráfico da Figura 4.8, é notório, através da comparação entre o módulo das tensões v_{dq} normalizadas (igual à amplitude das sinusoidais v_{abcn}^*) e a amplitude das moduladoras *space vector*, o ganho de cerca de 15% da modulação SVM.

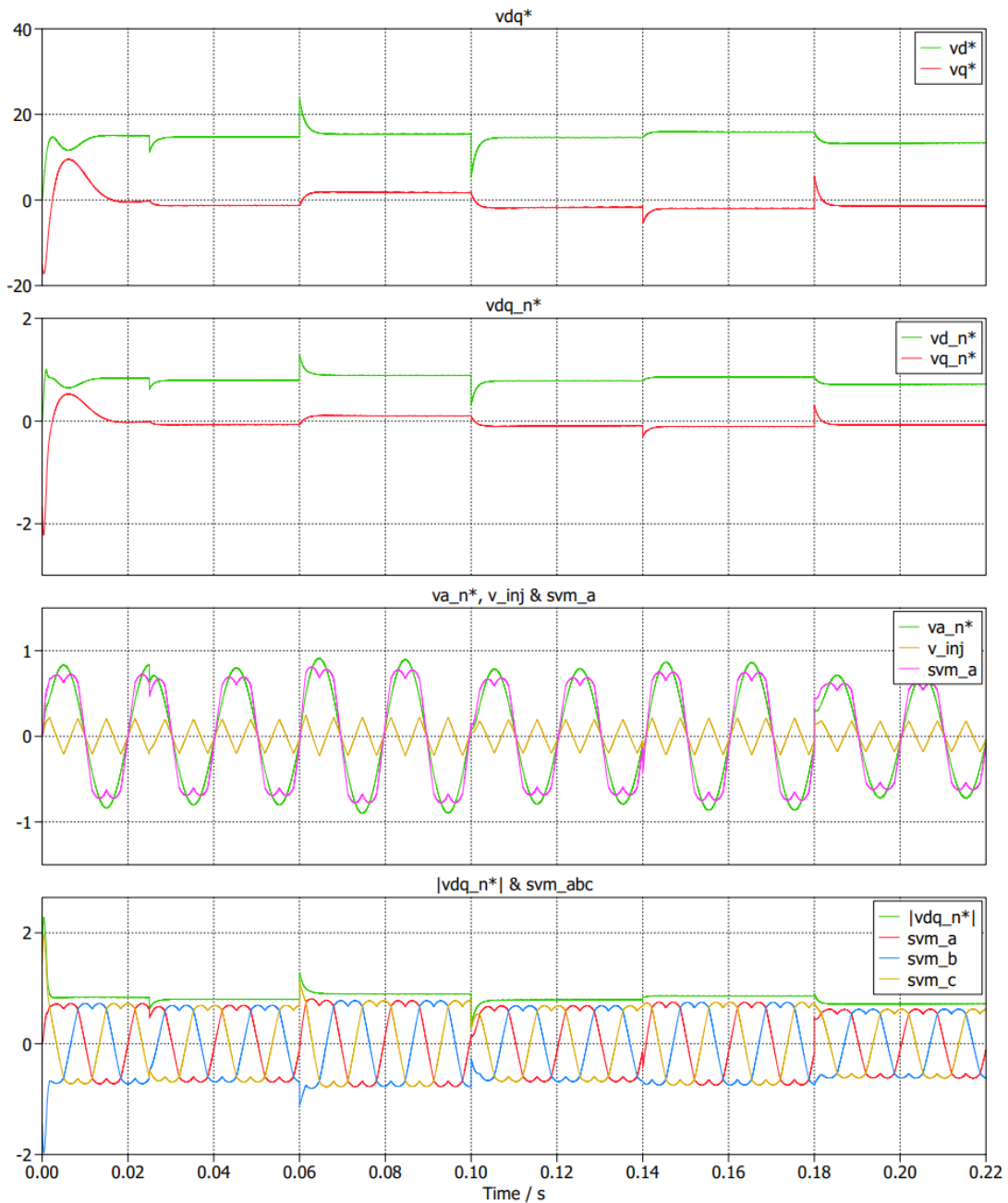


Figura 4.8: Controle Desacoplado de Corrente e Modulação SVM.

Na Figura 4.9, são apresentados os resultados decorrentes do controlo do conversor enunciado na Tabela 4.2. A Figura agrega informação relativa: às tensões produzidas no conversor (sem e com filtragem); ao seguimento das correntes de referência i_d^* e i_q^* por parte das correntes reais i_d e i_q , respetivamente; à análise do fator de potência imposto pelo conversor à rede; e ao nível de tensão da bateria.

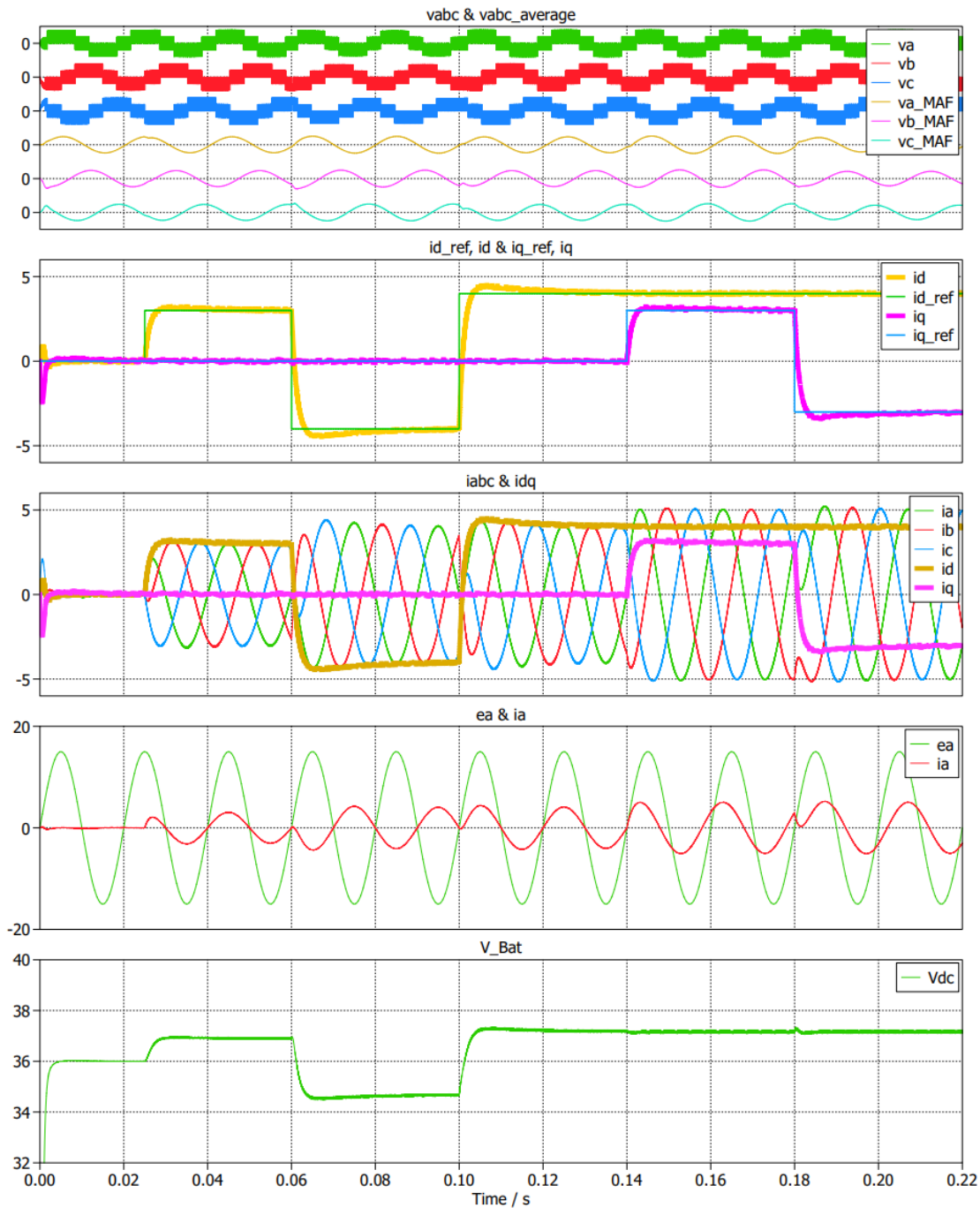


Figura 4.9: Dinâmica do VSC.

4.1. Simulação em Tempo Contínuo

De seguida, partindo das correntes de referência estabelecidas e dos resultados expostos na Figura 4.9, são interpretados os diversos momentos de atuação do VSC:

- 0 - 25 *ms*: i_d e i_q são nulas, pelo que não existe qualquer trânsito de potência entre o conversor e a rede;
- 25 - 60 *ms*: i_d é positiva, pelo que o fluxo de potência ativa se dá da rede para a bateria (VSC a operar como retificador), carregando-a. i_q é nula, logo a tensão e a corrente da rede estão em fase e o FP é unitário;
- 60 - 100 *ms*: i_d é negativa, logo o fluxo de potência ativa dá-se da bateria para a rede (VSC a operar como inversor), descarregando a bateria. A operação como inversor reflete-se na oposição de fase entre a tensão e a corrente da rede. i_q permanece nula, logo o FP é unitário;
- 100 - 140 *ms*: Semelhante ao segundo momento (25 - 60 *ms*). Ainda assim, dado que i_d é superior, o fluxo de potência ativa da rede para a bateria intensifica-se, carregando-a mais rapidamente (maior tensão medida aos terminais da bateria);
- 140 - 180 *ms*: Não existe alteração em i_d , pelo que a bateria permanece em carga. i_q é positiva, pelo que o fluxo de potência reativa se dá do conversor para a rede. Nesta perspetiva, o VSC atua como uma carga capacitiva, resultando num adiantamento da corrente da rede face à tensão da rede (FP capacitivo);
- 180 - 220 *ms*: Não existe alteração em i_d , pelo que a bateria permanece em carga. i_q é negativa, logo o fluxo de potência reativa dá-se da rede para o conversor. Neste sentido, o VSC atua como uma carga indutiva, resultando num atraso da corrente da rede face à tensão da rede (FP indutivo).

Analisando os resultados da Figura 4.9, é claro o desacoplamento existente entre as correntes i_d e i_q , na medida em que a alteração de uma das grandezas praticamente não tem influência sobre a outra. Este desacoplamento, promovido pelos ramos $-\omega_e L$ e $\omega_e L$ (Figura 4.4), assegura a estabilidade do sistema.

Excluindo os ramos de desacoplamento, o sistema apresenta a resposta da Figura 4.10. Como é possível constatar, alterações em i_d têm repercussões sobre i_q , e vice-versa.

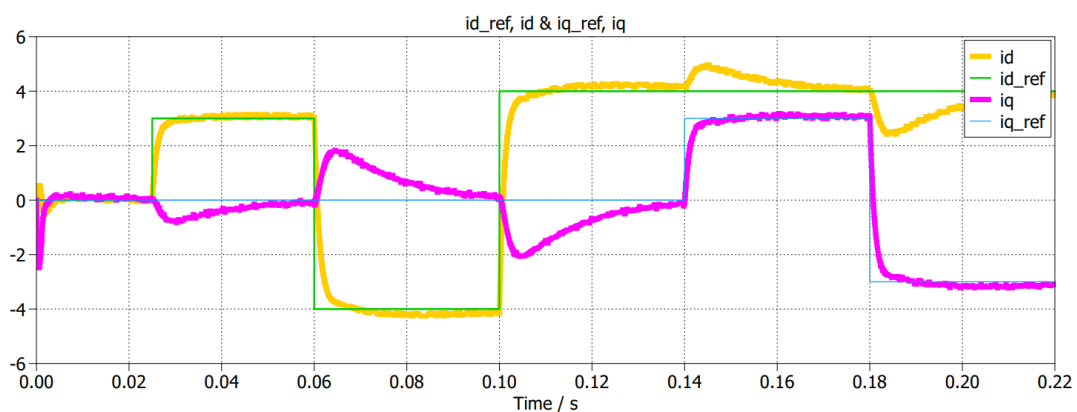


Figura 4.10: Dinâmica do VSC, sem Desacoplamento.

Um outro aspeto a considerar recai sobre o índice de modulação M . Tal como mencionado anteriormente, este não deverá exceder o limite máximo associado ao regime de funcionamento linear do VSC, sob pena de prejudicar as formas de onda das tensões nele geradas, através do aparecimento de harmónicos de baixa frequência.

Para a modulação SVM, o índice M não deverá ser superior a 0,9069 (equação (2.19)). Nas Figuras 4.11 e 4.12, são exibidos, respetivamente, o método de cálculo do índice de modulação M e o resultado deste parâmetro, para a simulação proposta.

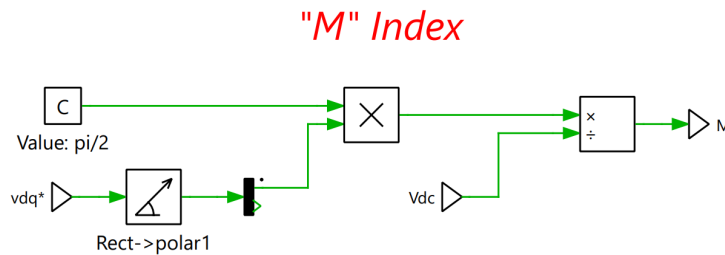


Figura 4.11: Cálculo do Índice de Modulação M .

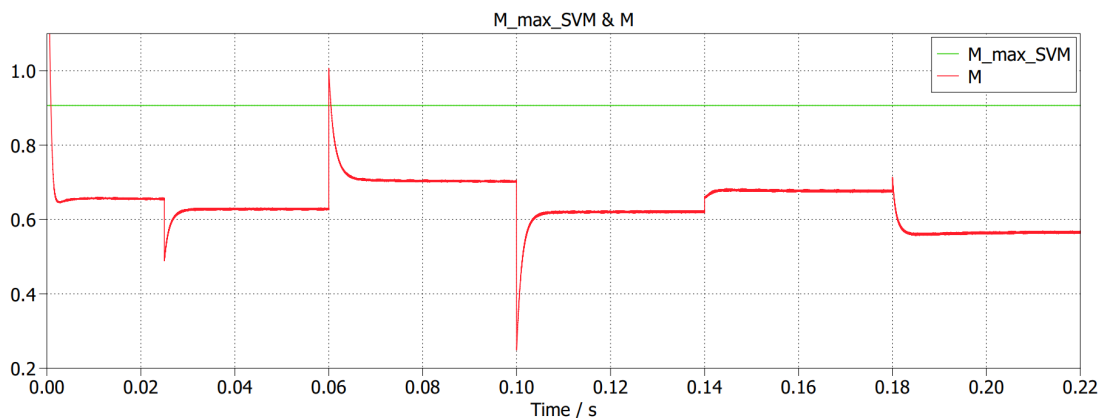


Figura 4.12: Índice de Modulação M .

À exceção do transitório inicial, em que as tensões geradas no VSC não estão ainda estabelecidas, o índice de modulação apenas ultrapassa o limiar máximo aos 60 ms , instante em que é solicitada ao conversor uma corrente i_d negativa.

Ainda assim, o período durante o qual o índice de modulação se mantém acima deste limite é ínfimo (cerca de 0,5 ms), não comprometendo a atuação do VSC.

4.2 Simulação em Tempo Discreto

O controlo real do conversor, suportado pela utilização de um microcontrolador, envolve a aquisição e o processamento de dados sob intervalos de tempo discretos. Este fator implica a adaptação dos elementos de controlo, originalmente projetados para operar continuamente no tempo — nomeadamente os controladores PI — para um sistema de tempo discreto.

Esta transição envolve a conversão (amostragem) dos sinais analógicos em sinais discretos, através da aquisição periódica de dados segundo intervalos uniformes de tempo (período de amostragem - T_s), numa ação designada por discretização [40]. Para mais informação quanto ao método de discretização considerado, consultar o Anexo A.1.

A simulação em tempo discreto visa, como já mencionado, simular a atuação do microcontrolador utilizado na vertente prática. O *software* de simulação PLECS permite, através do bloco *C-Script*, executar funcionalidades personalizadas de programação em linguagem C, adequando-se como base para a programação real do microcontrolador. A taxa a que o código definido no bloco *C-Script* é executado é definida pelo parâmetro "Sample time", ou período de amostragem (T_s).

No âmbito deste projeto, foi considerado um período de amostragem equivalente à frequência de comutação admitida (20 kHz), ou seja, $T_s = 50 \mu s$ (1/20 kHz).

O circuito de potência, exposto na Figura 4.13, é em tudo semelhante ao da simulação em tempo contínuo. Por uma questão de diferenciação de ambas as simulações, as grandezas envolvidas na simulação em tempo discreto foram definidas com o termo "(discrete)" no final do nome.

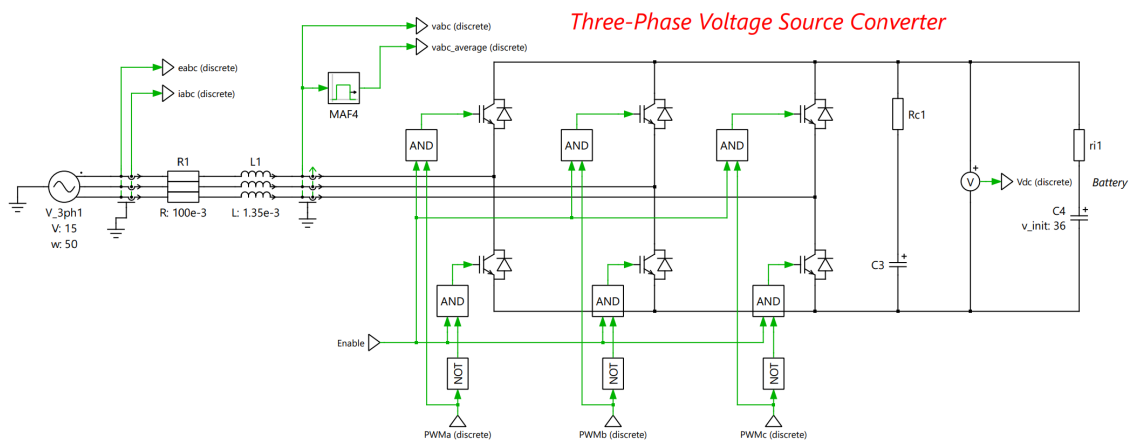


Figura 4.13: Circuito de Potência (Tempo Discreto).

O circuito de controlo do VSC, baseado no bloco *C-Script*, é apresentado na Figura 4.14. Como é possível notar, o bloco de programação possui como *input* todas as variáveis essenciais ao controlo do VSC, englobando não só as necessárias à implementação da SRF-PLL, como também ao controlo desacoplado de corrente. Como *output*, está disponível grande parte das variáveis calculadas, permitindo a sua validação, bem como aquelas necessárias ao processo subsequente de modulação.

Ao contrário da simulação em tempo contínuo, em que o sinal de *enable* permanecia sempre a nível lógico 1, na simulação em tempo discreto, este foi colocado a nível lógico 0 durante o período entre os 40 e 50 *ms*. Esta alteração visa permitir validar o código desenvolvido para a lógica de *turn off* do conversor, em que é necessário limpar o conteúdo das variáveis de erro (atual e prévio) associadas aos PI's do controlo de corrente.

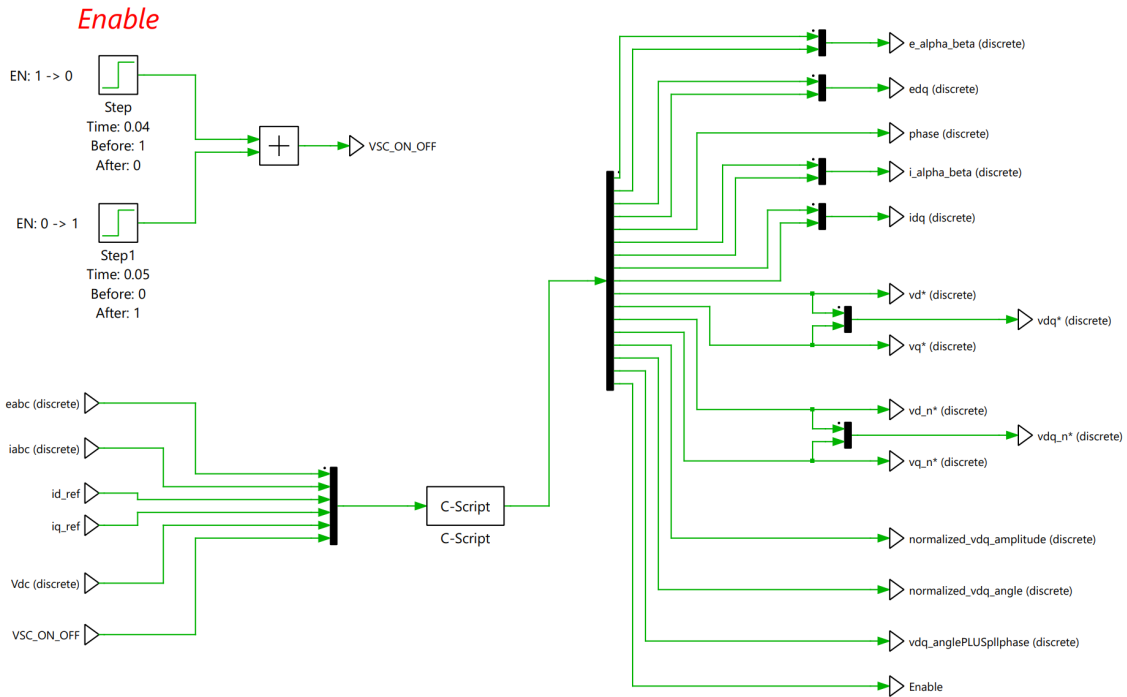


Figura 4.14: Modelo de Controlo (Tempo Discreto).

O código do bloco *C-Script* está disponível para consulta no Anexo A.3. A utilização de determinadas funções matemáticas e técnicas computacionais de cálculo, como a *lookup table*, será justificada no capítulo 5.

No âmbito da modulação SVM, visto que esta será implementada por meio de uma funcionalidade específica do microcontrolador (APP PWM SVM), a lógica acaba por ser semelhante à da simulação em tempo contínuo, tal como corrobora a Figura 4.15.

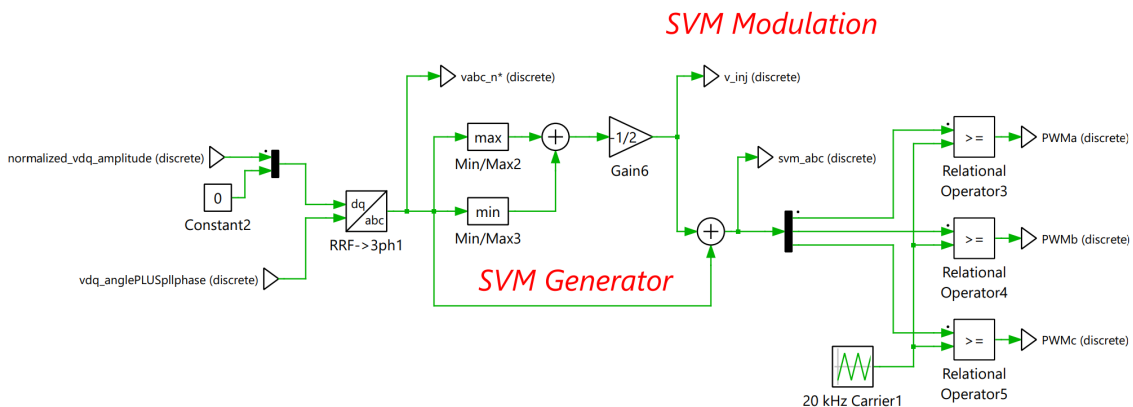


Figura 4.15: Modulação SVM (Tempo Discreto).

4.2. Simulação em Tempo Discreto

Este desenvolvimento visa replicar a atuação da APP PWM SVM, que parte das coordenadas polares do vetor \vec{V} normalizado para gerar os sinais PWM a aplicar aos semicondutores de potência que compõem o conversor.

No que diz respeito aos resultados da simulação, será inicialmente validada a SRF-PLL e, posteriormente, a dinâmica do VSC, resultante do processo de controlo desacoplado de corrente.

Na Figura 4.16, são apresentados os resultados do processo de sincronismo da SRF-PLL em tempo discreto.

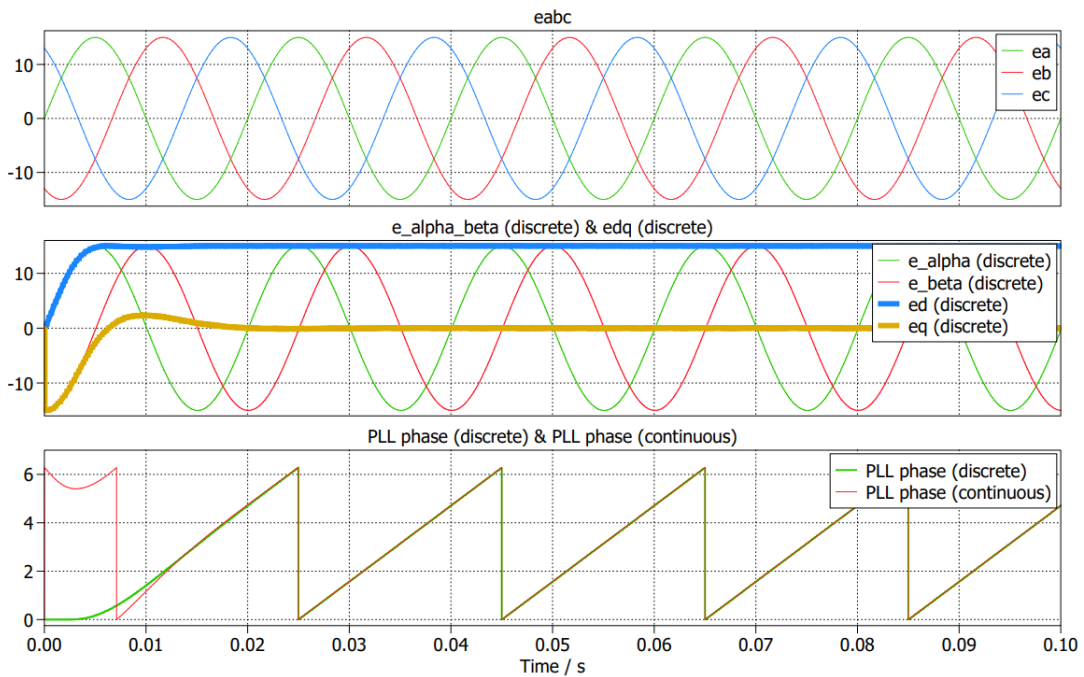


Figura 4.16: Sincronismo da SRF-PLL (Tempo Discreto).

Como é possível notar, os resultados são bastante similares aos da simulação em tempo contínuo. Efetuando um *zoom* aos ângulos de fase gerados em tempo contínuo e tempo discreto (Figura 4.17), é claro o período de amostragem sobre o qual as ações de controlo em tempo discreto são executadas ($T_s = 50 \mu s$).

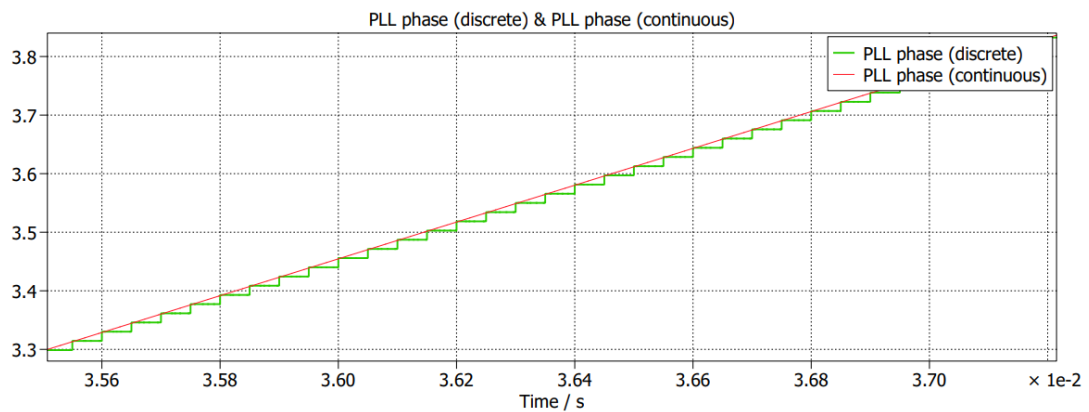


Figura 4.17: SRF-PLL: Tempo Contínuo vs Tempo Discreto.

Na Figura 4.18, são expostos os resultados decorrentes do controlo em tempo discreto do conversor.

À exceção do período em que sinal de *enable* é colocado a nível lógico 0 (entre os 40 e 50 *ms*), apenas por uma questão de validação da lógica de *turn off* do VSC), e portanto não existe fluxo de corrente, a dinâmica do VSC é semelhante àquela já apresentada para tempo contínuo. A rápida resposta do conversor perante o estado do *enable* e a capacidade de seguir as correntes de referência solicitadas permitem validar o controlo digital desenvolvido.

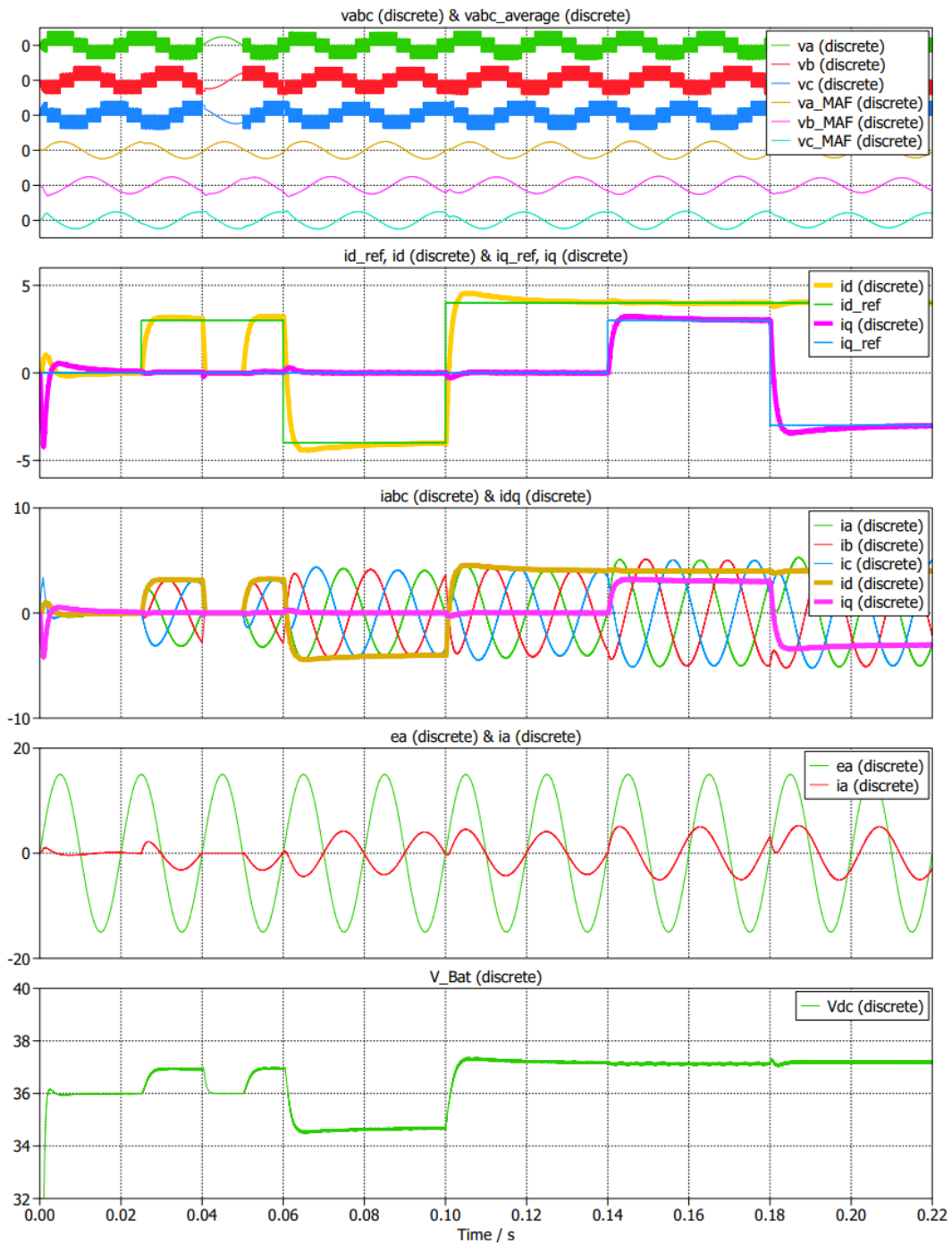


Figura 4.18: Dinâmica do VSC (Tempo Discreto).

4.2. Simulação em Tempo Discreto

Tal como definido no capítulo 2, o fluxo de potências é determinado pela interação entre as tensões produzidas na rede e as tensões produzidas no conversor. Esta interação é caracterizada pela amplitude relativa e pelo desfasamento entre ambas as tensões.

A Figura 4.19 apresenta, para uma das fases, as ligeiras diferenças de amplitude e de fase entre as tensões da rede e as tensões produzidas no conversor. Estes variações permitem impor as correntes de referência i_d^* e i_q^* solicitadas ao conversor, definindo o fluxo de potência ativa e reativa, respetivamente.

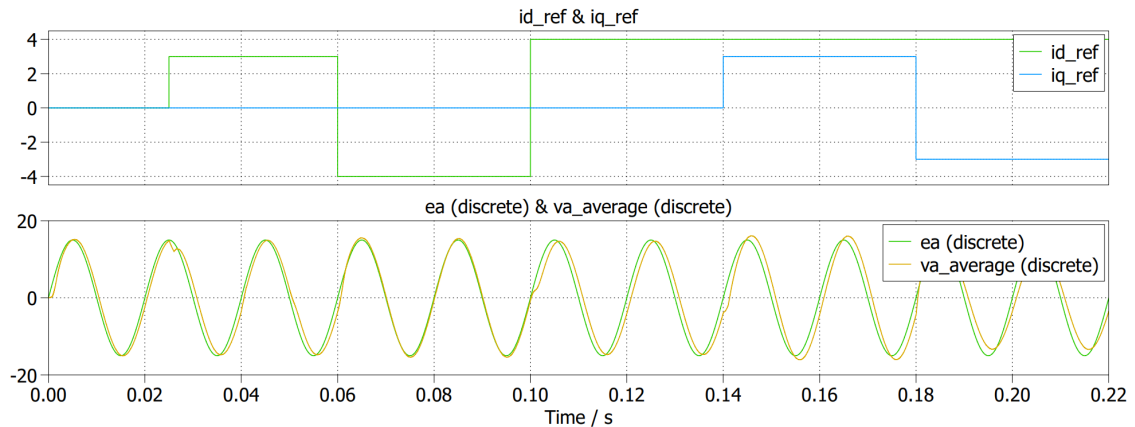


Figura 4.19: Interação entre a Tensão da Rede e a Tensão Produzida no VSC.

Quanto ao índice de modulação M , este é também bastante similar àquele já registado em tempo contínuo, tal como comprova a Figura 4.20. A única exceção recai, novamente, sobre o momento em que o *enable* é colocado a nível lógico 0 (conversor desligado).

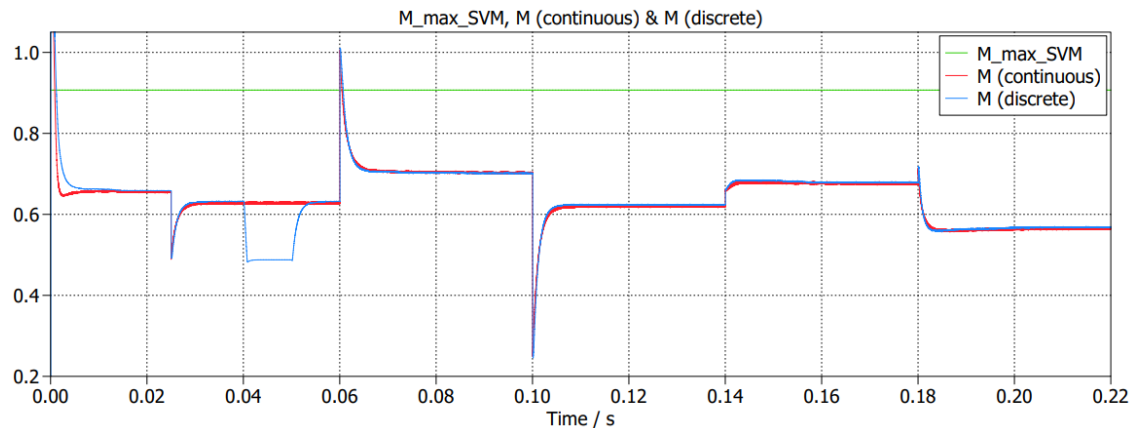


Figura 4.20: Índice de Modulação M (Tempo Discreto).

Modo geral, os resultados obtidos na simulação em tempo discreto estão, tal como pretendido, bastante próximos dos resultados obtidos em tempo contínuo. Uma nota para o facto de, tanto para a SRF-PLL como para o controlo desacoplado de corrente, a parametrização dos PI's em tempo discreto permanecer igual à da simulação em tempo contínuo.

A validação da lógica de *enable*, da SRF-PLL, do controlo desacoplado de corrente e da modulação SVM permite rumar em direção à implementação prática, com a segurança e o suporte teórico desejados.

5 Protótipo Laboratorial

O atual capítulo é dedicado à caracterização do protótipo laboratorial desenvolvido.

Numa fase inicial, é efetuada a descrição dos principais elementos que constituem o *hardware* necessário à operação do VSC.

Posteriormente, com base nos circuitos analisados no capítulo anterior, é apresentada, numa perspetiva global, o resultado da montagem do protótipo, suportada pelo respetivo esquema elétrico.

No âmbito da programação do microcontrolador via DAVE, são elencados os principais aspetos da APP PWM SVM, nomeadamente os parâmetros da função responsável pela produção dos sinais PWM e o desfasamento intrínseco às tensões geradas pela própria APP, quando em comparação com as da rede. É também caracterizada a interface gráfica de monitorização e controlo desenvolvida via Micrium uC-Probe XMC®.

Numa fase final, são descritos alguns dos mecanismos de segurança implementados, e fundamentada, em termos de tempo de execução de código, a utilização de determinadas funções e métodos de cálculo matemáticos mais eficientes.

5.1 *Hardware*

A escolha do *hardware* utilizado na montagem prática resultou, essencialmente, do material disponível em laboratório. Ao passo que alguns equipamentos estavam prontos a utilizar, nomeadamente os transformadores (monofásicos e autotransformador) e os sensores de tensão, outros necessitaram de ser ajustados, como é o caso dos sensores de corrente.

De seguida, são descritos os principais elementos que compõem o protótipo laboratorial desenvolvido.

5.1.1 Microcontrolador

Como elemento central de controlo e processamento, foi utilizada a placa integrada XMC4700 Relax Kit (Figura 5.1a). Baseado no microcontrolador ARM Cortex-M4 XMC4700, da Infineon, este *kit* fornece uma ampla gama de recursos e periféricos, que não só facilitam o desenvolvimento de protótipos, mas permitem também avaliar as capacidades do microcontrolador, de modo simplificado, acessível e imediato [41].

Estes *kits*, dada a elevada capacidade de processamento dos microcontroladores envolvidos, são essencialmente concebidos para o controlo de motores, automação e sistemas de energia [42].

A Infineon disponibiliza um ambiente de desenvolvimento integrado gratuito — DAVE — que conta com uma série de *software applications* (APPs) projetadas para facilitar a programação do microcontrolador e o desenvolvimento dos sistemas de controlo. No âmbito deste projeto, serão utilizadas diversas APPs, nomeadamente: *Analog-to-Digital Converter* (ADC); *Digital-to-Analog Converter* (DAC); PWM-SVM; INTERRUPT; e DIGITAL_IO.

Uma nota para o facto de, neste projeto, serem utilizadas as 8 entradas analógicas da placa integrada: três associadas à medição de tensão; três à medição de corrente; uma à medição da tensão do barramento DC; e uma à medição da temperatura do conversor. O ADC do XMC4700 possui 8 canais e opera a 12 bits, ao qual está associada uma excursão de 3,3 V.

5.1.2 Conversor de Potência

O X-NUCLEO-IHM08M1, exibido na Figura 5.1b, é um conversor de potência trifásico desenvolvido pela STMicroelectronics. Projetado como uma unidade de expansão para as placas STM32 Nucleo, este conversor pode também ser utilizado em conjunto com outras plataformas de controlo, como será o caso [43].

Embora tenha sido essencialmente concebido para o controlo de motores *Brushless DC Motor* (BLDC) e *Permanent Magnet Synchronous Motors* (PMSM) [43], o comando dos semicondutores de potência que constituem cada um dos três braços do X-NUCLEO-IHM08M1 pode ser efetuado a partir de pinos acessíveis ao exterior, possibilitando a sua utilização como VSC. A unidade é projetada para operar com tensões DC entre 8 e 48 V, e uma corrente máxima de 15 A_{rms} .

Internamente, o X-NUCLEO-IHM08M possui circuitos de medição da temperatura e da tensão do barramento DC. A correta utilização deste conversor envolveu o desenvolvimento de um circuito externo de *enable* (para que possa, a qualquer momento, ser ligado ou desligado) e o cálculo do valor de *dead-time* a incluir nos sinais de controlo PWM a aplicar aos semicondutores de potência que o constituem. Para mais detalhe quanto a estes fatores, consultar o Anexo B.1.

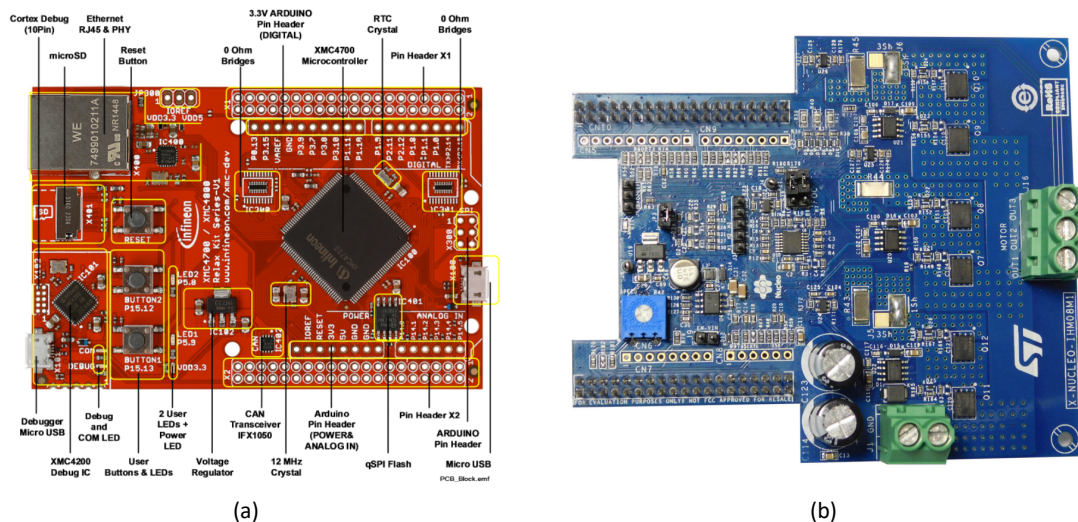


Figura 5.1: (a) XMC4700 Relax Kit [41] e (b) X-NUCLEO-IHM08M1 [43].

5.1.3 Transformadores Monofásicos e Autotransformador

Tal como adiantado no capítulo 4, as tensões com as quais o lado AC do VSC interagirá (e_{abc}) terão um valor de pico de 15 V.

Estas tensões são geradas a partir de três transformadores monofásicos abaixadores (um por fase) alimentados pela rede elétrica pública. Estes transformadores, disponíveis em laboratório, possuem uma tensão nominal (eficaz) de 230/24 V e uma potência aparente de 600 VA (Figura 5.2).

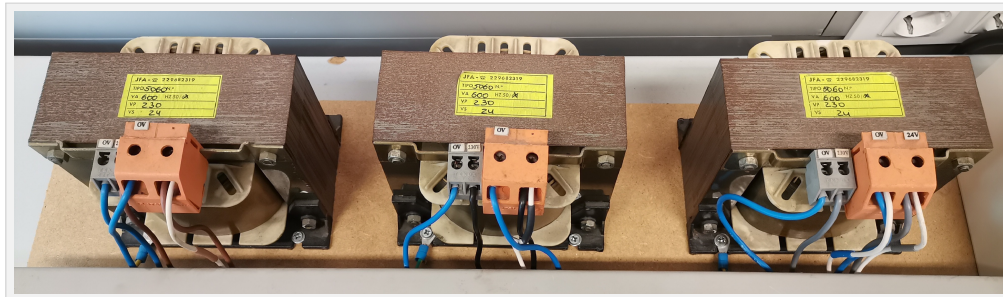


Figura 5.2: Transformadores Monofásicos.

Uma vez que a tensão do enrolamento secundário dos transformadores monofásicos é superior à pretendida, foi necessário incluir, entre estes e a rede elétrica, um autotransformador trifásico (Figura 5.3). Este autotransformador, através da regulação da razão de espiras, permite controlar a tensão aplicada ao enrolamento primário dos transformadores monofásicos e, consequentemente, a tensão dos seus enrolamentos secundários. Deste modo, é possível obter os 15 V pretendidos à saída dos transformadores monofásicos abaixadores.

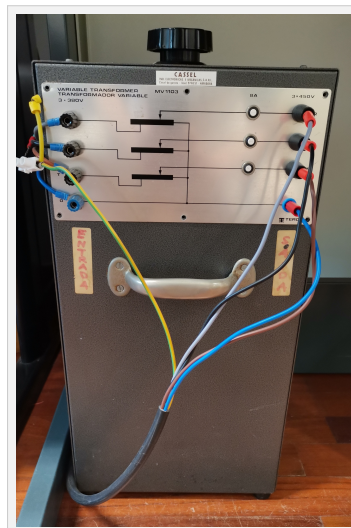


Figura 5.3: Autotransformador Trifásico.

O isolamento entre a rede elétrica e o circuito do VSC é assegurado pelos transformadores monofásicos. Embora para cada fase a indutância do enrolamento secundário de cada um dos transformadores monofásicos surja em série com a da bobina, o facto de a primeira ser mínima face à segunda faz com que possa ser desprezada [44].

5.1.4 Baterias

As características das baterias utilizadas assumem um papel relevante no dimensionamento do circuito. No presente projeto, são utilizadas três baterias seladas de chumbo-ácido, cada uma com uma tensão nominal de 12 V . As baterias foram dispostas em série, o que perfaz um total de 36 V (Figura 5.4a).

Ao passo que uma das baterias mantém a sua condição original, as restantes duas foram já utilizadas no âmbito de sistemas de alimentação *Uninterruptible Power Supply* (UPS). As características nominais das três baterias são semelhantes, podendo ser consultadas no Anexo B.2.

5.1.5 Bobinas

Tal como introduzido, a colocação de bobinas em cada uma das fases do lado AC do VSC é essencial à sua correta operação. Para além de atuarem como um filtro aos harmónicos presentes nas correntes de fase, as bobinas viabilizam o funcionamento do conversor sob os quatro quadrantes de potência.

As três bobinas utilizadas, visíveis na Figura 5.4b, foram reaproveitadas a partir de sistemas UPS. Embora não seja conhecido o valor de todos os parâmetros, será seguro considerar uma corrente e frequência nominais de 16 A e 50 Hz , respetivamente [44]. A indutância de cada uma das bobinas é igual a $1,35\text{ mH}$, e a resistência interna, medida em série com a resistência dos próprios cabos de fase, ronda os $100\text{ m}\Omega$.

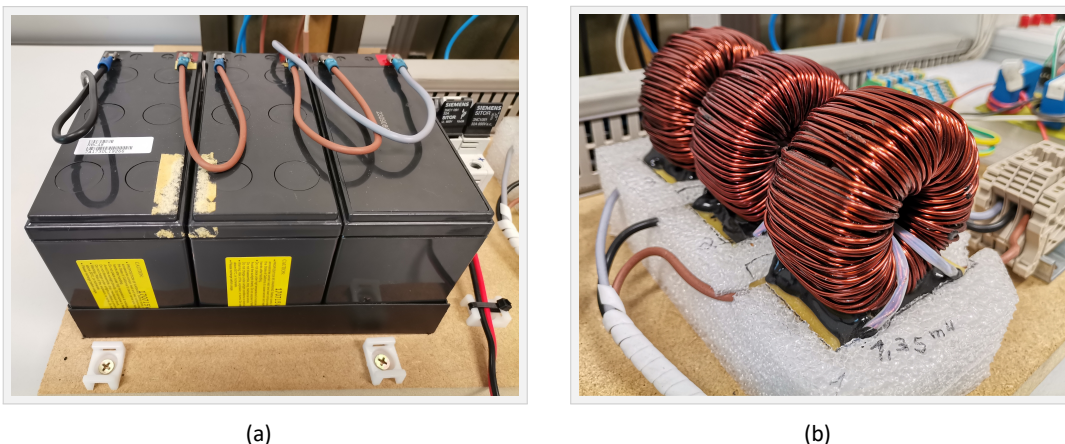


Figura 5.4: (a) Baterias e (b) Bobinas.

5.1.6 Sensores de Tensão e Sensores de Corrente

No âmbito deste projeto, a medição das tensões da rede (tensão à saída dos transformadores monofásicos abaixadores) foi efetuada recorrendo a três transdutores de tensão LEM LV25-P. Dependendo da sua configuração, estes transdutores permitem medir tensões entre 10 e 500 V [45].

Quanto à medição das correntes nas três fases do lado AC do conversor, foram utilizados três transdutores de corrente LEM LA55-P. Estes transdutores permitem medir correntes de até 70 A_{rms} [46].

5.2. Implementação Laboratorial

Uma vez que o *output* dos transdutores de tensão e de corrente não é compatível com a excursão das entradas analógicas da placa integrada XMC4700 ($0 - 3,3 V$), é necessário desenvolver circuitos de condicionamento de sinal capazes de efetuar a conversão de tensão entre ambas as unidades. Os Anexos B.3 e B.4 agregam informação quanto às principais características dos transdutores de tensão e de corrente, respetivamente, descrevendo ainda os circuitos de condicionamento de sinal de ambos.

As Figuras 5.5a e 5.5b apresentam, respetivamente, a disposição dos transdutores de tensão e de corrente, incluindo os respetivos circuitos de condicionamento de sinal.

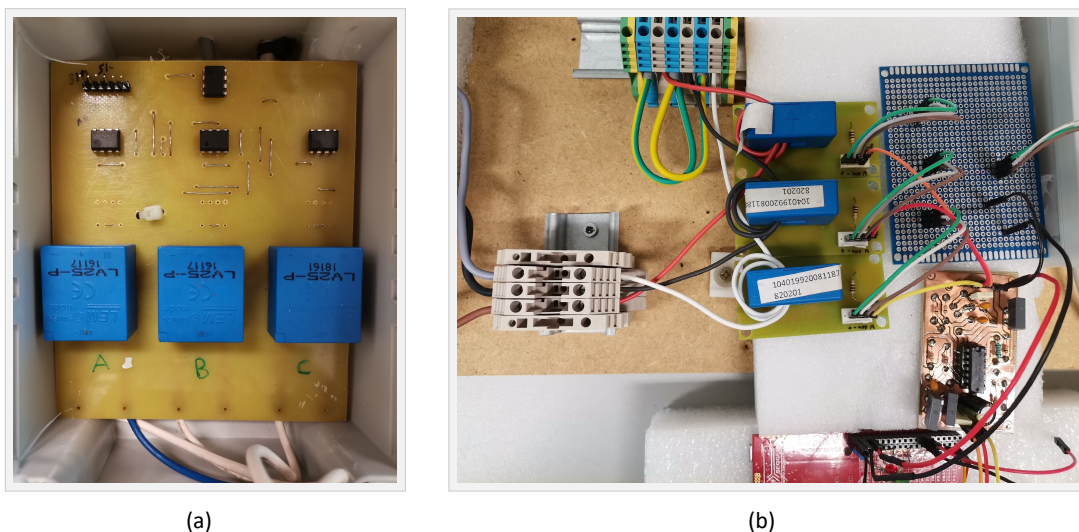


Figura 5.5: (a) Transdutores de Tensão LEM LV25-P e Respetivo Circuito de Condicionamento de Sinal e (b) Transdutores de Corrente LEM LA55-P e Respetivo Circuito de Condicionamento de Sinal.

5.1.7 Equipamentos Auxiliares

Para além do *hardware* anteriormente caracterizado, recorreu-se a um conjunto de equipamentos auxiliares, nomeadamente:

- Fonte de alimentação, ajustada para $-15/0/15 V$ (alimentação dos transdutores de tensão e corrente);
- Disjuntor C2 de proteção do lado AC;
- Seccionador de fusíveis, com fusíveis gG 10 A;
- Voltímetro;
- Osciloscópio, pinça amperimétrica e ponta de prova isolada diferencial;
- Cargas trifásicas (resistivas e indutivas), para efeitos de teste.

5.2 Implementação Laboratorial

Nesta secção, é caracterizada a implementação laboratorial do circuito proposto para o VSC. Através da apresentação do esquema elétrico e do protótipo na sua íntegra, será possível verificar o modo como os vários elementos de *hardware* estão interligados.

5.2.1 Esquema Elétrico

O esquema elétrico do protótipo laboratorial surge representado na Figura 5.6.

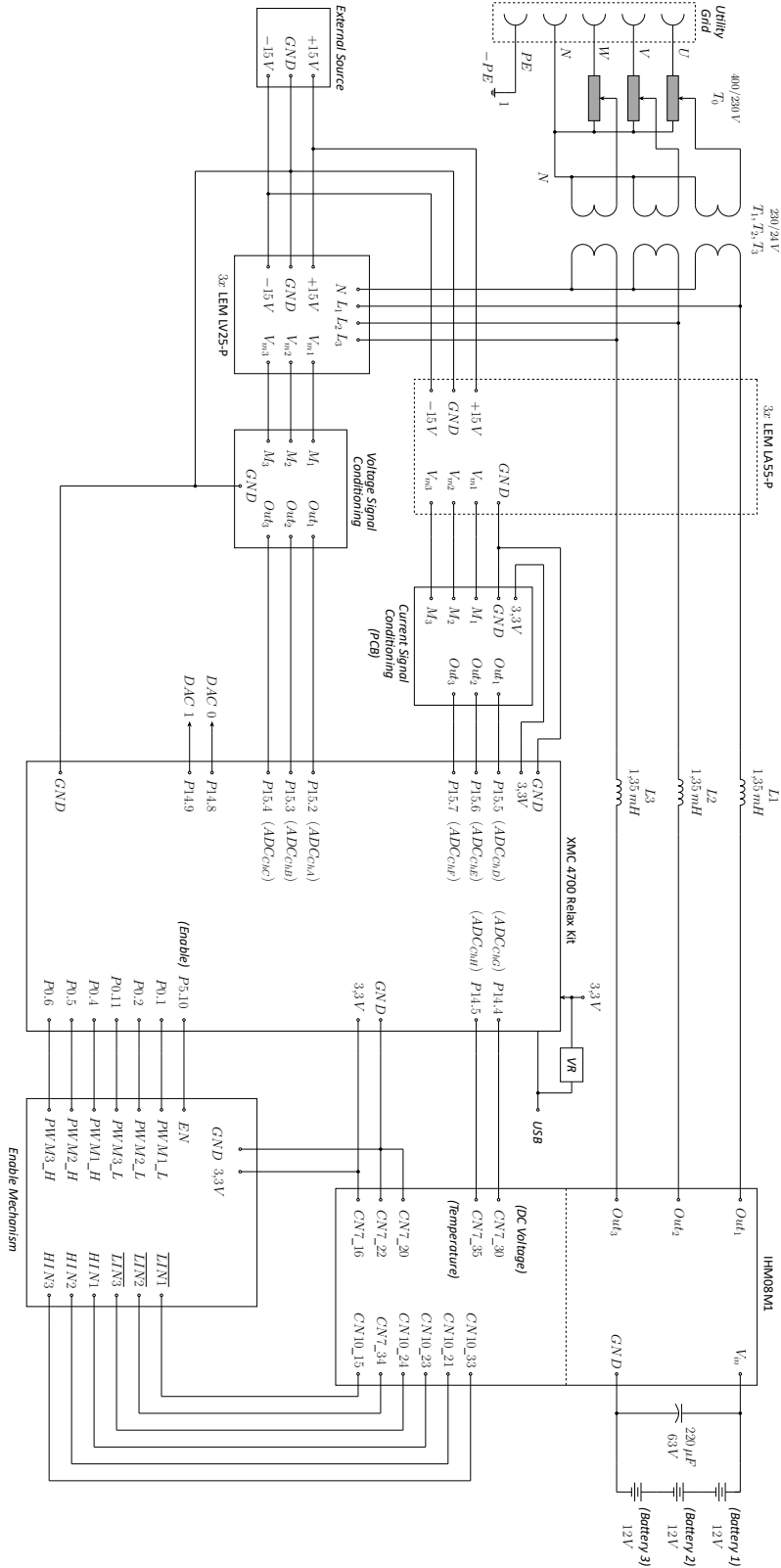


Figura 5.6: Esquema Elétrico do VSC Implementado Laboratorialmente.

5.2. Implementação Laboratorial

5.2.2 Protótipo

As Figuras 5.7 e 5.8 caracterizam o protótipo do VSC desenvolvido.

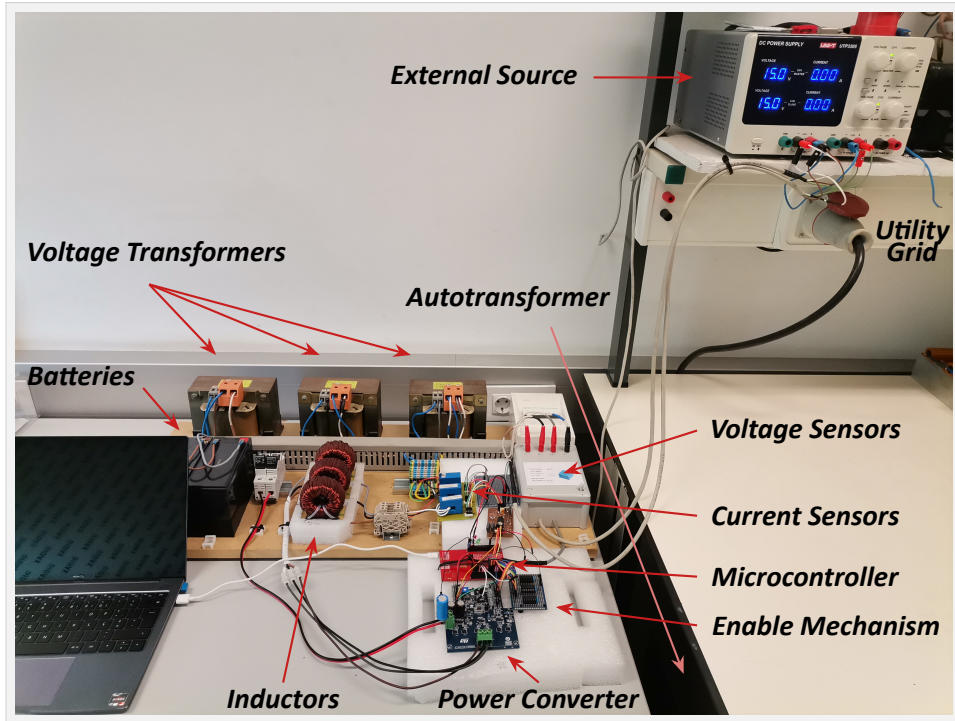


Figura 5.7: Protótipo Laboratorial (Perspetiva Global).

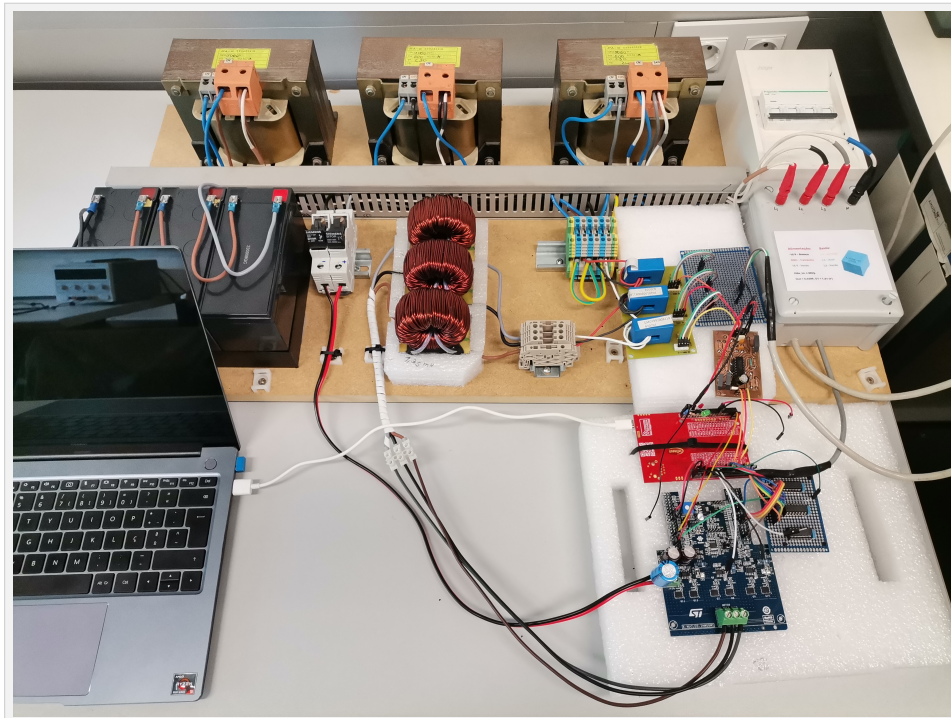


Figura 5.8: Protótipo Laboratorial.

5.3 APP PWM SVM

A produção das moduladoras *space vector* e dos sinais PWM a aplicar aos seis semicondutores de potência que constituem o conversor é levada a cabo pela APP PWM SVM, do Dave. A APP possui como *inputs* uma amplitude e um ângulo, tal como descreve a Figura 5.9.

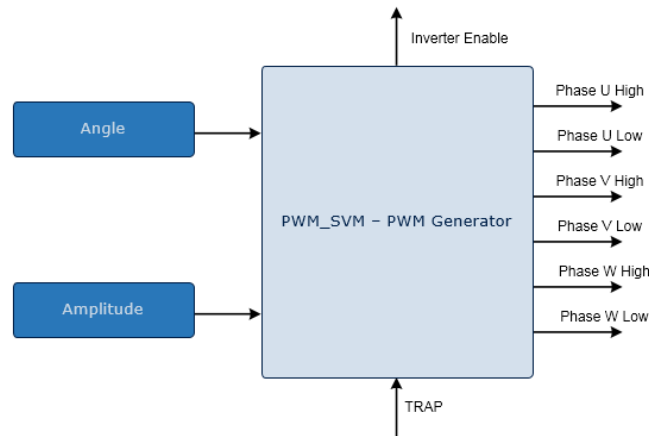


Figura 5.9: Diagrama Geral da APP PWM SVM [47].

Estes dois parâmetros, tal como já introduzido, correspondem às coordenadas polares do vetor \vec{V} normalizado. Retornando à Figura 4.5, estas coordenadas vêm dadas por:

$$\begin{cases} \text{amplitude} = \sqrt{v_{dn}^2 + v_{qn}^2} \\ \text{angle} = \theta_{PLL} + \theta_{v_{dq}} = \theta_{PLL} + \theta_{v_{dq_n}} = \theta_{PLL} + \text{atan2}(v_{qn}, v_{dn}) \end{cases} \quad (5.1)$$

Cada um destes parâmetros é posteriormente multiplicado por um escalar e utilizado como *input* pela função *PWM_SVM_SVMUpdate*, responsável pela atualização da modulação SVM. A APP PWM SVM possibilita, através de uma série de menus, o ajuste de inúmeros parâmetros, nomeadamente: frequência dos sinais PWM; método SVM; polaridade e *dead-time* dos sinais PWM; e ativação de interrupções. A Figura 5.10 reflete parte da parametrização da APP.

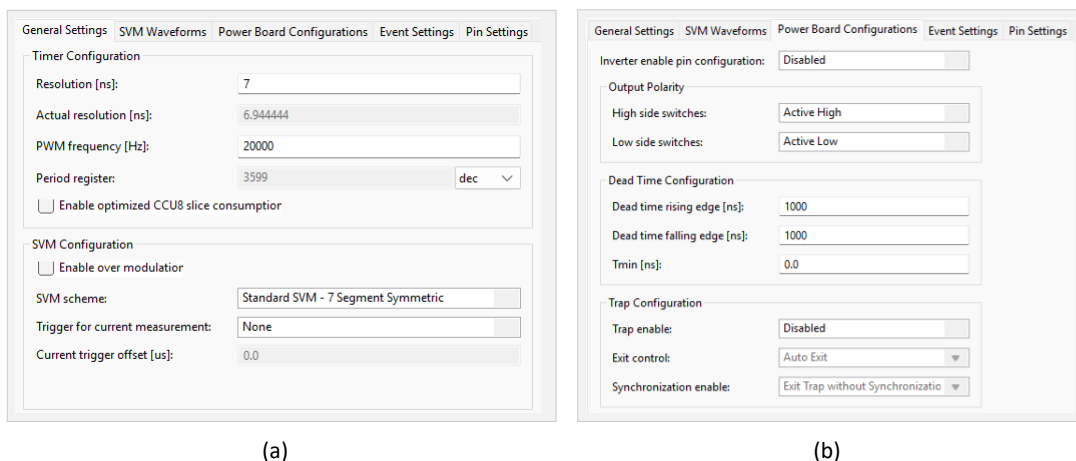


Figura 5.10: Parametrização da APP PWM SVM: (a) *General Settings* e (b) *Power Board Configurations*.

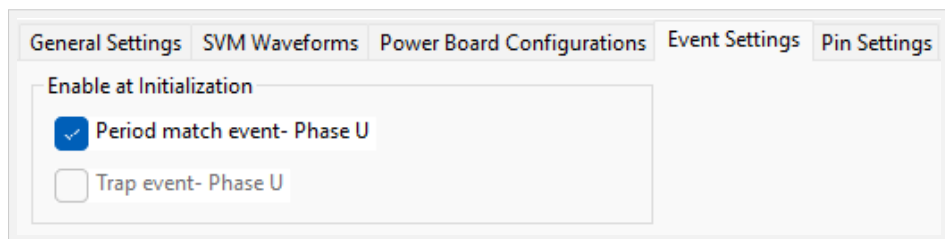
5.3. APP PWM SVM

Em concordância com a etapa de simulação, foi definida uma frequência PWM de 20 kHz . Como método SVM, foi considerada a técnica *Standard SVM - 7 Segment Symmetric*. Face à técnica alternativa (*Standard SVM - 5 Segment Symmetric*), esta apresenta uma distribuição simétrica dos vetores nulos por cada ciclo PWM, o que, embora aumente ligeiramente a complexidade e as perdas por comutação, permite obter ondas com menor conteúdo harmónico [47].

A configuração da polaridade dos sinais PWM é baseada na operação dos *drivers* L6398 presentes no conversor X-NUCLEO-IHM08M1 (consultar Anexo B.1). No que diz respeito ao *dead-time*, foi considerado um valor igual a $1\ \mu\text{s}$ (consultar Anexo B.1.2). Este foi introduzido em ambos os flancos (ascendentes e descendentes) dos sinais PWM.

Para efeitos de controlo, a APP PWM SVM permite que os fluxos descendentes (*period match*) do sinal PWM da primeira fase (*phase U*) atuem como *trigger* para a execução de uma interrupção. A definição da interrupção deverá ser efetuada com recurso à APP INTERRUPT. A Figura 5.11 esclarece esta funcionalidade.

Partindo da frequência dos sinais PWM (20 kHz), a função de interrupção associada ao evento "*Period Match - Phase U*" será executada a uma taxa fixa de $50\ \mu\text{s}$ ($1/20\text{ kHz}$). Nesta perspetiva, através desta função, será possível efetuar o controlo em tempo discreto segundo um período de amostragem (T_s) de $50\ \mu\text{s}$, tal como em ambiente de simulação.



(a)

Source APP...	Source Signal	Connect...	Target APP Instance Na...	Target Signal
+	PWM_SVM_0			
	event_ph_u_period/one_match	---->	PHASE_U_PERIOD	sr_irq
	event_ph_u_period/one_match	---->	ADC_MEASUREMENT	trigger_input
	Not Selected	---->	Not Selected	Not Selected

(b)

Figura 5.11: APP PWM SVM: (a) *Event Settings* e (b) *Hardware Signal Connections*.

Por forma a verificar a conformidade da APP PWM SVM, foram verificados, à saída do microcontrolador, os sinais PWM por ela gerados. Para tal, considerou-se um índice de modulação m unitário (amplitude das ondas sinusoidais originais igual a $1,1547\text{ V}$) e um ângulo que vai sendo incrementado a cada ciclo de controlo, variando ciclicamente entre 0 e $2\pi\text{ rad}$.

A Figura 5.12 exhibe o resultado da visualização em osciloscópio de um dos sinais PWM. Por forma a ser possível observar, a partir do sinal PWM gerado pelo microcontrolador, a moduladora *space vector* com maior clareza, foi utilizado um filtro RC passa-baixo com uma frequência de corte igual a $159\ \Omega$, duas décadas abaixo da frequência PWM. Colocado entre a saída PWM do microcontrolador e o *GND*, este filtro permitiu a visualização da onda representada a verde. A amarelo, é representada a onda PWM original, sem filtragem.

Tal como expectável, o sinal PWM gerado pelo microcontrolador segue o formato característico das ondas moduladoras *space vector*.

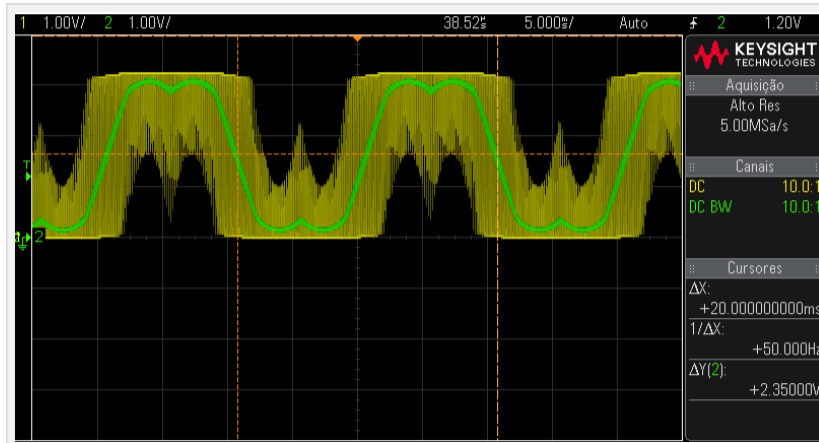


Figura 5.12: APP PWM SVM: Confirmação dos Sinais PWM Gerados.

Um aspeto a ser igualmente validado recai sobre o sincronismo entre as tensões produzidas pela APP e as tensões da rede (tensões à saída dos transformadores monofásicos). Por forma a verificar este aspeto, o conversor foi ligado como inversor, sendo alimentado por uma tensão DC de 12 V. No lado AC, foi colocada uma carga resistiva trifásica disposta em estrela.

Simultaneamente, partindo da leitura analógica da tensão nas três fases da rede (informação disponibilizada pelo circuito de condicionamento de sinal dos transdutores de tensão), foi obtido, através da SRF-PLL, o ângulo de fase da rede. Este ângulo foi, por sua vez, utilizado pela função *PWM_SVM_SVMUpdate* para gerar as tensões produzidas no lado AC do conversor (tensões aplicadas sobre cada uma das resistências de carga). Neste sentido, seria expectável que as tensões geradas no conversor estivessem em fase com as tensões da rede.

Ora, tal como demonstra a Figura 5.13, este sincronismo não se verificou. Tal como é possível avaliar, a tensão gerada numa das fases do conversor surge π rad desfasada face à fase equivalente da rede. Para as restantes fases, o resultado é semelhante.



Figura 5.13: Desfasamento entre as Tensões Produzidas no Conversor (Amarelo) e as Tensões da Rede (Verde).

5.4. Interface Gráfica

Visto que este desfaseamento é intrínseco à APP PWM SVM, foi necessário somar πrad ao ângulo utilizado pela função $PWM_SVM_SVMUpdate$ para a produção das tensões do lado AC do conversor. Deste modo, o conjunto de equações (5.1) vem:

$$\begin{cases} amplitude = \sqrt{v_{dn}^2 + v_{qn}^2} \\ angle = [\theta_{PLL} + \theta_{v_{dq}}] + \pi = [\theta_{PLL} + \theta_{v_{dq_n}}] + \pi = [\theta_{PLL} + \text{atan2}(v_{qn}, v_{dn})] + \pi \end{cases} \quad (5.2)$$

5.4 Interface Gráfica

Por forma a ser possível monitorizar o estado do VSC e atuar sobre as variáveis de controlo, nomeadamente sobre as correntes de referência i_d^* e i_q^* , foi desenvolvida, com recurso ao *software* Micrium uC-Probe XMC®, a interface gráfica da Figura 5.14. A transferência de informação entre esta interface e o microcontrolador é efetuada via porta *Universal Serial Bus* (USB).

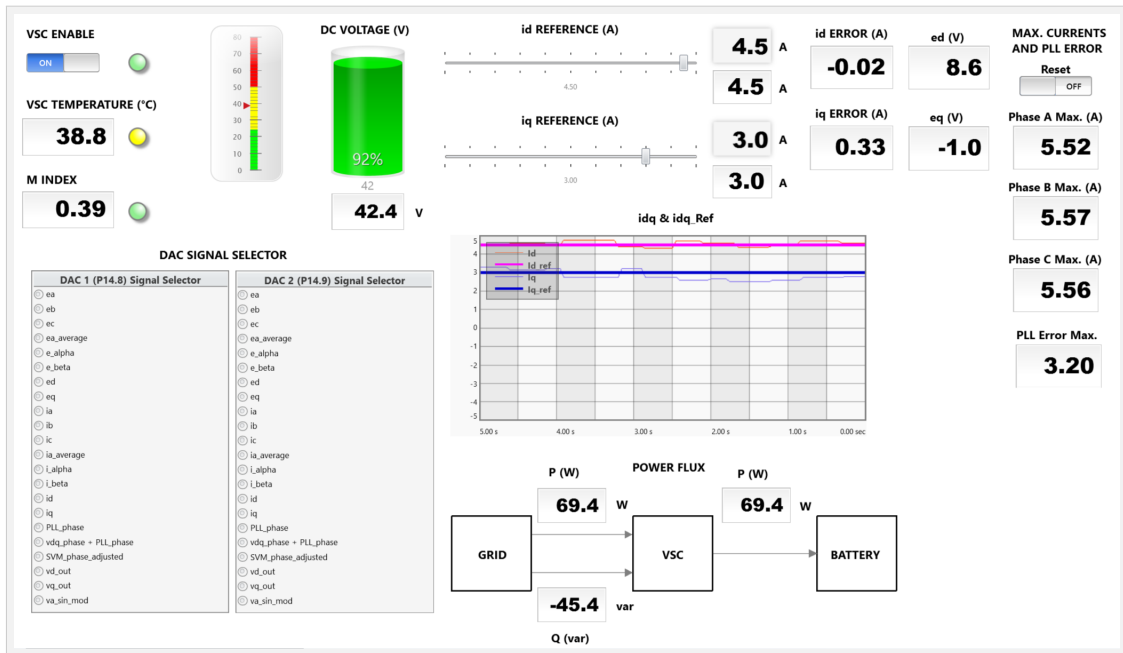


Figura 5.14: Interface Gráfica Micrium uC-Probe XMC®.

A interface disponibiliza um botão de *enable*, que permite, a qualquer momento, ligar ou desligar o conversor. São também apresentadas inúmeras informações relevantes quanto ao seu estado de funcionamento, nomeadamente: temperatura; índice de modulação M ; tensão do conjunto de baterias; e trânsito de potências.

Os dois quadros de seleção permitem, de um modo simples e intuitivo, selecionar as variáveis a apresentar no osciloscópio, através dos dois pinos DAC disponíveis no microcontrolador. Esta funcionalidade surge como um método de validação das formas de onda das diversas variáveis do sistema. É incluído um grupo abrangente de grandezas, que agrega: tensões e correntes em abc , $\alpha\beta$ e dq ; ângulo de fase da rede; ângulo de fase das tensões geradas no conversor (com e sem o ajuste do desfaseamento de πrad); os sinais de saída dos PI's associados ao controlo de

corrente; e, para a primeira fase, a onda sinusoidal utilizada pela modulação SVM para gerar as moduladoras *space vector* e os sinais PWM.

No âmbito do controlo, é possível modificar as correntes de referência i_d^* e i_q^* através de um *slider*, ou, para transições em degrau, através de um bloco editável. É ainda facultado um gráfico que permite avaliar a dinâmica do VSC, comparando as correntes reais no conversor com as correntes de referência.

Por último, é apresentada informação quanto a variáveis que registam o valor máximo do erro da SRF-PLL e das correntes nas três fases do lado AC do VSC. Através de um botão de *reset*, é possível limpar o conteúdo destas variáveis a qualquer momento. Estes valores são particularmente relevantes no âmbito do desenvolvimento de mecanismos de proteção do conversor, conforme abordado de seguida.

5.5 Mecanismos de Proteção

No caso de alguma falha no controlo do conversor, este deverá estar equipado com mecanismos que assegurem a sua integridade, impedindo que se danifique.

No âmbito deste projeto, foram desenvolvidos, via *software*, dois mecanismos simples e de fácil implementação: proteção contra perda de sincronismo; e proteção contra sobrecorrentes. Ambos os mecanismos desligam, de modo automático, o sinal de *enable* em caso de irregularidade.

A perda de sincronismo é uma condição mais frequente em momentos em que se procede à descarga das baterias, uma vez que, neste cenário, o índice de modulação M se aproxima do limite de regime de funcionamento linear, comprometendo a forma de onda das tensões produzidas no conversor. Isto poderá levar à distorção das tensões da rede, prejudicando o desempenho da SRF-PLL e, conseqüentemente, de todo o sistema de controlo. A proteção contra esta eventualidade é baseada na monitorização do erro da SRF-PLL. Como intervalo admissível para o erro, foi definida uma janela de histerese, configurada após serem levados a cabo alguns testes práticos ao VSC ($|error_{PLL}| < 4$). Sempre que o erro evoluir para além do intervalo admissível, o conversor é automaticamente desligado.

Por outro lado, a proteção contra sobrecorrentes envolve a monitorização das correntes nas três fases do conversor. Embora numa primeira fase, por questões de segurança, tenha sido admitido um valor máximo de $4 A$, após a validação do funcionamento do VSC, este limite foi expandido para $5,5 A$ (limite associado ao circuito de condicionamento de sinal dos transdutores de corrente). À semelhança da proteção contra perda de sincronismo, o conversor é automaticamente desligado caso a corrente em alguma das fases exceda este valor.

5.6 Tempo de Execução do Código

O tempo de execução do código desenvolvido é um aspeto crucial a considerar e a monitorizar. O facto de o controlo ser efetuado a cada $50 \mu s$ obriga a que o tempo de execução de todo o código (incluindo as leituras dos sensores) seja inferior a este valor, sob pena de não ser totalmente executado. Nesta perspetiva, a otimização do código é uma condição necessária.

Parte desta otimização passa pela substituição de funções matemáticas como *sin*, *cos*, *sqrt* e *atan2*, cujo tempo de execução é substancialmente elevado, por métodos e funções mais eficientes.

Analisando a Figura 5.15, é perceptível que o tempo de execução do código desenvolvido (representado pelo sinal a verde) é igual a $41,76 \mu s$. Ora, este valor é, tal como pretendido, inferior ao período da interrupção de controlo (representado pelo sinal a amarelo), $50 \mu s$. É utilizado cerca de 84% do tempo disponível, restando ainda $8,24 \mu s$ para eventuais adições e melhorias.

A Figura 5.16 detalha a contribuição de cada etapa de controlo para o período global de execução do código. A Tabela 5.2 agrega a caracterização de cada um dos períodos destacados.

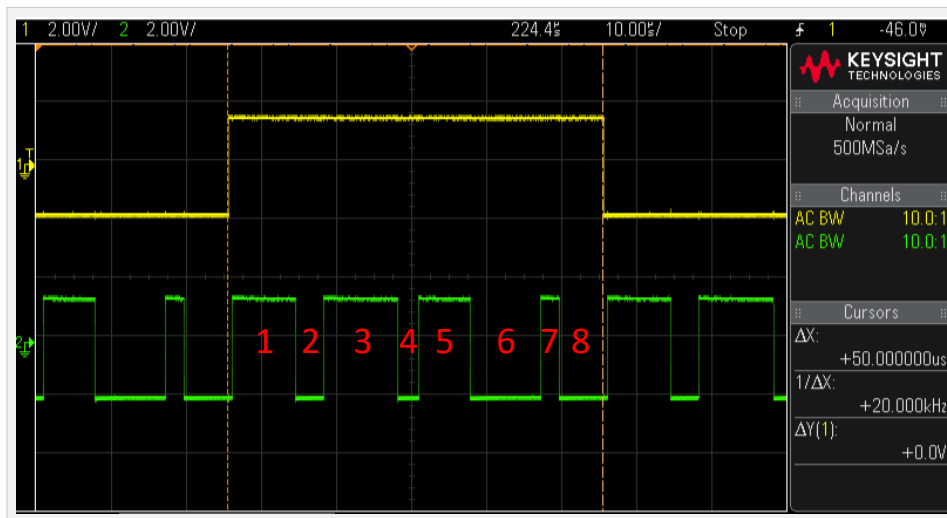


Figura 5.16: Repartição do Tempo Global de Execução do Código.

Tabela 5.2: Tempo de Execução das Várias Etapas de Controlo.

Período	Etapa	Tempo de Execução
1	Medição de Correntes (Média de 3 Leituras) e Proteção Contra Sobrecorrentes	$8,16 \mu s$
2	Medição de Tensões	$3,45 \mu s$
3	SRF-PLL	$9,65 \mu s$
4	Medição da Tensão DC e da Temperatura	$2,55 \mu s$
5	Controlo Desacoplado de Corrente	$6,65 \mu s$
6	Normalização e Modulação SVM	$9,15 \mu s$
7	Cálculo do Índice de Modulação M e do Fluxo de Potências	$2,15 \mu s$
8	Tempo Livre Disponível	$8,24 \mu s$
Total		$50 \mu s$

Como é evidente, etapas que envolvem um maior número de operações matemáticas, nomeadamente a SRF-PLL, o controlo desacoplado de corrente e a modulação SVM, são, naturalmente, mais morosas. Ainda assim, o excedente de tempo permite operar com uma considerável margem de segurança, assegurando que o código é integralmente executado a cada iteração de controlo.

6 Resultados

O presente capítulo é dedicado à apresentação e análise dos resultados obtidos no decorrer do projeto.

Numa fase inicial, é validada a SRF-PLL desenvolvida, elemento base ao controlo do VSC e à sua operação sob diferentes regimes de fluxo de potência.

Em seguida, é destacada, através de um conjunto de cenários, a atuação do VSC sob os quatro quadrantes de potência. Neste sentido, é validado o funcionamento do VSC quer como retificador, quer como inversor, e, para cada um deles, é imposto à rede um fator de potência unitário, indutivo e capacitivo. É ainda avaliada a velocidade de resposta do sistema perante alterações em degrau das referências de potência ativa e reativa.

6.1 Synchronous Reference Frame Phase-Locked Loop

A fase da rede (*output* da SRF-PLL) pode ser facilmente visualizada a partir do seletor DAC disponível na interface gráfica. Na Figura 6.1, é exposta a tensão medida na primeira fase da rede, bem como o *output* da SRF-PLL.

Como é possível notar, a tensão da rede surge afetada por harmónicos, o que poderá comprometer o desempenho da SRF-PLL. Embora a fase da rede siga o formato de uma onda dente de serra (tal como expectável), a análise das componentes e_d e e_q (Figuras 6.3a e 6.3b, respetivamente) revela uma certa dificuldade da SRF-PLL em assegurar um sincronismo exato entre o VSC e a rede, uma vez que ambas apresentam oscilações moderadas.

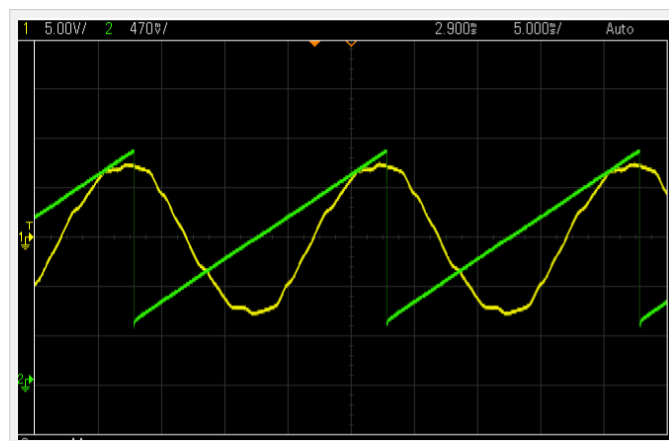


Figura 6.1: Tensão da Rede (Amarelo) e Respetiva Fase (Verde).

De acordo com o conjunto de equações (3.5), e_d deverá corresponder ao valor de pico das tensões da rede e e_q assumir um valor nulo (Figura 6.3c). Embora tenham sido projetados 15 V para o valor de pico das tensões da rede, o processo de descarga das baterias exigiu a diminuição deste valor. O facto de duas das baterias serem reaproveitadas e possuírem um tempo de vida mais prolongado é refletido na sua resistência interna, que acaba por ser consideravelmente superior ao previsto.

Nesta perspetiva, a descarga real das baterias é substancialmente mais acentuada do que a registada em ambiente de simulação, o que faz com que a tensão medida aos seus terminais seja também mais reduzida. Ora, isto impacta diretamente o índice de modulação M , que, para tensões das baterias menores, se aproxima (chegando mesmo a ultrapassar) do limite associado ao regime de funcionamento linear do VSC (equação (2.19)), comprometendo a qualidade da forma de onda das tensões nele geradas.

Este aspeto foi contornado diminuindo o valor de pico das tensões da rede, através do autotransformador, de 15 V para 10 V. Deste modo, mesmo para uma tensão DC mais reduzida, o índice de modulação M é mantido abaixo do limiar máximo (equação (2.17)). Com base no novo valor de pico definido (10 V), a Figura 6.3c vem em parte corroborar a correta implementação da SRF-PLL. De notar que, dada a não idealidade do sistema (harmónicos e desbalanceamento entre fases), o valor das componentes e_d e e_q das tensões da rede não é fixo, oscilando ligeiramente em torno dos valores esperados (10 V e 0 V, respetivamente).

Nas Figuras 6.2 e 6.3, são caracterizadas as componentes e_α , e_β , e_d e e_q .

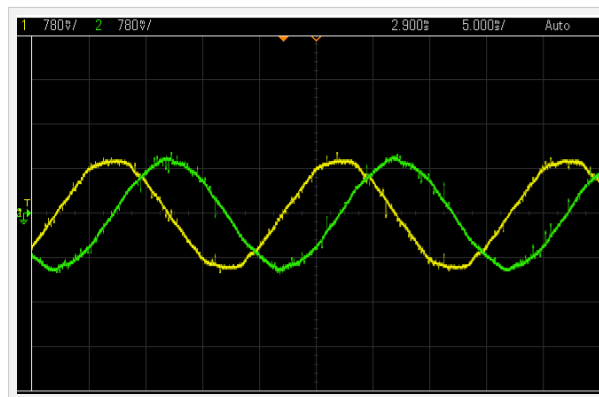


Figura 6.2: Componentes α (Amarelo) e β (Verde) das Tensões da Rede.

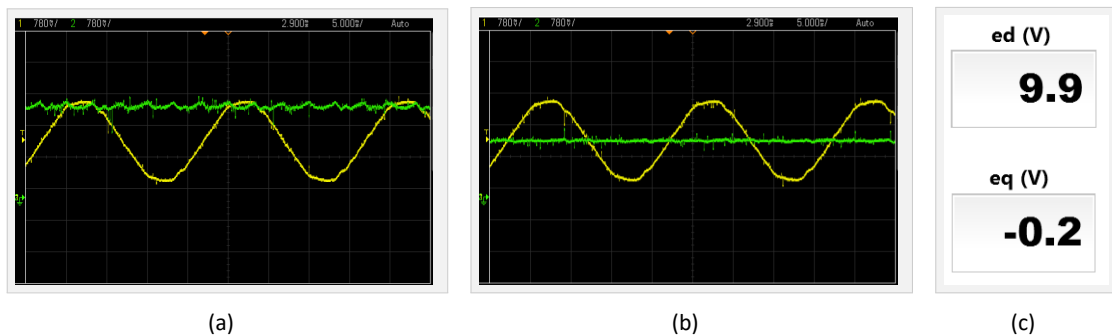


Figura 6.3: Componentes dq das Tensões da Rede: (a) e_α (Amarelo) e e_d (Verde), (b) e_α (Amarelo) e e_q (Verde) e (c) e_d e e_q .

6.1. Synchronous Reference Frame Phase-Locked Loop

Efetuada uma análise mais detalhada à tensão da rede, é notória a presença de harmónicos de baixa frequência, tal como demonstra a Figura 6.4 ¹. O facto de existirem cargas não lineares conectadas à rede poderá estar na origem da introdução destes harmónicos. De entre os harmónicos presentes, destacam-se o 3º, 5º, 7º, 9º e 13º harmónicos. A Tabela 6.1 caracteriza a preponderância dos principais harmónicos registados.

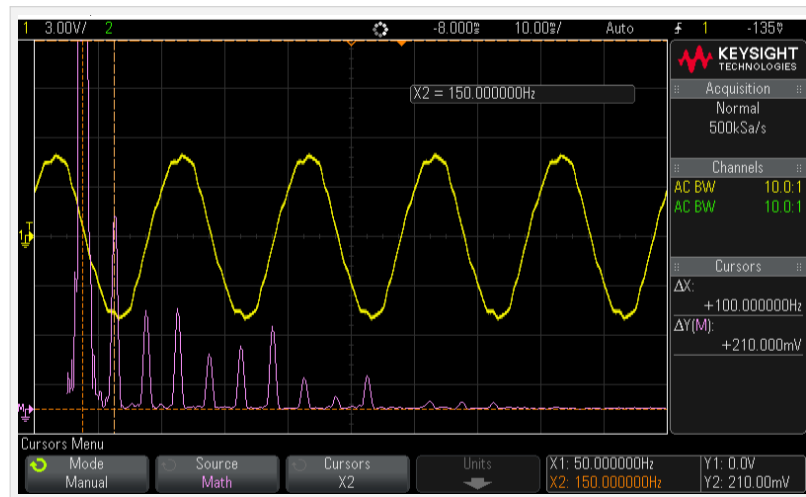


Figura 6.4: Tensão da Rede na Fase a: Análise de Harmónicos.

Tabela 6.1: Principais Harmónicos da Tensão da Rede na Fase a.

Harmónico	Frequência	Valor de Pico	Valor Eficaz (RMS)	% da Componente Fundamental (RMS)
1º	50 Hz	9,9 V	7 V	100 %
3º	150 Hz	300 mV	212 mV	3,03 %
5º	250 Hz	178,2 mV	126 mV	1,80 %
7º	350 Hz	183,8 mV	130 mV	1,86 %
9º	450 Hz	96,2 mV	68 mV	0,97 %
11º	550 Hz	110,3 mV	78 mV	1,11 %
13º	650 Hz	152,7 mV	108 mV	1,54 %

A *Total Harmonic Distortion* (THD) define-se como uma grandeza indicadora do grau de distorção de uma determinada forma de onda, podendo ser aplicada a tensões, correntes, entre outras. O seu cálculo parte da relação entre o valor eficaz dos harmónicos de frequência superior à fundamental e o da própria componente fundamental, tal como clarifica a equação (6.1).

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{V_1} \quad (6.1)$$

¹Uma nota para o facto de a ponta de prova isolada diferencial apresentar um fator de atenuação de $20x$. Estando o osciloscópio configurado para a compensação de uma ponta de prova com atenuação de $10x$, a forma de onda apresentada na Figura possui metade da sua amplitude real.

Em que:

- V_n : Valor eficaz do n -ésimo harmónico da tensão;
- V_1 : Valor eficaz da componente fundamental da tensão.

Com base na informação da Tabela 6.1, a THD aproximada da tensão da rede é igual a 4,52%.

Por forma a apurar o efeito dos harmónicos de baixa frequência na obtenção das componentes e_d e e_q , foi efetuada uma simulação em que a tensão da rede não corresponde a uma onda perfeitamente sinusoidal. Em série com a componente fundamental, foram adicionadas, em cada uma das fases, fontes AC de tensão de pico e frequência iguais às dos harmónicos registados na Tabela 6.1. Na Figura 6.5, é apresentada a resposta da SRF-PLL (cuja parametrização é a mesma da implementada laboratorialmente) perante este cenário. A título de comparação, é ainda exibida a mesma resposta em condições ideais, isto é, sem harmónicos na rede.

Como é possível notar, o desempenho da SRF-PLL é praticamente igual em ambos os casos. Ao contrário do verificado em ambiente laboratorial, as componentes $\alpha\beta$ e dq das tensões da rede não sofrem oscilações significativas. As ligeiras diferenças registadas entre ambas as vertentes resultarão, portanto, do desbalanceamento entre fases (confirmado através da medição da tensão à saída dos transformadores monofásicos abaixadores).

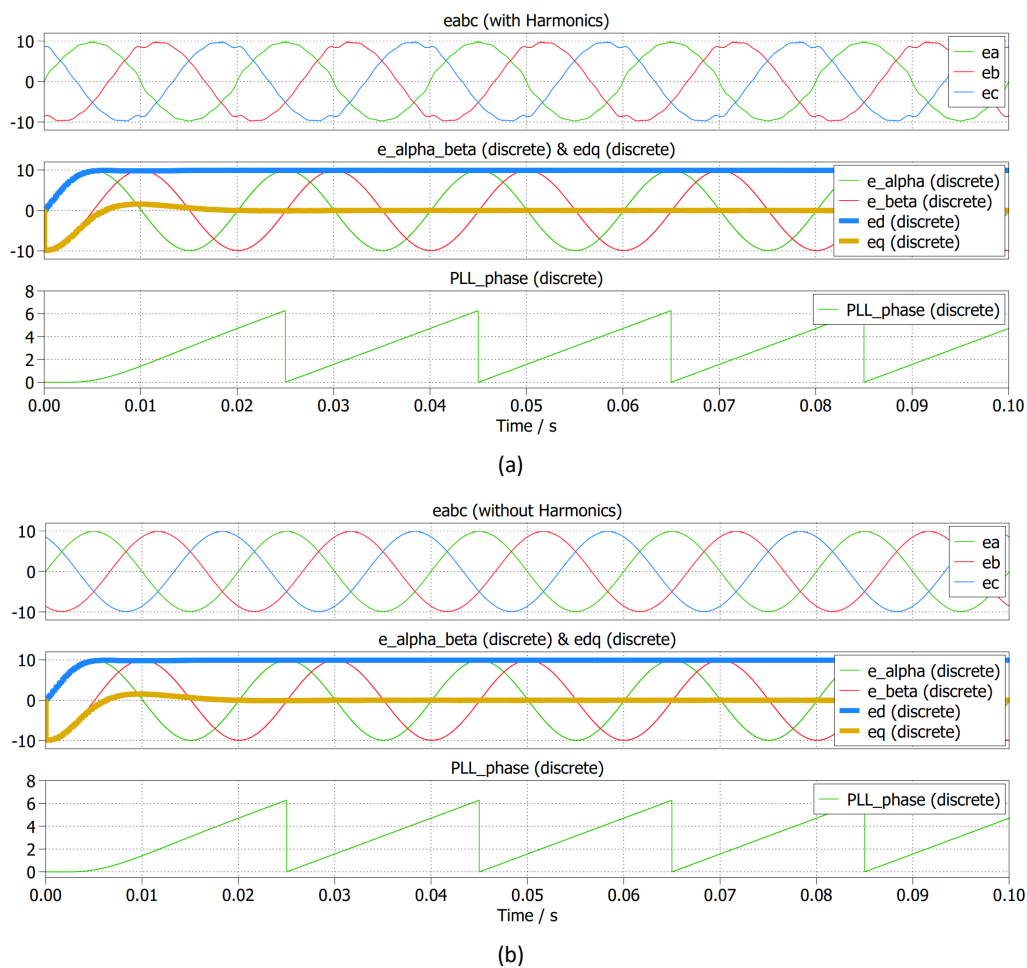


Figura 6.5: Sincronismo da SRF-PLL: (a) Com e (b) Sem os Harmónicos da Rede.

6.2 Operação como Retificador

A operação do VSC como retificador é caracterizada pelo carregamento das baterias, o que envolve um fluxo de potência ativa da rede para o conversor e, posteriormente, do conversor para as baterias. De acordo com o já deduzido conjunto de equações (6.2) — perspectiva da rede — para que tal se verifique, a corrente i_d deverá ser positiva.

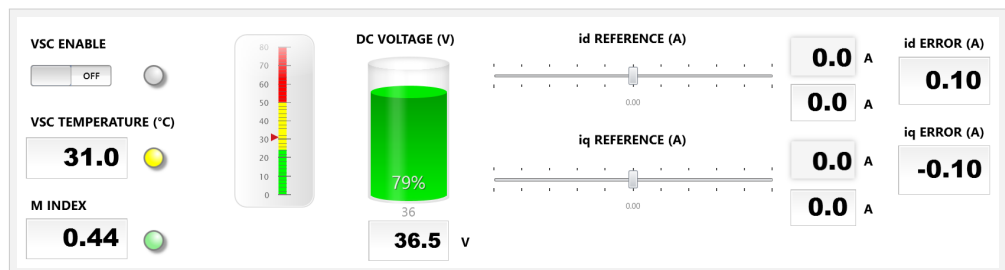
$$\begin{cases} P_e = \frac{3}{2} \cdot E i_d \\ Q_e = -\frac{3}{2} \cdot E i_q \end{cases} \quad (6.2)$$

Partindo de uma corrente i_d positiva e do carregamento das baterias, será a corrente i_q a definir o FP imposto pelo conversor à rede. Nas seguintes subsecções, é avaliada a operação do VSC como retificador e, através de diferentes referências de corrente i_q , alterado o FP por ele imposto à rede.

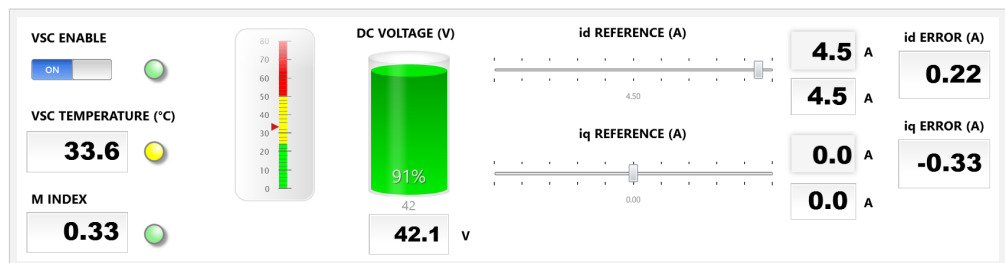
6.2.1 FP Unitário

Para que o FP seja unitário, não deverá existir qualquer fluxo de potência reativa entre a rede e o VSC. Desta forma, a corrente i_q deverá ser nula.

As Figuras 6.6a e 6.6b caracterizam, respetivamente, o estado inicial do sistema (VSC desligado) e a sua operação sob as seguintes correntes de referência: $i_d^* = 4,5 \text{ A}$ ($P_e = 67,5 \text{ W}$) e $i_q^* = 0 \text{ A}$ ($Q_e = 0 \text{ var}$). Como é notório, a tensão das baterias, inicialmente a $36,5 \text{ V}$, aumentou para $42,1 \text{ V}$, o que valida a operação do VSC como retificador.



(a)



(b)

Figura 6.6: (a) Estado Inicial do Sistema e (b) Estado do Sistema sob: $i_d^* = 4,5 \text{ A}$ e $i_q^* = 0 \text{ A}$.

Analisando, para uma das fases, a tensão e a corrente da rede, é obtido o resultado da Figura 6.7². Tal como é possível notar, a tensão e a corrente da rede estão em fase (FP unitário e baterias a carregar).

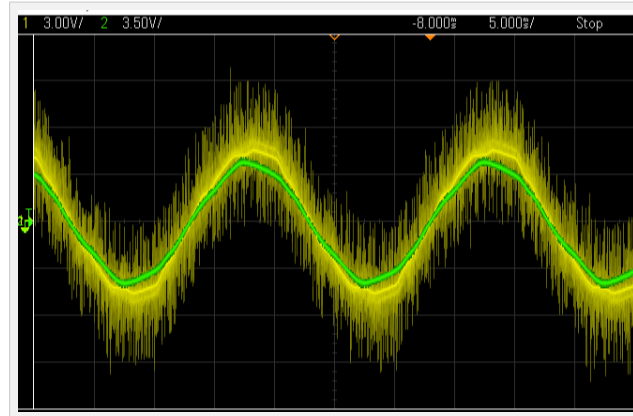


Figura 6.7: Tensão (Amarelo) e Corrente (Verde) da Rede : $i_d^* = 4,5 A$ e $i_q^* = 0 A$.

O arranque do VSC (passagem do sinal de *enable* de ON para OFF) é apresentado na Figura 6.8. Para este exemplo em concreto, estabeleceram-se as seguintes correntes de referência: $i_d^* = 2 A$ e $i_q^* = 0 A$. Como é perceptível, o arranque do VSC é praticamente instantâneo, com a corrente a atingir o valor de referência sem oscilações significativas. Esta rápida entrada em funcionamento é especialmente vantajosa no âmbito da prestação de serviços de sistema. Face às centrais de produção convencionais (nomeadamente térmicas e hídricas), cujo período de entrada em funcionamento é consideravelmente largo, o VSC evidencia uma superior capacidade de integração (quase imediata) na rede.

A comutação a altas frequências no conversor introduz pequenas perturbações nas tensões medidas à saída dos transformadores monofásicos abaixadores, manifestando-se sob a forma de ruído de alta frequência, também designado por *Electromagnetic Interference* (EMI) [50]. No Anexo C.1, é avaliada a influência da EMI na rede.

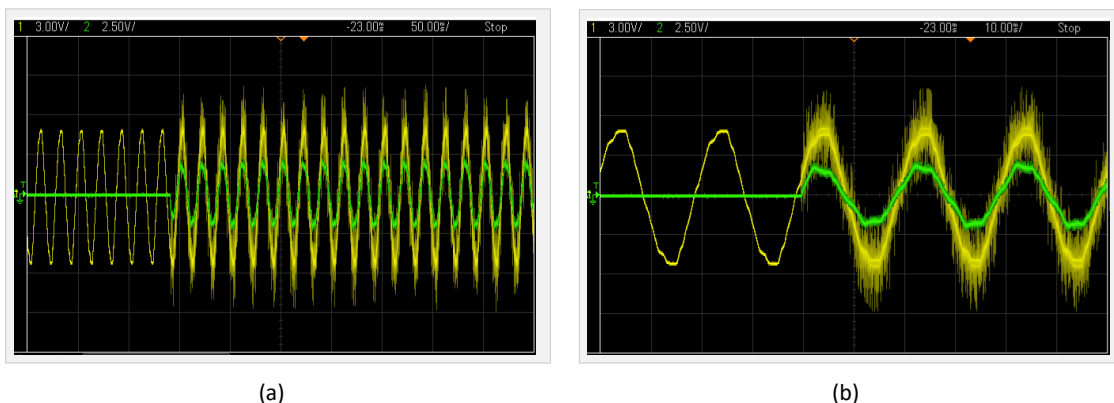


Figura 6.8: Tensão (Amarelo) e Corrente (Verde) da Rede - Arranque do VSC: (a) Perspetiva Geral e (b) Detalhe.

²Uma nota para o facto de a ponta de prova de corrente possuir uma escala de $100 mV/A$. Estando o osciloscópio configurado para a compensação de uma ponta de prova com atenuação de $10x$, o valor de tensão lido (em V) é numericamente igual ao valor da corrente medida (em A).

Atentando à Figura 6.8b, é notória a presença de harmônicos de baixa frequência na corrente da rede, o que faz com que esta não siga o formato de uma onda perfeitamente sinusoidal. À medida que o módulo da corrente aumenta, a sua forma de onda aproxima-se de uma senoide perfeita (exemplo da Figura 6.7). No Anexo C.2, é efetuada uma análise mais detalhada aos harmônicos presentes em ambas as formas de onda da corrente ($i_d^* = 2 A$ e $i_d^* = 4,5 A$).

6.2.2 FP Indutivo e FP Capacitivo

Através da alteração da corrente i_q , é possível manipular o trânsito de potência reativa entre a rede e o lado AC do VSC.

As Figuras 6.9a e 6.9b apresentam a tensão e corrente numa das fases da rede, para as situações em que o VSC impõe um FP indutivo e um FP capacitivo à rede, respetivamente. Para tal, foram definidas as seguintes correntes de referência:

- FP indutivo (Figura 6.9a): $i_d^* = 4,5 A$ ($P_e = 67,5 W$) e $i_q^* = -3 A$ ($Q_e = 45 var$);
- FP capacitivo (Figura 6.9b): $i_d^* = 4,5 A$ ($P_e = 67,5 W$) e $i_q^* = 3 A$ ($Q_e = -45 var$).

Como é possível constatar, na situação em que o FP é indutivo, a corrente da rede surge atrasada face à tensão da rede, tal como expectável. Por outro lado, para um FP capacitivo, verifica-se precisamente o oposto (corrente em avanço face à tensão).

Uma vez que não houve alteração no fluxo de potência ativa (i_d^* permanece igual), a tensão medida aos terminais do conjunto de baterias não sofre alterações significativas face ao cenário anterior, mantendo-se em torno de $42 V$ (confirmação no Anexo C.3).

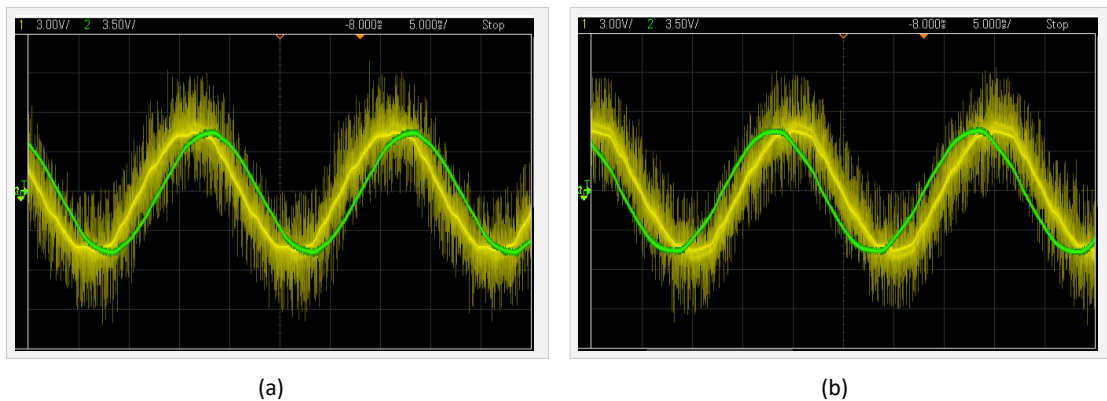


Figura 6.9: Tensão (Amarelo) e Corrente (Verde) da Rede: (a) $i_d^* = 4,5 A$ e $i_q^* = -3 A$ e (b) $i_d^* = 4,5 A$ e $i_q^* = 3 A$.

Na Figura 6.10, é apresentada a transição da operação do VSC de um FP capacitivo para um FP indutivo. Para uma corrente $i_d^* = 4 A$, a corrente i_q^* , inicialmente a $2 A$, foi alterada em degrau para $-2 A$. Tal como é possível constatar, a corrente da rede, inicialmente adiantada face à tensão, passa a vir em atraso após a modificação em i_q^* , conforme expectável.

De notar a rápida e eficiente resposta do VSC à solicitação de alteração de estado (cerca de $5 ms$). Em cenários de instabilidade na rede, nomeadamente ao nível da tensão, a rapidez do conversor no ajuste do fluxo de potência reativa permite responder de modo quase imediato a oscilações indesejáveis (de tensão).

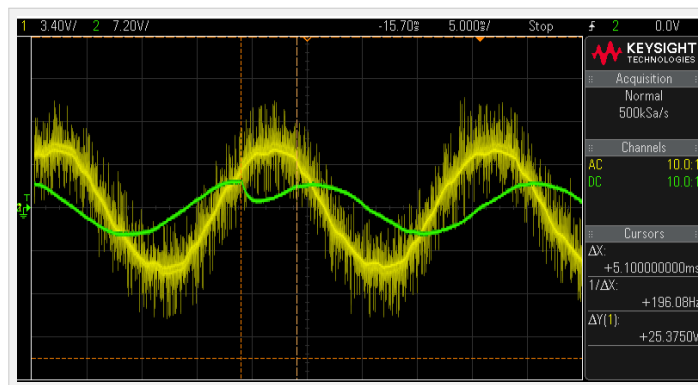


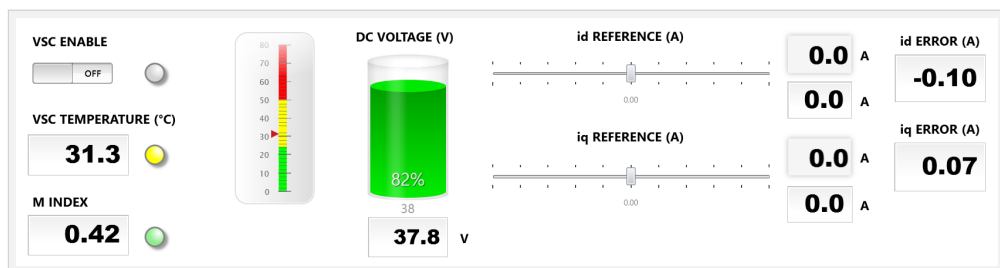
Figura 6.10: Tensão (Amarelo) e Corrente (Verde) da Rede: Transitório FP Capacitivo/Indutivo.

6.3 Operação como Inversor

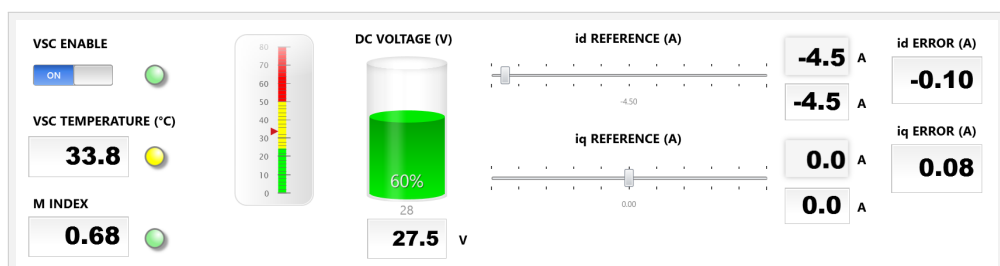
A operação do VSC como inversor é caracterizada pela descarga das baterias, uma vez que são estas a fornecer potência ativa à rede. Recorrendo novamente ao conjunto de equações (6.2), para que tal se verifique, a corrente i_d deverá ser negativa.

Nesta secção, apenas é avaliada a operação do VSC como inversor sob um FP unitário ($i_q^* = 0 A$). Ainda assim, de modo semelhante à operação como retificador, o FP imposto pelo conversor à rede pode ser modificado atuando sobre a corrente de referência i_d^* . No Anexo C.4, são apresentados os resultados da operação como inversor sob um FP indutivo e um FP capacitivo.

As Figuras 6.11a e 6.11b descrevem, respetivamente, o estado inicial do sistema (VSC desligado) e a sua operação sob as seguintes correntes de referência: $i_d^* = -4,5 A$ ($P_e = -67,5 W$) e $i_q^* = 0 A$ ($Q_e = 0 var$). Como é notório, a tensão das baterias, inicialmente a $37,8 V$, diminuiu para $27,5 V$, o que valida a operação do VSC como inversor.



(a)



(b)

Figura 6.11: (a) Estado Inicial do Sistema e (b) Estado do Sistema sob: $i_d^* = -4,5 A$ e $i_q^* = 0 A$.

6.3. Operação como Inversor

Analisando, para uma das fases, a tensão e a corrente da rede, é obtido o resultado da Figura 6.12. A conjunção dos dois seguintes fatores, operação como inversor e FP unitário, implica uma oposição de fase (desfasamento de πrad) entre a tensão e a corrente da rede.

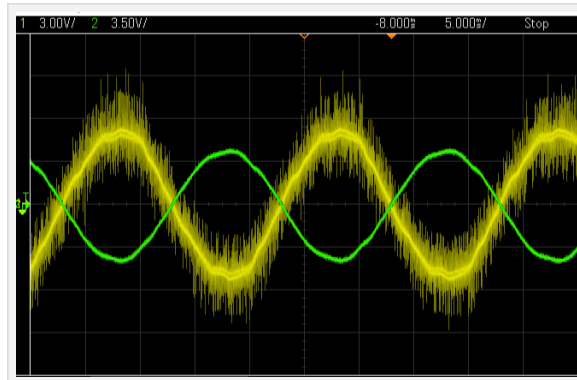


Figura 6.12: Tensão (Amarelo) e Corrente (Verde) da Rede : $i_d^* = -4,5 A$ e $i_q^* = 0 A$.

A transição entre os processos de descarga e carga da bateria é exibida na Figura 6.13. A corrente de referência i_d^* , inicialmente a $-5 A$, foi alterada em degrau para $5 A$. Tal como é possível visualizar, a tensão e corrente da rede, inicialmente em oposição de fase, passam a estar em fase após a modificação em i_d^* , conforme expectável. Atentando à Figura 6.13b, é evidente a rápida resposta do conversor a esta solicitação de alteração de estado (inferior a $4 ms$). A transição oposta (i_d^* alterado em degrau, de $5 A$ para $-5 A$) é verificada e validada na Figura 6.14.

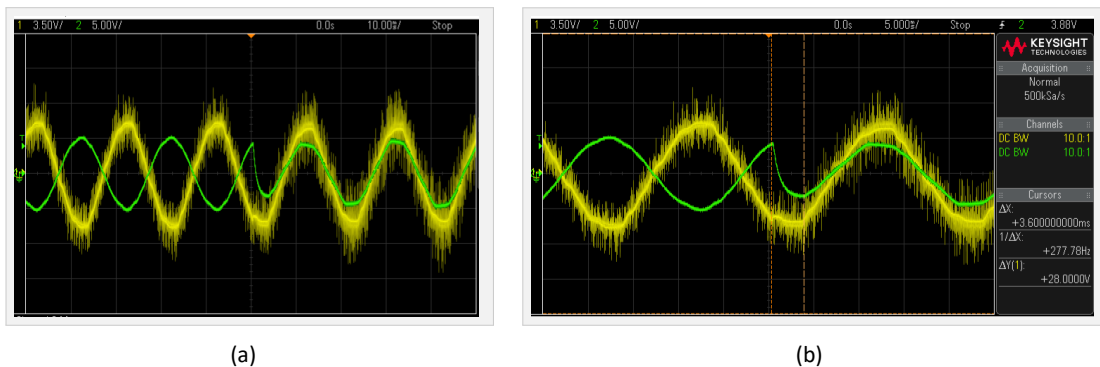


Figura 6.13: Tensão (Amarelo) e Corrente (Verde) da Rede - Transitório Descarga/Carga: (a) Perspetiva Geral e (b) Detalhe.

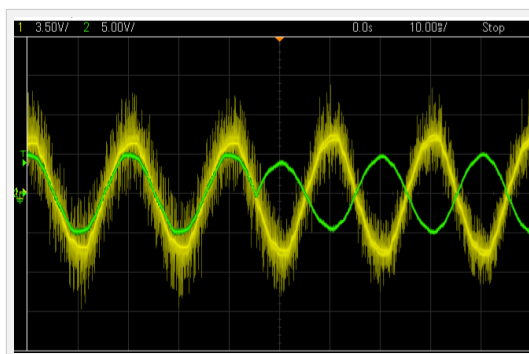


Figura 6.14: Tensão (Amarelo) e Corrente (Verde) da Rede: Transitório Carga/Descarga.

6.4 Controlo Exclusivo de Potência Reativa

O controlo da potência reativa é particularmente relevante no âmbito da regulação do nível de tensão da rede. Neste sentido, o VSC poderá ser enquadrado num regime de controlo de tensão, ajustando exclusivamente a sua injeção/absorção de potência reativa. Com base no conjunto de equações (6.2), para que tal se verifique, apenas a corrente i_q deverá possuir um valor não nulo.

Considerando os cenários possíveis:

- $i_q < 0$: O VSC absorve potência reativa (carga indutiva), contribuindo para a diminuição do nível de tensão da rede;
- $i_q > 0$: O VSC injeta potência reativa (carga capacitiva), contribuindo para o aumento do nível de tensão da rede.

As Figuras 6.15a e 6.15b apresentam a tensão e corrente numa das fases da rede, para as situações em que o VSC absorve e injeta potência reativa, respetivamente. Para tal, foram definidas as seguintes correntes de referência:

- Absorção de Potência Reativa da Rede: $i_d^* = 0 A$ ($P_e = 0 W$) e $i_q^* = -5 A$ ($Q_e = 75 var$);
- Injeção de Potência Reativa na Rede: $i_d^* = 0 A$ ($P_e = 0 W$) e $i_q^* = 5 A$ ($Q_e = -75 var$).

Na situação em que é absorvida potência reativa da rede, o VSC atua como uma carga puramente indutiva (Figura 6.15a). Tal fator é refletido no atraso da corrente da rede face à tensão. Uma vez que não existe fluxo de potência ativa, o desfasamento entre ambas as grandezas é igual a $\pi/2 rad$. Em sentido oposto, quando é injetada potência reativa na rede, o VSC atua como uma carga puramente capacitiva (Figura 6.15b). Neste sentido, a corrente da rede surge $\pi/2 rad$ em avanço face à tensão.

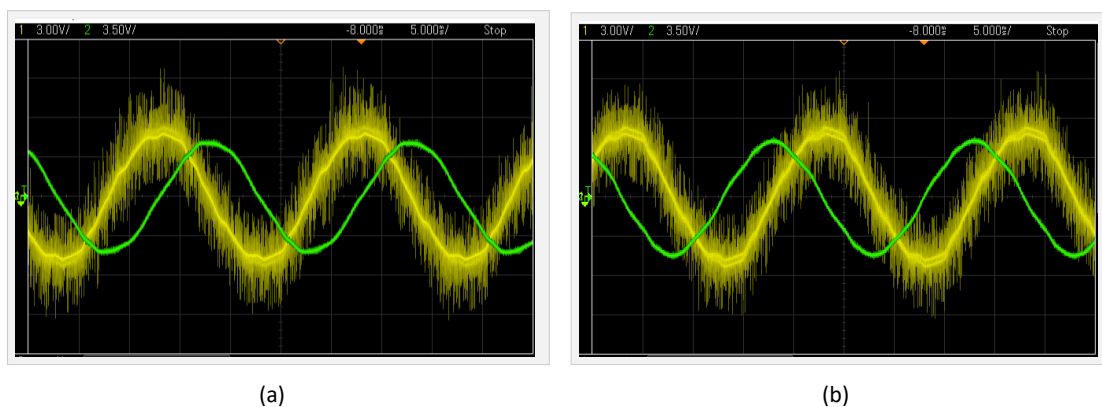


Figura 6.15: Tensão (Amarelo) e Corrente (Verde) da Rede: (a) $i_d^* = 0 A$ e $i_q^* = -5 A$ e (b) $i_d^* = 0 A$ e $i_q^* = 5 A$.

Uma vez que não existe fluxo de potência ativa, a tensão medida aos terminais do conjunto de baterias não varia significativamente face ao cenário inicial em que o VSC está desligado (confirmação no Anexo C.5).

6.4. Controle Exclusivo de Potência Reativa

As transições entre os estados de injeção/absorção e absorção/injeção de potência reativa por parte do VSC são apresentadas nas Figuras 6.16a e 6.16b, respectivamente.

Na Figura 6.16a, para uma corrente $i_d^* = 0 A$, a corrente i_d^* , inicialmente a $5A$, foi alterada em degrau para $-5A$. Como consequência, o VSC, inicialmente a injetar potência reativa, passa a absorver potência reativa da rede. Tal como é possível constatar, a corrente da rede, inicialmente em avanço face à tensão, passa a vir em atraso após a modificação em i_q^* , conforme expectável.

Em sentido oposto, na Figura 6.16b, é notória a transição contrária ($i_d^* = 0 A$ e i_q^* alterado em degrau, de $-5A$ para $5A$). O VSC, inicialmente a absorver potência reativa (corrente em atraso face à tensão), passa a injetar potência reativa na rede (corrente em avanço face à tensão), tal como previsto.

De realçar a rápida resposta do conversor perante a solicitação de alteração de estado de ambos os cenários. Este fator destaca o potencial do VSC quanto à compensação de eventuais oscilações do nível de tensão da rede.

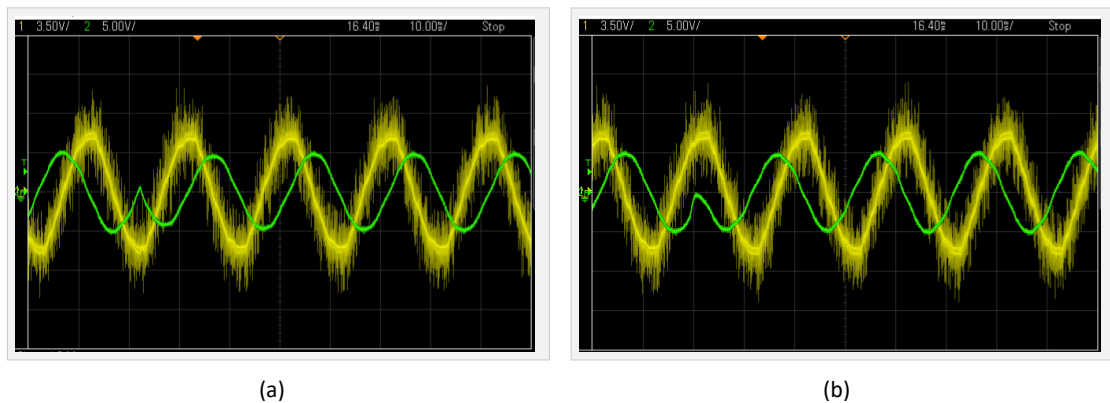


Figura 6.16: Tensão (Amarelo) e Corrente (Verde) da Rede: Transitórios (a) Injeção/Absorção e (b) Absorção/Injeção de Potência Reativa.

7 Conclusões

A presente dissertação contempla uma análise sólida e aprofundada dos elementos teórico-práticos subjacentes ao desenvolvimento de um *Voltage Source Converter* (VSC) de interface à rede, para sistemas de armazenamento de energia a baterias.

Inicialmente, após um breve enquadramento dos VSCs e das suas mais-valias, são abordados os principais conceitos técnicos e matemáticos que fundamentam o controlo deste tipo de conversores, nomeadamente: transformadas de Clarke e Park; sincronismo com a rede elétrica; e técnicas de modulação. Partindo desta fundamentação teórica, procedeu-se à modelação do conversor. A descrição matemática do seu funcionamento contribuiu para o desenvolvimento de um modelo de controlo de corrente adequado. Desenvolvido sob o referencial dq , o sistema de controlo de corrente permite ajustar, de modo independente, o fluxo das potências ativa e reativa entre a rede e o conversor.

As simulações desenvolvidas, quer em tempo contínuo quer em tempo discreto, surgem como um método de validação do modelo de controlo proposto. Numa perspetiva mais próxima da implementação real, a simulação em tempo discreto valida a operação do VSC sob diferentes perfis de potência, evidenciando a efetividade do controlo desacoplado de corrente.

Apoiado no suporte fornecido pela etapa de simulação, o projeto culmina no desenvolvimento de um protótipo laboratorial de um VSC. A incorporação de mecanismos de segurança, bem como a otimização do tempo de execução do código desenvolvido, são fatores que assumem um papel determinante quanto à eficiência e desempenho do sistema, assegurando a sua integridade.

Após os diversos cenários avaliados laboratorialmente, foi possível validar a eficácia do protótipo desenvolvido. Este permitiu, mediante diferentes correntes de referência, carregar e descarregar as baterias e, simultaneamente, impor diferentes fatores de potência à rede, comprovando a sua versatilidade. Modo geral, embora os resultados laboratoriais se aproximem daqueles obtidos em ambiente de simulação, existem pequenas nuances decorrentes da não idealidade dos componentes. A necessidade de inclusão de um *dead-time* nos sinais PWM gerados pelo microcontrolador tem efeitos adversos nas tensões produzidas pelo conversor, que são afetadas pela presença de harmónicos de baixa frequência. Tal fenómeno poderá afetar o desempenho da SRF-PLL, comprometendo ligeiramente a qualidade do trânsito de potência.

A rápida resposta do VSC perante diferentes referências de potência ativa e reativa, bem como a possibilidade de controlar ambas as potências de modo independente, reforçam a robustez e a versatilidade da solução apresentada. Ainda que concebido como prova de conceito, o protótipo desenvolvido evidencia um elevado potencial de aplicação em contextos de integração de sistemas de armazenamento de energia a baterias e de prestação de serviços de suporte à rede.

7.1 Trabalhos Futuros

Embora o projeto desenvolvido tenha contribuído significativamente para o aprofundar dos conhecimentos associados aos VSCs de interface à rede, existe ainda um leque de possibilidades e desafios que poderão ser explorados neste domínio de estudo, designadamente:

- Inclusão de um filtro LCL entre o VSC e os transformadores monofásicos abaixadores, por forma a eliminar o ruído de alta frequência decorrente da operação do conversor e simular uma aplicação real;
- Desenvolvimento de algoritmos que, partindo da monitorização da frequência e tensão da rede, permitam ajustar automaticamente o fluxo de potência ativa e reativa entre o VSC e a rede, respetivamente. Deste modo, é facilitado o processo de prestação de serviços de suporte à rede;
- Análise e implementação de controladores *Proportional-Resonant* (PR). Face aos controladores PI, estes permitem efetuar a compensação síncrona dos harmónicos presentes na rede, minimizando também o impacto nefasto da inclusão do *dead-time*;
- Expansão do VSC a outros recursos energéticos, nomeadamente painéis fotovoltaicos e turbinas eólicas;
- Identificação de pontos estratégicos na rede para inserção de VSCs integrados em sistemas de armazenamento de energia a baterias.

Numa outra perspetiva, no âmbito do reforço e adaptação do sistema elétrico, poderá também ser levada a cabo uma análise mais detalhada às características, potencialidades e estratégias de controlo dos conversores *grid-forming*.

Referências

- [1] M. Hasan, R. Haque, M. Jahirul et al., «Advancing Energy Storage: The Future Trajectory of Lithium-Ion Battery Technologies,» *Journal of Energy Storage*, vol. 120, p. 116 511, jun. de 2025, ISSN: 2352-152X. DOI: <https://doi.org/10.1016/j.est.2025.116511>. [Citado na página 1]
- [2] A. Yazdani e R. Iravani, *Voltage-Sourced Converters in Power Systems. Modeling, Control, and Applications*. Hoboken, N.J: IEEE Press/John Wiley, 2010, 1451 pp., ISBN: 9780470551578. [Citado nas páginas 3, 4, 10, 11, 22, 26, 27, 30, 40]
- [3] M. Malinowski, M. Jasinski e M. Kazmierkowski, «Simple Direct Power Control of Three-Phase PWM Rectifier Using Space-Vector Modulation (DPC-SVM),» *IEEE Transactions on Industrial Electronics*, vol. 51, n.º 2, pp. 447–454, abr. de 2004, ISSN: 0278-0046. DOI: <https://doi.org/10.1109/TIE.2004.825278>. [Citado na página 3]
- [4] R. Teodorescu, M. Liserre e P. Rodríguez, *Grid Converters for Photovoltaic and Wind Power Systems*. [Piscataway, New Jersey]: IEEE Press/John Wiley, 2011, 1398 pp., ISBN: 9780470667057. [Citado nas páginas 3, 11, 14, 29, 30]
- [5] H. Liu e Z. Chen, «Contribution of VSC-HVDC to Frequency Regulation of Power Systems With Offshore Wind Generation,» *IEEE Transactions on Energy Conversion*, vol. 30, n.º 3, pp. 918–926, set. de 2015, ISSN: 1558-0059. DOI: <https://doi.org/10.1109/TEC.2015.2417130>. [Citado na página 3]
- [6] A. Samir, M. Taha, M. M. Sayed e A. Ibrahim, «Efficient PV-grid System Integration with PV-Voltage-Source Converter Reactive Power Support,» *The Journal of Engineering*, vol. 2018, n.º 2, pp. 130–137, fev. de 2018, ISSN: 2051-3305. DOI: <https://doi.org/10.1049/joe.2017.0877>. [Citado na página 3]
- [7] COMPETE 2030, *O Roteiro para a Neutralidade Carbónica 2050*, dez. de 2024. URL: <https://compete2030.gov.pt/comunicacao/o-roteiro-para-a-neutralidade-carbonica-2050/> (acedido em 22/06/2025). [Citado na página 4]
- [8] B. Silva, *Fundo Ambiental Dá 100 Milhões do PRR a 43 Projetos de Baterias. Iberdrola Arrecada 20 Milhões*, *Jornal de Negócios*, jan. de 2025. URL: <https://www.jornaldenegocios.pt/empresas/energia/detalhe/fundo-ambiental-da-100-milhoes-do-prr-a-43-projetos-de-baterias-iberdrola-arrecada-20-milhoes> (acedido em 28/06/2025). [Citado na página 4]
- [9] F. Mohammadi, N. Azizi, H. Moradi CheshmehBeigi e K. Rouzbehi, «Stability and Control of VSC-Based HVDC Systems: A Systematic Review,» *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, vol. 8, p. 100 503, jun. de 2024, ISSN: 2772-6711. DOI: <https://doi.org/10.1016/j.prime.2024.100503>. [Citado na página 4]

- [10] S. Jose e R. S. Geetha, «Integration of Wind Farm to VSC-HVDC System,» em *2017 International Conference on Smart grids, Power and Advanced Control Engineering (ICSPACE)*, Bangalore, Índia: IEEE, ago. de 2017, pp. 298–302. DOI: <https://doi.org/10.1109/ICSPACE.2017.8343447>. [Citado na página 4]
- [11] T. Jing e A. S. Maklakov, «A Review of Voltage Source Converters for Energy Applications,» em *2018 International Ural Conference on Green Energy (UralCon)*, Chelyabinsk, Rússia: IEEE, out. de 2018, pp. 275–281. DOI: <https://doi.org/10.1109/URALCON.2018.8544364>. [Citado na página 4]
- [12] B.-H. Kwon, J.-H. Youm e J.-W. Lim, «A Line-Voltage-Sensorless Synchronous Rectifier,» *IEEE Transactions on Power Electronics*, vol. 14, n.º 5, pp. 966–972, set. de 1999, ISSN: 1941-0107. DOI: <https://doi.org/10.1109/63.788502>. [Citado nas páginas 4, 30, 31]
- [13] R. M. M. de Brito, «Power Generation System for Series Hybrid Electric Vehicles,» tese de doutoramento, Faculdade de Engenharia da Universidade do Porto (FEUP), jul. de 2015. URL: <https://hdl.handle.net/10216/99184>. [Citado nas páginas 4, 5, 13–15, 17–20, 22, 25, 32, 33]
- [14] Y. Zhou, W. He e J. Hu, «Comparative Stability Study of Grid-Following and Grid-Forming Converters in Current Control Timescale,» em *2023 5th International Conference on Electrical Engineering and Control Technologies (CEEECT)*, Chengdu, China: IEEE, dez. de 2023, pp. 200–205. DOI: <https://doi.org/10.1109/CEEECT59667.2023.10420774>. [Citado na página 5]
- [15] S. Jeong e G. Jang, «Stability Analysis of a Weak-Grid-Connected Voltage-Sourced Rectifier Considering the Phase-Locked Loop Dynamics,» *IEEE Transactions on Power Systems*, vol. 38, n.º 1, pp. 436–446, jan. de 2023, ISSN: 1558-0679. DOI: <https://doi.org/10.1109/TPWRS.2022.3169176>. [Citado na página 5]
- [16] B. Kroposki e A. Hoke, «A Path to 100 Percent Renewable Energy: Grid-Forming Inverters will Give Us the Grid We Need Now,» *IEEE Spectrum*, vol. 61, n.º 5, pp. 50–57, mai. de 2024, ISSN: 1939-9340. DOI: [10.1109/mspec.2024.10523014](https://doi.org/10.1109/mspec.2024.10523014). [Citado nas páginas 5, 6]
- [17] N. Mohammed, H. Udawatte, W. Zhou, D. J. Hill e B. Bahrani, «Grid-Forming Inverters: A Comparative Study of Different Control Strategies in Frequency and Time Domains,» *IEEE Open Journal of the Industrial Electronics Society*, vol. 5, pp. 185–214, 2024, ISSN: 2644-1284. DOI: <https://doi.org/10.1109/OJIES.2024.3371985>. [Citado na página 5]
- [18] S. Maharjan, C. Bai, H. Wang, Y. Yao, F. Ding e Z. Wang, «Distribution System Blackstart and Restoration Using DERs and Dynamically Formed Microgrids,» *IEEE Transactions on Smart Grid*, vol. 16, n.º 3, pp. 2100–2114, mai. de 2025, ISSN: 1949-3061. DOI: <https://doi.org/10.1109/TSG.2025.3536847>. [Citado na página 5]
- [19] Siemens Energy, «Grid-Forming Converters,» rel. téc., 2024. URL: https://p3.aprimocdn.net/siemensenergy/3395e3b0-87ad-4155-86c2-b1d1009c3330/GFM_White_Paper_V1-0_Main_01-pdf_Original%20file.pdf?source=SFMC&type=Newsletter&EmailID=2689&sfmc_id=36841577. [Citado na página 5]
- [20] B. Bahrani, M. H. Ravanji, B. Kroposki et al., «Grid-Forming Inverter-Based Resource Research Landscape: Understanding the Key Assets for Renewable-Rich Power Systems,» *IEEE Power and Energy Magazine*, vol. 22, n.º 2, pp. 18–29, mar. de 2024, ISSN: 1558-4216. DOI: <https://doi.org/10.1109/MPE.2023.3343338>. [Citado nas páginas 5, 6]
- [21] Y. Zuo, Z. Yuan, F. Sossan, A. Zecchino, R. Cherkaoui e M. Paolone, «Performance Assessment of Grid-Forming and Grid-Following Converter-Interfaced Battery Energy Storage

- Systems on Frequency Regulation in Low-Inertia Power Grids,» *Sustainable Energy, Grids and Networks*, vol. 27, p. 100 496, set. de 2021, ISSN: 2352-4677. DOI: <https://doi.org/10.1016/j.segan.2021.100496>. [Citado na página 6]
- [22] R. M. M. de Brito, «Voltage Source Converters,» mai. de 2024. URL: https://moodle.isep.ipp.pt/pluginfile.php/376258/mod_resource/content/1/08%20SICEP%20VSCs%20V1.pdf. [Citado nas páginas 8, 25, 29, 112]
- [23] C. J. O'Rourke, M. M. Qasim, M. R. Overlin e J. L. Kirtley, «A Geometric Interpretation of Reference Frames and Transformations: dq0, Clarke, and Park,» *IEEE Transactions on Energy Conversion*, vol. 34, n.º 4, pp. 2070–2083, dez. de 2019, ISSN: 1558-0059. DOI: <https://doi.org/10.1109/TEC.2019.2941175>. [Citado na página 10]
- [24] D. P. Mandic, S. Kanna, Y. Xia, A. Moniri, A. Junyent-Ferre e A. G. Constantinides, «A Data Analytics Perspective of Power Grid Analysis-Part 1: The Clarke and Related Transforms,» *IEEE Signal Processing Magazine*, vol. 36, n.º 2, pp. 110–116, mar. de 2019, ISSN: 1558-0792. DOI: <https://doi.org/10.1109/MSP.2018.2878656>. [Citado na página 10]
- [25] N. Jaalam, N. Rahim, A. Bakar, C. Tan e A. M. Haidar, «A Comprehensive Review of Synchronization Methods for Grid-Connected Converters of Renewable Energy Source,» *Renewable and Sustainable Energy Reviews*, vol. 59, pp. 1471–1481, jun. de 2016, ISSN: 1364-0321. DOI: <https://doi.org/10.1016/j.rser.2016.01.066>. [Citado na página 12]
- [26] H. Sardar Kamil, D. M. Said, M. W. Mustafa, M. R. Miveh e N. Ahmad, «Recent Advances in Phase-Locked Loop Based Synchronization Methods for Inverter-Based Renewable Energy Sources,» *Indonesian Journal of Electrical Engineering and Computer Science*, vol. 18, n.º 1, p. 8, abr. de 2020, ISSN: 2502-4752. DOI: <http://doi.org/10.11591/ijeecs.v18.i1.pp1-8>. [Citado na página 12]
- [27] X. Guo, W. Wu e H. Gu, «Phase Locked Loop and Synchronization Methods for Grid- Interfaced Converters: a Review,» *Przegląd Elektrotechniczny*, pp. 182–187, 2011. URL: <https://api.semanticscholar.org/CorpusID:50110456>. [Citado na página 12]
- [28] J. E. S. M. Silva, «Advanced Three-Phase Grid Synchronization Using Synchronous Reference Frame Phase-Locked Loops,» tese de mestrado, Instituto Superior de Engenharia do Porto (ISEP), out. de 2019. URL: <http://hdl.handle.net/10400.22/15036>. [Citado nas páginas 13, 14]
- [29] P. Rodriguez, J. Pou, J. Bergas, J. I. Candela, R. P. Burgos e D. Boroyevich, «Decoupled Double Synchronous Reference Frame PLL for Power Converters Control,» *IEEE Transactions on Power Electronics*, vol. 22, n.º 2, pp. 584–592, mar. de 2007, ISSN: 0885-8993. DOI: <https://doi.org/10.1109/TPEL.2006.890000>. [Citado nas páginas 14, 38]
- [30] S. Golestan, J. M. Guerrero e J. C. Vasquez, «Three-Phase PLLs: A Review of Recent Advances,» *IEEE Transactions on Power Electronics*, vol. 32, n.º 3, pp. 1894–1907, mar. de 2017, ISSN: 1941-0107. DOI: <https://doi.org/10.1109/TPEL.2016.2565642>. [Citado na página 14]
- [31] J. Makhubele e K. A. Ogudo, «Analysis on Basics of Modulation Techniques for AC Drive on Efficiency Improvements,» em *2020 IEEE PES/IAS PowerAfrica, 2020*, pp. 1–5. DOI: 10.1109/PowerAfrica49420.2020.9219886. [Citado na página 15]
- [32] M. S. M. Malinowski, «Sensorless Control Strategies for Three - Phase PWM Rectifiers,» tese de doutoramento, Faculty of Electrical Engineering, Warsaw University of Technology, 2001. [Citado nas páginas 15–20, 42]

- [33] S. Silva, H. Avery e A. Laphorn, «Thermal Vulnerability Evaluation of Semiconductor Switching Devices: Testing of Selected Si, SiC MOSFETs and GaN HEMTs,» em *2024 IEEE 9th Southern Power Electronics Conference (SPEC)*, Brisbane, Australia: IEEE, dez. de 2024, pp. 1–6. DOI: <https://doi.org/10.1109/SPEC62217.2024.10893061>. [Citado na página 16]
- [34] C. B. Ndeke, M. Adonis e A. Almaktoof, «Basic Circuit Model of Voltage Source Converters: Methodology and Modeling,» *AppliedMath*, vol. 4, n.º 3, pp. 889–907, jul. de 2024, ISSN: 2673-9909. DOI: <https://doi.org/10.3390/appliedmath4030048>. [Citado na página 19]
- [35] R. Pena, R. Cardenas, J. Clare e G. Asher, «Control Strategies for Voltage Control of a Boost Type PWM Converter,» em *2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)*, sér. PESC-01, vol. 2, Vancouver, BC, Canada: IEEE, 2001, pp. 730–735. DOI: <https://doi.org/10.1109/PESC.2001.954205>. [Citado na página 28]
- [36] J. Vicente e A. Rocha, «Comparative Study of Multilevel Converters using DQ Current Control,» *U.Porto Journal of Engineering*, vol. 10, n.º 3, pp. 59–71, jul. de 2024, ISSN: 2183-6493. DOI: https://doi.org/10.24840/2183-6493_0010-003_002679. [Citado nas páginas 29, 30]
- [37] A. Ferreira, A. Carvalho, A. Martins, F. Pereira e V. Sobrado, «Dynamic Performance of Voltage Oriented Control Method Applied in a Voltage Source Converter,» 2013. URL: https://sigarra.up.pt/reitoria/en/pub_geral.pub_view?pi_pub_base_id=101715. [Citado na página 33]
- [38] S. Lolu, S. Bhatti e R. Sharma, «Approaches for Tuning of PID Controller,» mar. de 2013. URL: https://www.academia.edu/66227609/Approaches_for_tuning_of_PID_Controller. [Citado na página 38]
- [39] Infineon, «PMSM FOC Motor Control Software Using XMC™,» rel. téc., jun. de 2023. URL: https://www.infineon.com/dgdl/Infineon-AP32370-PMSM-FOC_for_XMC1000_4000-ApplicationNotes-v01_06-EN.pdf?fileId=5546d4626bb628d7016be669c3eb7e60. [Citado na página 40]
- [40] C. Yanarateş, Z. Zhou e A. Altan, «Investigating the Impact of Discretization Techniques on Real-Time Digital Control of DC-DC Boost Converters: A Comprehensive Analysis,» *Heliyon*, vol. 10, n.º 20, e39591, out. de 2024, ISSN: 2405-8440. DOI: <https://doi.org/10.1016/j.heliyon.2024.e39591>. [Citado na página 47]
- [41] Infineon, «Evaluation Board for XMC4000 Family,» rel. téc., 2015. URL: https://www.infineon.com/dgdl/Infineon-Board_User_Manual_XMC4700_XMC4800_Relax_Kit_Series-UserManual-v01_04-EN.pdf?fileId=5546d46250cc1fdf01513f8e052d07fc. [Citado nas páginas 53, 54]
- [42] Infineon, *KIT XMC47 RELAX V1*, 2025. URL: https://www.infineon.com/cms/en/product/evaluation-boards/kit_xmc47_relax_v1/ (acedido em 30/05/2025). [Citado na página 53]
- [43] STMicroelectronics, «Getting Started With X-NUCLEO-IHM08M1 Low-Voltage BLDC Motor Driver Expansion Board Based on STL220N6F7 for STM32 Nucleo,» rel. téc., 2015. URL: https://www.st.com/resource/en/user_manual/um1996-getting-started-with-xnucleoihm08m1-lowvoltage-blcd-motor-driver-expansion-board-based-on-stl220n6f7-for-stm32-nucleo-stmicroelectronics.pdf. [Citado nas páginas 54, 101, 102]

- [44] N. G. C. Oliveira, «Inversor de Potência Trifásico e Bidirecional Para Sistemas de Armazenamento de Energia a Baterias,» tese de mestrado, Instituto Superior de Engenharia do Porto, jul. de 2024. URL: <http://hdl.handle.net/10400.22/26161>. [Citado nas páginas 55, 56]
- [45] LEM, «Voltage Transducer LV 25-P,» rel. téc., 2022. URL: https://www.lem.com/sites/default/files/products_datasheets/lv_25-p_v21.pdf. [Citado nas páginas 56, 103]
- [46] LEM, «Current Transducer LA 55-P,» rel. téc., 2023. URL: https://www.lem.com/sites/default/files/products_datasheets/la_55-p_v19.pdf. [Citado nas páginas 56, 105]
- [47] Infineon, «PWM SVM - APP Help,» PWM SVM Overview. [Citado nas páginas 60, 61]
- [48] IAR, *IAR Application Note G-002 - Fast Square Root in C*. URL: https://www.mikrocontroller.net/attachment/206695/Fast_square_root_in_C.pdf (accedido em 14/03/2025). [Citado na página 65]
- [49] Coronac, *Off On a Tangent : a Look at Arctangent Implementations*. URL: <https://web.archive.org/web/20240303020112/https://www.coranac.com/documents/arctangent/> (accedido em 14/03/2025). [Citado na página 65]
- [50] M. R. Yazdani, H. Farzanehfard e J. Faiz, «Classification and Comparison of EMI Mitigation Techniques in Switching Power Converters - A Review,» *Journal of Power Electronics*, vol. 11, n.º 5, pp. 767–777, set. de 2011, ISSN: 1598-2092. DOI: <https://doi.org/10.6113/JPE.2011.11.5.767>. [Citado na página 72]
- [51] M. Comanescu, «Influence of the Discretization Method on the Integration Accuracy of Observers with Continuous Feedback,» em *2011 IEEE International Symposium on Industrial Electronics*, Gdansk, Poland: IEEE, jun. de 2011, pp. 625–630. DOI: <https://doi.org/10.1109/ISIE.2011.5984230>. [Citado na página 87]
- [52] R. M. M. de Brito, «PID Time-Discrete Controller,» mai. de 2023. URL: https://moodle.isep.ipp.pt/pluginfile.php/371882/mod_resource/content/1/05%20SICEP%20PID%20time-discrete%20V5.pdf. [Citado na página 87]
- [53] R. Smith, *Z Transform*. URL: https://courses.ece.ucsb.edu/ECE147/147B_W13By1/lecture/roysmith/lecture4_small.pdf (accedido em 28/05/2025). [Citado na página 88]
- [54] STMicroelectronics, «L6398 - High Voltage High and Low-Side Driver,» rel. téc., 2015. URL: <https://www.st.com/resource/en/datasheet/l6398.pdf>. [Citado na página 97]
- [55] T. Messo, T. Roinila, A. Aapro e P. Rasilo, «Evaluation of Dead-Time Effect of Grid-Connected Inverters Using Broadband Methods,» *IFAC-PapersOnLine*, vol. 51, n.º 15, pp. 449–454, 2018, ISSN: 2405-8963. DOI: <https://doi.org/10.1016/j.ifacol.2018.09.186>. [Citado nas páginas 100, 110]
- [56] STMicroelectronics, «STL220N6F7 Datasheet,» rel. téc., 2014. URL: <https://www.st.com/resource/en/datasheet/stl220n6f7.pdf>. [Citado na página 100]
- [57] Infineon, «Calculate and Minimize the Dead Time for IGBTs,» rel. téc., 2014. URL: https://www.infineon.com/dgdl/Infineon-Deadtme_calculation_for_IGBT_modules-ApplicationNotes-v01_10-EN.pdf?fileId=db3a30431a5c32f2011a5daefc41005b. [Citado na página 100]
- [58] LONG, «Valve Regulated Lead Acid Battery WP7.2-12,» rel. téc. URL: https://storage.googleapis.com/mauser-public-images/prod_description_document/2019/105/2088198a357f21a6a346a9ae325a5e2a_115-2142.pdf. [Citado na página 103]

- [59] D. Schechtel, «Sistema de Armazenamento e Geração de Energia Para Locais de Consumo Remotos,» tese de mestrado, Instituto Superior de Engenharia do Porto, 2016. URL: <http://hdl.handle.net/10400.22/9924>. [Citado nas páginas 103, 104]
- [60] D. U. Bhanu e C. V. Rao, «Interconnection of Voltage Source Converter to Utility Grid with LCL Filter using Resonance Damping Controllers,» *International Research Journal of Engineering and Technology (IRJET)*, vol. 7, n.º 9, pp. 1870–1875, set. de 2020, issn: 2395-0056. [Citado nas páginas 109, 110]

Anexo A

Domínio de Tempo Discreto

A.1 Controlo em Tempo Discreto

A escolha do método de discretização assume um papel crucial na qualidade de reconstrução dos sinais analógicos e, conseqüentemente, na eficiência do sistema de controlo digital. Fatores como a complexidade e esforço computacional do método de discretização deverão também ser avaliados e ponderados.

De entre os diversos métodos possíveis, destacam-se os seguintes [51]:

- *Forward Difference;*
- *Backward Difference;*
- *Trapezoidal Approximation.*

A Figura A.1 caracteriza cada um dos três métodos.

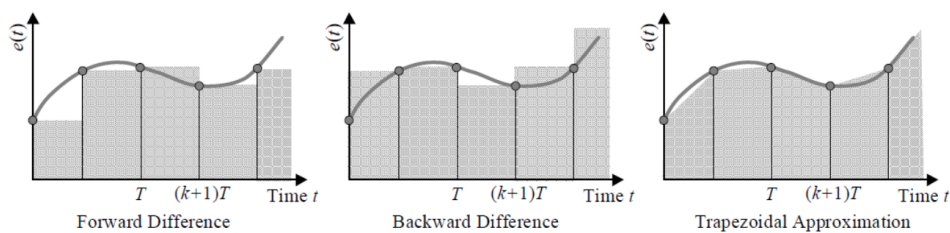


Figura A.1: Métodos de Discretização [52].

Como é possível constatar, a aproximação trapezoidal, também designada por Transformação Bilinear ou Aproximação de Tustin, permite uma representação mais fiel daquele que é o sinal analógico original [51]. Convém realçar que, para períodos de amostragem suficientemente pequenos, o controlo em tempo discreto aproxima-se do controlo em tempo contínuo.

A.2 Controlador PI em Tempo Discreto

A função de transferência de um controlador PI (Figura A.2), no domínio das frequências (s), é dada por:

$$\frac{U(s)}{E(s)} = k_p + \frac{k_i}{s} \quad (\text{A.1})$$

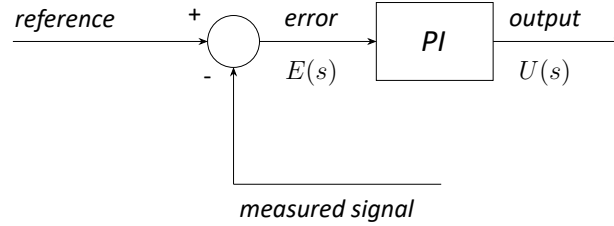


Figura A.2: Controlador PI.

A função de transferência da equação (A.1) pode ser convertida para o domínio Z (adequado a funções de tempo discreto e ao controlo digital) através da substituição fundamental de Tustin [53]:

$$s = \frac{2}{T_s} \frac{Z - 1}{Z + 1} \quad (\text{A.2})$$

Substituindo (A.2) em (A.1), a função de transferência do controlador PI no domínio Z vem dada por:

$$U(Z) = k_p E(Z) + k_i \frac{T_s}{2} \frac{Z + 1}{Z - 1} E(Z) \quad (\text{A.3})$$

Desenvolvendo a equação:

$$\begin{aligned} (U(Z) - k_p E(Z))(Z - 1) &= k_i \frac{T_s}{2} (Z + 1) E(Z) \\ \Leftrightarrow ZU(Z) - U(z) - k_p(ZE(Z) - E(Z)) &= k_i \frac{T_s}{2} (ZE(Z) + E(Z)) \\ \Leftrightarrow U(Z) = Z^{-1}U(Z) + k_p(E(Z) - Z^{-1}E(Z)) + k_i \frac{T_s}{2} (E(Z) + Z^{-1}E(Z)) \end{aligned} \quad (\text{A.4})$$

Visto que os termos Z e Z^{-1} fazem referência, respetivamente, à amostra atual (n) e à amostra imediatamente anterior ($n - 1$), obtém-se:

$$u[n] = u[n - 1] + k_p(e[n] - e[n - 1]) + k_i \frac{T_s}{2} (e[n] + e[n - 1]) \quad (\text{A.5})$$

A.3. Código C-Script

Dado que $u[n]$ e $e[n]$ representam a saída e o erro atuais do PI, e $u[n - 1]$ e $e[n - 1]$ a saída e o erro da iteração anterior, respetivamente, a equação (A.5) poderá ser reescrita do seguinte modo:

$$saída = saída anterior + k_p(erro - erro anterior) + k_i \frac{T_s}{2}(erro + erro anterior) \quad (A.6)$$

Considerando um integrador em tempo discreto (utilizado, por exemplo, na PLL), o raciocínio é semelhante:

$$u[n] = u[n - 1] + \frac{T_s}{2}(e[n] + e[n - 1]) \quad (A.7)$$

Reescrevendo:

$$saída = saída anterior + \frac{T_s}{2}(erro + erro anterior) \quad (A.8)$$

A.3 Código C-Script

A programação associada ao bloco *C-Script* é segmentada segundo três secções:

- *Code declarations*: Declarações e definições globais;
- *Update function code*: Extrato de código a ser executado a cada passo de simulação (a cada T_s segundos);
- *Output function code*: Define os *outputs* do bloco.

De seguida, é disponibilizado o código utilizado em cada uma das três secções que compõem o bloco *C-Script*.

A.3.1 Code Declarations

```
1 #include <math.h>
2 #include <stdint.h>
3 #include <stdbool.h>
4
5 //*****NORMALIZATION*****//
6
7 float normalized_vd_vq_module = 0.0F;           //fast_sqrt (
8     vd2_out_n_int + vq2_out_n_int)
9
10 float vd_out_n = 0.0F;                          //Normalized vd ->
11     vd_out/(0.5*Vdc)
12
13 float vq_out_n = 0.0F;                          //Normalized vq ->
14     vq_out/(0.5*Vdc)
```

```

12 uint16_t vd2_out_n_int = 0; // (vd_out_n^2) Converted
    to int (Using the Scaling Factor) -> for the fast_sqrt
13 uint16_t vq2_out_n_int = 0; // (vq_out_n^2) Converted
    to int (Using the Scaling Factor) -> for the fast_sqrt
14
15 //*****SVM ANGLE*****//
16
17 //ATAN2 (vq_out, vd_out)
18 float vd_vq_angle_rad = 0.0F; //Dephasing Angle (rad) of
    the vabc and eabc Voltages -> Same for Normalized or Not Normalized vdq*
19
20 float vd_vq_anglePLUSpllphase_rad = 0.0F; //Sum of "PLL_phase" and
    "vd_vq_angle_rad"
21
22 //*****VSC ENABLE*****//
23
24 bool VSC_ON_OFF = 0;
25 bool Enable = 0;
26
27 //*****CURRENT MEASUREMENT*****//
28
29 float Ia = 0.0F; //Phase A Current
30 float Ib = 0.0F; //Phase B Current
31 float Ic = 0.0F; //Phase C Current
32
33 //*****CURRENTS MOVING AVERAGE FILTER (MAF)*****//
34
35 #define WINDOW_SIZE 3 //Window Filter With 3 Positions
36
37 //Separate Buffers for the 3 Currents
38 float Ia_vec[WINDOW_SIZE] = {0.0F}; //Circular Buffer for Ia
39 float Ib_vec[WINDOW_SIZE] = {0.0F}; //Circular Buffer for Ib
40 float Ic_vec[WINDOW_SIZE] = {0.0F}; //Circular Buffer for Ic
41
42
43 //Sums of the Samples for Each Current
44 float Ia_sum = 0.0F;
45 float Ib_sum = 0.0F;
46 float Ic_sum = 0.0F;
47
48 uint8_t I_counter = 0; //Single Counter for All
    Currents
49
50 const uint8_t I_counter_max = WINDOW_SIZE; //Window size (3)
51
52 float Ia_average = 0.0F; //Phase A Filtered Current
53 float Ib_average = 0.0F; //Phase B Filtered Current
54 float Ic_average = 0.0F; //Phase C Filtered Current
55
56 //*****VOLTAGE MEASUREMENT*****//
57
58 float Ua = 0.0F; //Phase A Voltage (Ua = ea)
59 float Ub = 0.0F; //Phase B Voltage (Ub = eb)
60 float Uc = 0.0F; //Phase C Voltage (Uc = ec)
61
62 //*****DC VOLTAGE MEASUREMENT*****//
63
64 float DC_voltage = 0.0F;
65
66 //*****PHASE-LOCKED-LOOP (PLL)*****//
67

```

A.3. Código C-Script

```
68 #define fs 20000.0F
69 #define Ts (1/fs)
70 #define TsDIV2 (Ts/2)
71
72 //Grid Peak Voltage (for the Voltages Normalization)
73 #define Ugrid_peak_phase_a (15.0F)
74 #define Ugrid_peak_phase_b (15.0F)
75 #define Ugrid_peak_phase_c (15.0F)
76
77 #define Ugrid_peak_average ((Ugrid_peak_phase_a + Ugrid_peak_phase_b +
    Ugrid_peak_phase_c)/3.0F)
78
79 //Normalized Voltages
80 float Ua_n = 0.0F;
81 float Ub_n = 0.0F;
82 float Uc_n = 0.0F;
83
84 //PI Parameters
85 #define kp_PLL 444.288F //Continuous Time: 444.288F
86 #define ki_PLL 98696.0F //Continuous Time: 98696.0F
87
88 #define Ti_PLL (kp_PLL/ki_PLL) //+ (Ts/2)
89
90 #define kpDIVTi_PLL (kp_PLL/Ti_PLL)
91
92 //Constants
93 #define pi 3.141592653589F
94 #define two_pi (2.0F*pi)
95
96 #define oneDIV3 0.333333F
97 #define oneDIVsqrt3 0.57735F
98
99 //Clarke Transform
100 float U_alpha = 0.0F, U_beta = 0.0F;
101
102 //Park Transform
103 float Ud = 0.0F, Uq = 0.0F; //Normalized
104
105 //Grid Voltages Module (for the Uq Normalization)
106 uint16_t U2d_int = 0.0F;
107 uint16_t U2q_int = 0.0F;
108
109 float U_module = 0.0F;
110
111 //PI Controller
112 float error_PLL, prev_error_PLL = 0.0F;
113 float pi_out_w_PLL, prev_pi_out_w_PLL = 0.0F;
114 float PLL_phase, PLL_prev_phase = 0.0F; //”PLL_prev_phase”
    for the Integrator
115
116 //Look Up Table
117 float sin_theta = 0.0F, cos_theta = 0.0F;
118
119 #define LOOK_UP_TABLE_SIZE 1257
120
121 //*****ACTIVE AND REACTIVE POWER CONTROL*****//
122
123 //Active Power Control Parameters
124 #define kp_Id 1.272F //1.272F //Continuous (1mH): 0.942F; (1,35
    mH): 1.272F
```

```

125 #define ki_Id 94.2F //Continuous (1mH): 0.942/0.01 = 94.2F;
    (1,35mH): 94.2F
126
127 #define Ti_Id (0.0135F) //((kp_Id/ki_Id)
128
129 #define kpDIVTi_Id (kp_Id/Ti_Id)
130
131
132 //Reactive Power Control Parameters
133 #define kp_Iq (kp_Id) //1.272F //Continuous (1mH): 0.942F;
    (1,35mH): 1.272F
134 #define ki_Iq (ki_Id) //Continuous (1mH): 0.942/0.01 = 94.2F;
    (1,35mH): 94.2F
135
136 #define Ti_Iq (Ti_Id) //((kp_Iq/ki_Iq)
137
138 #define kpDIVTi_Iq (kp_Iq/Ti_Iq)
139
140 //Inductor
141 #define R 0.100F
142 #define L 0.00135F
143 #define wL (2*pi*50*L)
144
145 //Real dq Currents
146 float I_alpha = 0.0F, I_beta = 0.0F;
147 float Id = 0.0F, Iq = 0.0F;
148
149 //Reference dq Currents
150 float Id_ref = 0.0F;
151 float Iq_ref = 0.0F;
152
153 //Active Power (Id) PI Controller
154 float error_Id, prev_error_Id = 0.0F;
155 float pi_out_delta_vd, prev_pi_out_delta_vd = 0.0F;
156
157
158 //Reactive Power (Iq) PI Controller
159 float error_Iq, prev_error_Iq = 0.0F;
160 float pi_out_delta_vq, prev_pi_out_delta_vq = 0.0F;
161
162 //PI Controllers Outputs (vd_out=vd* and vq_out=vq*)
163 float vd_out = 0.0F;
164 float vq_out = 0.0F;
165
166 //*****FAST SQUARE ROOT FUNCTION*****//
167
168 unsigned int fast_sqrt(unsigned int x){ //The Maximum Input Value to Perform
    a fast_sqrt is a 16 bit u_int (from 0 to 65535)
169 unsigned int a,b;
170 b = x;
171 a = x = 0x3f;
172 x = b/x;
173 a = x = (x+a)>>1;
174 x = b/x;
175 a = x = (x+a)>>1;
176 x = b/x;
177 x = (x+a)>>1;
178 return(x);
179 }
180
181 //*****LUT*****//

```

A.3. Código C-Script

```
182
183 const float look_up_table[LOOK_UP_TABLE_SIZE][2] = {
184 {0.000000, 1.000000},
185 {0.010000, 0.999950},
186 ...
187 {-0.016370, 0.999866},
188 {-0.006371, 0.999980}
189
190
191 };
```

Código A.1 : Secção "Code Declarations".

A.3.2 Update Function Code

```
1  Ua = Input(0);
2  Ub = Input(1);
3  Uc = Input(2);
4  Ia = Input(3);
5  Ib = Input(4);
6  Ic = Input(5);
7  Id_ref = Input(6);
8  Iq_ref = Input(7);
9  DC_voltage = Input(8);
10 VSC_ON_OFF = Input(9);
11
12 //*****ENABLE*****//
13
14     if (VSC_ON_OFF == 1)
15     {
16         Enable = 1;
17     }
18
19
20     if (VSC_ON_OFF == 0)
21     {
22         Enable = 0;
23
24         prev_error_Id = 0.0F;
25         prev_pi_out_delta_vd = 0.0F;
26         prev_error_Iq = 0.0F;
27         prev_pi_out_delta_vq = 0.0F;
28     }
29
30 //*****PHASES CURRENT MOVING AVERAGE FILTER (MAF) - 3 SAMPLE WINDOW
31     *****//
32
33 //For Ia
34 Ia_sum = Ia_sum - Ia_vec[I_counter] + Ia; //Update the Sum for Ia (
35     Subtract the Old Sample and Add the New One)
36 Ia_vec[I_counter] = Ia; //Update the Circular Buffer
37     With the New Ia Sample
38
39 //For Ib
40 Ib_sum = Ib_sum - Ib_vec[I_counter] + Ib;
41 Ib_vec[I_counter] = Ib;
```

```

41  Ic_sum = Ic_sum - Ic_vec[I_counter] + Ic;
42  Ic_vec[I_counter] = Ic;
43
44  //Increment the Counter
45  I_counter++;
46
47  if (I_counter > I_counter_max - 1)           //If the Window Size is Reached
48      , Reset the Counter
49  {
50      I_counter = 0;
51  }
52
53  //Calculate the Average of the 3 Samples for Ia , Ib and Ic
54  Ia_average = Ia_sum/I_counter_max;
55  Ib_average = Ib_sum/I_counter_max;
56  Ic_average = Ic_sum/I_counter_max;
57  //*****PHASE-LOCKED-LOOP (PLL)*****//
58
59  //Voltages Normalization (Inputs for the Clarke Transform)
60  Ua_n = Ua/Ugrid_peak_phase_a;
61  Ub_n = Ub/Ugrid_peak_phase_b;
62  Uc_n = Uc/Ugrid_peak_phase_c;
63
64  //Clarke Transform
65  U_alpha = oneDIV3*(2*Ua_n - Ub_n - Uc_n);
66  U_beta = oneDIVsqrt3*(Ub_n - Uc_n);
67
68  //Park Transform
69  sin_theta = look_up_table[(int) round (PLL_phase * 100)][0]; //Round and
70  cos_theta = look_up_table[(int) round (PLL_phase * 100)][1]; //Round and
71  cast to int , so the look-up table index (line) is an integer
72
73  Ud = (cos_theta*U_alpha) + (sin_theta*U_beta);
74  Uq = (-sin_theta*U_alpha) + (cos_theta*U_beta);
75
76  U2d_int = (unsigned int) (Ud*Ud*32761);           //The Scaling Factor
77  U2q_int = (unsigned int) (Uq*Uq*32761);           used is 181, as its the one with least rounding errors (181*181=32761)
78
79  U_module = fast_sqrt (U2d_int + U2q_int)/181.0F; //Normalization with
80  fast_sqrt -> fast_sqrt conversion from int to float
81
82  if (U_module < 1e-4)
83      U_module = 1e-4;           //Avoid Divisions by Zero
84
85  error_PLL = Uq/U_module;           //Normalization
86
87  //Discrete Time PI Controller for the PLL
88  pi_out_w_PLL = prev_pi_out_w_PLL + kp_PLL*(error_PLL - prev_error_PLL) + (
89  kpDIVTi_PLL)*(TsDIV2)*(error_PLL + prev_error_PLL);
90
91  prev_error_PLL = error_PLL;
92
93  if (pi_out_w_PLL < 0.00F)
94      pi_out_w_PLL = 0.0F;
95  prev_pi_out_w_PLL = pi_out_w_PLL;
96
97  //PLL Integrator - to find PLL_phase
98  PLL_phase = PLL_phase + (TsDIV2)*(pi_out_w_PLL + prev_pi_out_w_PLL);

```

A.3. Código C-Script

```
96
97     if (PLL_phase > (two_pi))
98         PLL_phase = PLL_phase - two_pi;
99
100 //*****labco to Idq*****//
101
102 //Clarke Transform
103 I_alpha = oneDIV3*(2*Ia_average - Ib_average - Ic_average);
104 I_beta = oneDIVsqrt3*(Ib_average - Ic_average);
105
106 //I_alpha = oneDIV3*(2*Ia - Ib - Ic);
107 //I_beta = oneDIVsqrt3*(Ib - Ic);
108
109 //Park Transform
110 sin_theta = look_up_table[(int) round (PLL_phase * 100)][0]; //Round and
    cast to int, so the look-up table index (line) is an integer
111 cos_theta = look_up_table[(int) round (PLL_phase * 100)][1]; //Round and
    cast to int, so the look-up table index (line) is an integer
112
113 Id = (cos_theta*I_alpha) + (sin_theta*I_beta);
114 Iq = (-sin_theta*I_alpha) + (cos_theta*I_beta);
115
116 //*****P CONTROL*****//
117
118 error_Id = Id_ref - Id;
119
120 pi_out_delta_vd = prev_pi_out_delta_vd + kp_Id*(error_Id - prev_error_Id) +
    (kpDIVTi_Id)*(TsDIV2)*(error_Id + prev_error_Id);
121
122 prev_error_Id = error_Id;
123 prev_pi_out_delta_vd = pi_out_delta_vd;
124
125 vd_out = (Ud*Ugrid_peak_average) - (R*Id) - pi_out_delta_vd + (wL*Iq);
    //vd_out (output of the control system) for the dq components decoupling
    //(Ud*Ugrid_peak_average) because "Ud" is normalized (0<Ud<1)
126
127 //*****Q CONTROL*****//
128
129 error_Iq = Iq_ref - Iq;
130
131 pi_out_delta_vq = prev_pi_out_delta_vq + kp_Iq*(error_Iq - prev_error_Iq) +
    (kpDIVTi_Iq)*(TsDIV2)*(error_Iq + prev_error_Iq);
132
133 prev_error_Iq = error_Iq;
134 prev_pi_out_delta_vq = pi_out_delta_vq;
135
136 vq_out = (Uq*Ugrid_peak_average) - (R*Iq) - pi_out_delta_vq - (wL*Id);
    //vq_out (output of the control system) for the dq components decoupling
    //(Uq*Ugrid_peak_average) because "Uq" is normalized (0<Uq<1)
137
138
139 //*****NORMALIZATION*****//
140
141 //This Gives vdq_n* (vdq* -> vdq_n*)
142 vd_out_n = vd_out/(0.5F*DC_voltage);
143 vq_out_n = vq_out/(0.5F*DC_voltage);
144
145 vd2_out_n_int = (unsigned int) (vd_out_n*vd_out_n*32761); //The Scaling
    Factor used is 181, as its the one with least rounding errors (181*
    181=32761)
146 vq2_out_n_int = (unsigned int) (vq_out_n*vq_out_n*32761);
147
```

```

148 normalized_vd_vq_module = fast_sqrt (vd2_out_n_int + vq2_out_n_int)/181.0F;
    //fast_sqrt result from int to float
149
150 if (normalized_vd_vq_module < 0.0001F)
151 {
152     normalized_vd_vq_module = 0.0001F;
153 }
154
155 //*****SVM ANGLE*****//
156
157 //Vdq_n* phase
158 vd_vq_angle_rad = atan2f (vq_out_n, vd_out_n); //Returns a value between
    (-pi, pi]
159
160 //Convert the atan2f result into a value between [0, 2pi)
161 //if (vd_vq_angle_rad < 0) {
162     //vd_vq_angle_rad += two_pi;
163 //}
164
165 //Vdq_n* phase + PLL_phase (Phase of the vabc Voltages)
166 vd_vq_anglePLUSpllphase_rad = PLL_phase + vd_vq_angle_rad;
167
168 //Limit Between 0~2pi
169 if (vd_vq_anglePLUSpllphase_rad > two_pi)
170 {
171     vd_vq_anglePLUSpllphase_rad = vd_vq_anglePLUSpllphase_rad - two_pi;
172 }

```

Código A.2 : Secção "Update Function Code".

A.3.3 Output Function Code

```

1 Output(0) = U_alpha*Ugrid_peak_average;
2 Output(1) = U_beta*Ugrid_peak_average;
3 Output(2) = Ud*Ugrid_peak_average;
4 Output(3) = Uq*Ugrid_peak_average;
5 Output(4) = PLL_phase;
6 Output(5) = I_alpha;
7 Output(6) = I_beta;
8 Output(7) = Id;
9 Output(8) = Iq;
10 Output(9) = vd_out;
11 Output(10) = vq_out;
12 Output(11) = vd_out_n;
13 Output(12) = vq_out_n;
14 Output(13) = normalized_vd_vq_module;
15 Output(14) = vd_vq_angle_rad;
16 Output(15) = vd_vq_anglePLUSpllphase_rad;
17 Output(16) = Enable;

```

Código A.3 : Secção "Output Function Code".

Anexo B

Detalhe *Hardware*

B.1 Conversor de Potência X-NUCLEO-IHM08M1

Os semicondutores de potência que constituem o conversor são MOSFETs STL220N6F7. Estes pertencem à família STripFET™ F7, uma tecnologia proprietária da STMicroelectronics caracterizada pela eficiência da comutação e reduzida dissipação de potência.

No âmbito do controlo dos semicondutores de potência, o X-NUCLEO-IHM08M1 conta com três *drivers* integrados L6398 (um por cada braço). Com base nos sinais PWM aplicados, cada um destes *drivers* é responsável por fornecer os sinais de acionamento aos dois semicondutores (*high-side* e *low-side*) do respetivo braço.

A Tabela B.1 caracteriza a operação do *driver* L6398. Os sinais de *input* do *driver*, \overline{LIN} e *HIN*, correspondem aos sinais PWM gerados pelo sistema de controlo (microcontrolador), destinados a controlar os semicondutores inferior e superior de cada braço, respetivamente. Por outro lado, os sinais de *output*, *LVG* e *HVG*, são aqueles efetivamente aplicados aos semicondutores inferior e superior de cada braço, respetivamente.

Tabela B.1: Tabela de Verdade do *Driver* L6398 [54].

<i>Input</i>		<i>Output</i>	
\overline{LIN}	<i>HIN</i>	<i>LVG</i>	<i>HVG</i>
H	L	L	L
L	H	L	L
L	L	H	L
H	H	L	H

Como é possível notar, o correto acionamento dos semicondutores de cada braço do conversor ocorre quando os *inputs* \overline{LIN} e *HIN* possuem o mesmo estado lógico (terceira e quarta linhas da Tabela B.1). Nesta circunstância: estando ambos a nível lógico 0, é ativo o MOSFET inferior (*low-side*); e estando ambos a nível lógico 1, é ativo o MOSFET superior (*high-side*).

Uma vez que o conversor não dispõe de pinos de *enable* dedicados, para que possa ser desligado ou colocado em repouso, será necessário que os sinais \overline{LIN} e HIN de cada um dos braços possuam níveis lógicos distintos (primeira e segunda linhas da Tabela B.1).

Em condição de repouso, isto é, sem qualquer controlo aplicado ao conversor (\overline{LIN} e HIN a nível lógico 0), o *driver* atua conforme a terceira linha da Tabela B.1, ativando os MOSFETs inferiores de cada um dos braços. Assumindo o propósito do X-NUCLEO-IHM08M1, isto é, o controlo de motores, esta condição não acarreta consequências. Contrariamente, quando considerada a operação como VSC, a ativação involuntária dos MOSFETs inferiores dos três braços traduz-se num curto-circuito às três fases do lado AC do conversor. Dada a sua conexão à rede, isto resultaria num curto-circuito às três fases da rede, sendo a corrente de defeito apenas limitada pela bobina e respetiva resistência interna. Perante este fator, torna-se imperativa a implementação de um mecanismo de *enable* que possibilite, através de um pino digital do microcontrolador, habilitar e desabilitar o funcionamento do conversor a qualquer momento.

B.1.1 Mecanismo de *Enable*

A solução para que o conversor, em situação de repouso ou ausência de controlo, permaneça no estado correspondente às duas linhas iniciais da Tabela B.1 (todos os semicondutores fora de condução) passa pela lógica ilustrada na Figura B.1. O mecanismo proposto, para além da adição de um pino digital de *enable*, é caracterizado pela inclusão de portas *AND* e *OR* entre os sinais PWM gerados pelo microcontrolador e os pinos de *input* do *driver* L6398.

Sempre que o sinal de *enable* for colocado a nível lógico 1, os sinais HIN e \overline{LIN} serão iguais a PWM_H e PWM_L , respetivamente. Caso PWM_H e PWM_L sejam iguais (lógica configurável na APP PWM SVM), o conversor operará normalmente, transitando entre os estados correspondentes à terceira e quarta linhas da Tabela B.1. Por outro lado, sempre que ao sinal de *enable* for atribuído o nível lógico 0, HIN e \overline{LIN} serão iguais a 0 e 1, respetivamente. Nestas condições, o *driver* atua conforme a primeira linha da Tabela B.1, desabilitando o funcionamento do conversor, tal como pretendido.

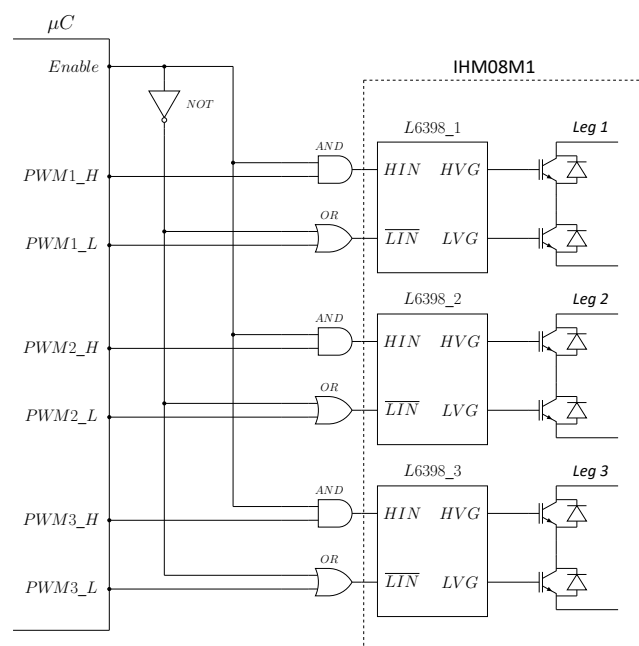


Figura B.1: Mecanismo de *Enable*.

B.1.2 Dead-Time

Um dos fatores a ter em conta aquando do desenvolvimento real do projeto prende-se com a não idealidade dos componentes envolvidos. No caso dos MOSFETs presentes nos braços do conversor, a transição entre os estados ON/OFF não é instantânea, ao contrário do verificado em ambiente de simulação (em que os componentes são considerados ideais).

Tipicamente, para um determinado braço, a entrada em condução de um dos MOSFETs é mais rápida do que a saída de condução do MOSFET complementar. Isto leva a que, em determinados momentos, ambos os MOSFETs estejam simultaneamente em condução, curto-circuitando a fonte DC e danificando o braço do conversor (Figura B.2).

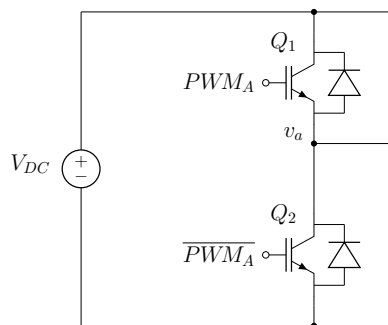


Figura B.2: Braço de um VSC.

Por forma a evitar que ambos os transístores de um mesmo braço conduzam simultaneamente, é tipicamente introduzido um *dead-time* nos respetivos sinais PWM, atrasando o momento em que se dão as transições ascendentes.

Na Figura B.3, é apresentado o modo de produção das ondas PWM, admitindo a idealidade dos semicondutores de potência (PWM_A e $\overline{P}WM_A$ perfeitamente complementares). Por questões de simplicidade, considerou-se a modulação SPWM.

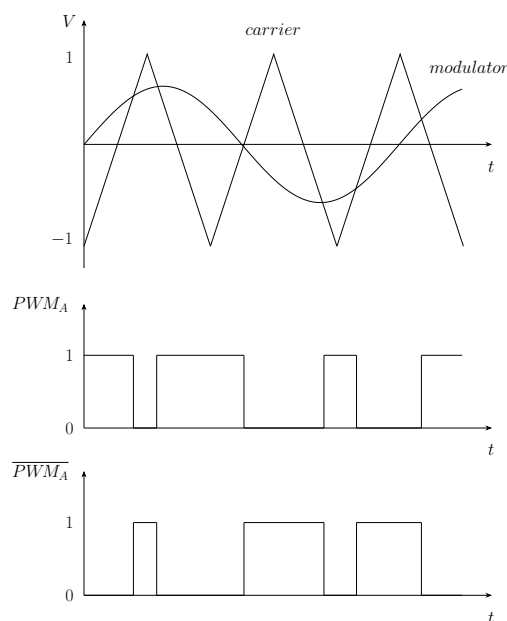


Figura B.3: Produção das Ondas PWM (sem *Dead-Time*).

Por outro lado, na Figura B.4, são exibidos os mesmos sinais PWM, considerando a presença do *dead-time*. Durante os períodos de *dead-time* (representados a verde), nenhum dos transístores está em condução. Este fator tem implicações na forma de onda das tensões geradas no conversor, que poderão ser distorcidas devido à presença de harmônicos de baixa frequência (5º, 7º, 11º, 13º, 17º e 19º harmônicos) [55].

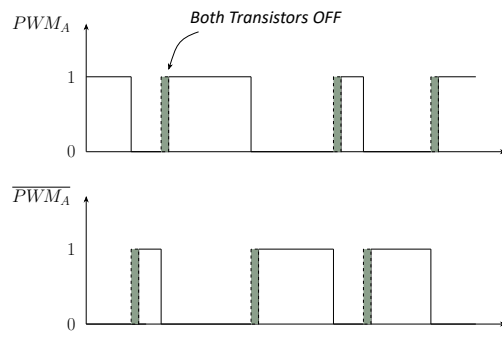


Figura B.4: Ondas PWM (com *Dead-Time*).

O valor do *dead-time* deverá ser suficiente para assegurar que, para um dado braço, um dos transístores saia completamente de condução antes que o outro entre em condução. O seu cálculo deverá englobar as características específicas dos transístores (e respetivos *drivers*) utilizados. Na Tabela B.2, são detalhadas as principais características dos MOSFETs presentes no conversor X-NUCLEO-IHM08M1.

Tabela B.2: Principais Características do MOSFET STL220N6F7 [56].

Parâmetro	Valor
V_{DS} (máx.)	60 V
V_{GS} (máx.)	± 20 V
V_{GS} (th)	2 – 4 V
R_{DS} (on)	1,2 – 1,4 m Ω
I_{DM} (máx.)	160 A
t_d (on)	41 ns
t_r	45 ns
t_d (off)	68 ns
t_f	35 ns

De acordo com a informação técnica fornecida pela Infineon, o cálculo do *dead-time* para IGBTs pode ser efetuado em concordância com a seguinte formulação [57]:

$$t_{dead} = [(t_d \text{ (off) máx.} - t_d \text{ (on) mín.}) + (t_{ppd} \text{ máx.} - t_{ppd} \text{ mín.})] \times 1,2 \quad (\text{B.1})$$

Em que:

- $t_d \text{ (off) máx.}$: Tempo máximo de atraso ao sair de condução;

B.1. Conversor de Potência X-NUCLEO-IHM08M1

- $t_{d(on) \text{ mín.}}$: Tempo mínimo de atraso ao entrar em condução;
- $t_{ppd \text{ máx.}}$: Tempo máximo de propagação do *driver*;
- $t_{ppd \text{ mín.}}$: Tempo mínimo de propagação do *driver*;
- 1,2: Margem de segurança de 20%.

Embora a equação (B.1) tenha sido desenvolvida para IGBTs, a falta de informação quanto ao *dead-time* adequado a MOSFETs, nomeadamente os do conversor X-NUCLEO-IHM08M1, levou a que esta formulação fosse utilizada como base para este projeto.

Assim, substituindo na equação (B.1) os parâmetros dos MOSFETs e dos *drivers* presentes no conversor em questão, vem:

$$t_{dead} = [(68 - 41) + (200 - 50)] \times 1,2$$
$$\Leftrightarrow t_{dead} = 212,4 \text{ ns} \quad (\text{B.2})$$

Dada a falta de informação quanto à viabilidade do valor obtido, optou-se, numa fase inicial, por assumir um valor de *dead-time* igual 530 ns . Embora 2,5 vezes superior ao valor obtido a partir da sugestão técnica da Infineon, os 530 ns não foram suficientes para garantir a integridade e a correta operação do conversor X-NUCLEO-IHM08M1.

Nesta perspetiva, o *dead-time* foi amplificado para 1000 ns ($1 \mu\text{s}$) e testado num novo conversor X-NUCLEO-IHM08M1. Embora possa comprometer ligeiramente a qualidade da forma de onda das tensões produzidas no conversor, este valor foi suficiente para assegurar a sua correta operação, tendo sido o utilizado no decorrer do projeto.

B.1.3 Medição da Tensão DC

O conversor X-NUCLEO-IHM08M1 possui, internamente, um circuito que permite efetuar a medição da tensão da fonte/carga DC (baterias). Este circuito é essencialmente um divisor de tensão, cuja saída V_{BUS} é já um sinal limitado a $3,3 \text{ V}$ (Figura B.5). Isto permite a sua ligação a uma das entradas analógicas do microcontrolador, através das quais, por meio do ADC, será possível calcular e monitorizar a tensão do conjunto de baterias.

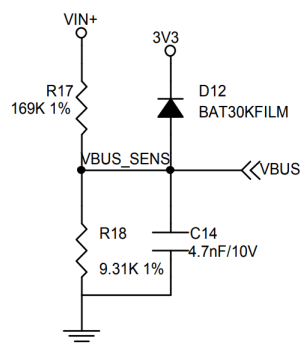


Figura B.5: Circuito de Medição da Tensão DC [43].

B.1.4 Medição da Temperatura

De modo semelhante à medição da tensão DC, o X-NUCLEO-IHM08M possui também um circuito de medição de temperatura. Esta é uma grandeza que permite detetar eventuais casos de sobre-aquecimento no conversor, daí a importância da sua monitorização. O circuito de medição de temperatura, ilustrado na Figura B.6, é também um divisor de tensão, baseado num *Negative Temperature Coefficient* (NTC) 10K.

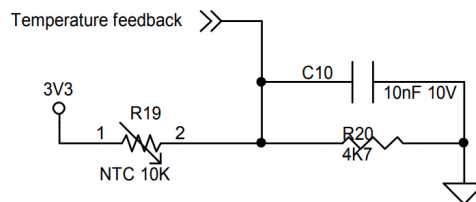


Figura B.6: Circuito de Medição de Temperatura [43].

Efetuada um estudo quanto às características do NTC presente no conversor, é possível traçar o gráfico da Figura B.7, que descreve o comportamento da tensão medida no pino *temperature feedback* em função da temperatura real.

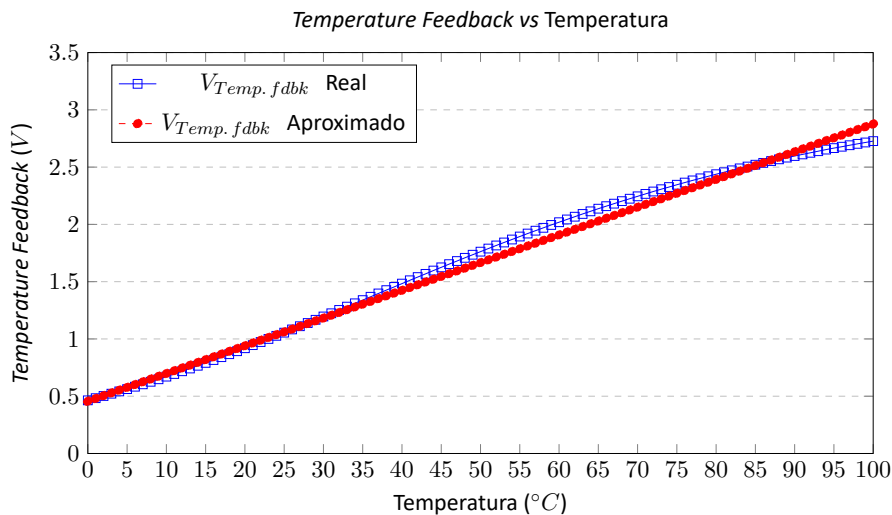


Figura B.7: *Temperature Feedback*.

Como é notório, a curva real pode ser aproximada a uma função linear, com um fator $R^2 = 0,9919$. A expressão da função aproximada é dada por:

$$V_{Temp. fdbk} = 0,0241 \cdot T + 0,5831 \quad (B.3)$$

Considerando as temperaturas expectáveis de funcionamento do conversor, o sinal $V_{Temp. fdbk}$ não excede os 3,3 V. Deste modo, à semelhança de V_{BUS} , poderá ser conectado a uma das entradas analógicas do microcontrolador. Posteriormente, recorrendo ao ADC e à equação (B.3), será possível calcular e monitorizar a temperatura do conversor.

B.2 Baterias

As características nominais das três baterias são semelhantes, e surgem sintetizadas na Tabela B.3.

Tabela B.3: Principais Características das Baterias [58].

Parâmetro	Valor
Tensão Nominal	12 V
Capacidade Nominal	7,2 Ah
Resistência Interna	22 mΩ
Tensão de Carga (<i>Cycle Use</i>)	14,4 – 15 V
Tensão de Carga (<i>Standby Use</i>)	13,5 – 13,8 V
Corrente Máxima de Carga	2,16 A
Corrente Máxima de Descarga	108 A (5 seg.)
Autodescarga Mensal	≈ 3,6%
Tempo de Vida Útil	3 – 5 Anos

B.3 Transdutores de Tensão LEM LV25-P

Estes transdutores são projetados para operar com uma corrente eficaz nominal (I_{PN}) de 10 mA no enrolamento primário. Nestas condições, a corrente eficaz no enrolamento do secundário (I_{SN}) é igual a 25 mA, pelo que a razão de transformação do transdutor é 2500 : 1000 [45]. A escolha das resistências a colocar nos enrolamentos do primário (R_1) e do secundário (R_m) deverá basear-se na tensão máxima a medir, por forma a assegurar que, sob essa tensão, os valores nominais das correntes em ambos os enrolamentos sejam respeitados. A Tabela B.4 destaca as principais características dos transdutores de tensão LEM LV25-P.

Os sensores disponíveis em laboratório, por já terem sido utilizados em projetos anteriores, possuem as resistências R_1 e R_m já definidas: $R_1 = 6,5 \text{ k}\Omega$ e $R_m = 50 \text{ }\Omega$ [59]. Estes parâmetros permitem medir tensões de até 92 V de pico ($65 \text{ V} \cdot \sqrt{2}$). Nestas circunstâncias, o sinal à saída do transdutor (V_m) oscila entre $-1,77 \text{ V}$ ($-25 \text{ mA} \cdot \sqrt{2} \cdot 50 \text{ }\Omega$) e $1,77 \text{ V}$ ($25 \text{ mA} \cdot \sqrt{2} \cdot 50 \text{ }\Omega$). Uma vez que, nestes moldes, o sinal V_m não é compatível com a excursão das entradas analógicas do microcontrolador (0 – 3,3 V), é necessário implementar um circuito de condicionamento de sinal.

Tabela B.4: Principais Características do Transdutor de Tensão LEM LV25-P [45].

Parâmetro	Valor
V_{CC}	±12...15 V
U_{PN}	10 – 500 V
I_{PN}	10 mA
I_P (<i>measuring range</i>)	0... ± 14 mA
I_{SN}	25 mA
R_m	30 – 350 Ω
N_P/N_S	2500 : 1000

O circuito de condicionamento de sinal, por forma a permitir medir tensões alternadas, deverá incluir um *offset* de $1,65\text{ V}$, valor a aplicar à entrada analógica do microcontrolador quando a tensão de entrada for nula. Idealmente, para os valores mínimo (pico negativo) e máximo (pico positivo) da tensão de entrada, o sinal condicionado deverá ser igual a 0 e $3,3\text{ V}$, respetivamente.

O circuito de condicionamento de sinal existente é exibido na Figura B.8.

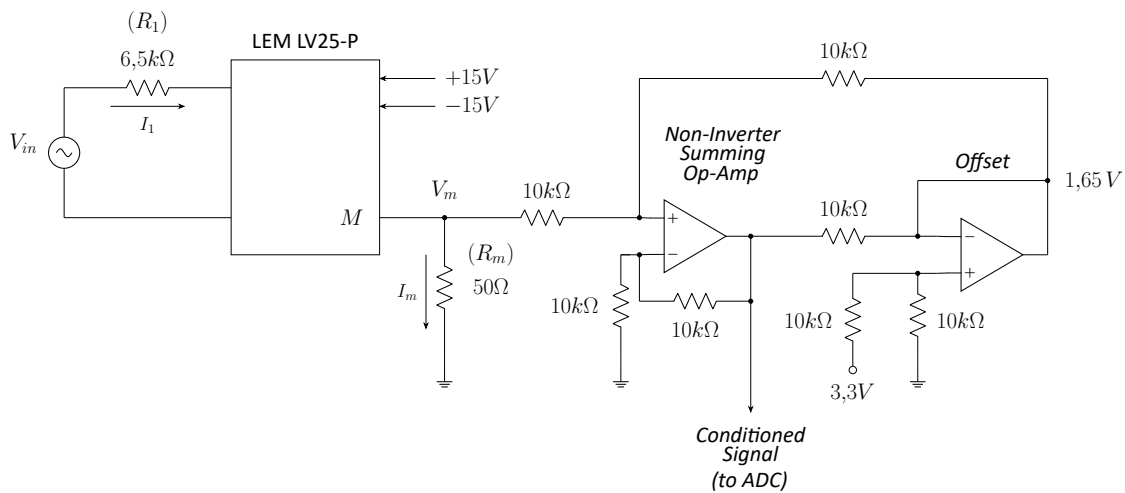


Figura B.8: Circuito de Condicionamento de Sinal dos Transdutores de Tensão LEM LV25-P [59].

Considerando o circuito de condicionamento de sinal existente em laboratório, com as características e tolerâncias dos respetivos componentes, a expressão do sinal condicionado (doravante designado por V_o (volt.)) vem dada por [59]:

$$V_o \text{ (volt.)} = 1,61 + 0,02(V_{in}) \quad (\text{B.4})$$

Nestas condições, perante as tensões da rede definidas ($-15 \leq V_{in} \leq 15\text{ V}$):

- $V_{in} = -15\text{ V} \Rightarrow V_o \text{ (volt.)} = 1,31\text{ V}$;
- $V_{in} = 0\text{ V} \Rightarrow V_o \text{ (volt.)} = 1,61\text{ V}$;
- $V_{in} = 15\text{ V} \Rightarrow V_o \text{ (volt.)} = 1,91\text{ V}$.

O facto de o circuito existente em laboratório ter sido projetado para operar com tensões V_{in} consideravelmente superiores a $\pm 15\text{ V}$ tem influência direta na precisão de conversão. Partindo do cálculo anterior, é perceptível que a razão de conversão é de 20 mV/V , isto é, por cada variação de 1 V em V_{in} , V_o (volt.) varia 20 mV . O desenvolvimento de um circuito de condicionamento de sinal específico para as tensões consideradas no âmbito deste projeto permitiria melhorar (aumentar) esta razão, mitigando os efeitos nefastos do ruído.

B.4 Transdutores de Corrente LEM LA55-P

Estes transdutores, projetados para operar com uma corrente eficaz nominal (I_{PN}) de 50 A no enrolamento primário, permitem medir correntes num intervalo entre 0 e 70 A. Assumindo a corrente eficaz nominal no enrolamento primário, a corrente eficaz no enrolamento do secundário (I_{SN}) é igual a 50 mA, o que constitui uma razão de transformação de 1:1000 [46]. A escolha da resistência a colocar no enrolamento secundário (R_m) deverá basear-se no valor máximo da corrente a medir.

A Tabela B.5 destaca as principais características dos transdutores de corrente LEM LA55-P.

Tabela B.5: Principais Características do Transdutor de Corrente LEM LA55-P [46].

Parâmetro	Valor
V_{CC}	$\pm 12 \dots 15 \text{ V}$
I_{PN}	50 A
I_P (measuring range)	$0 \dots \pm 70 \text{ A}$
I_{SN}	50 mA
R_m	10 – 160 Ω
N_P/N_S	1 : 1000

Uma vez que, no âmbito deste projeto, não será necessário medir correntes tão elevadas (50 A), a sensibilidade da medição poderá ser aprimorada fazendo com que o cabo da fase dê um determinado número de voltas (n) em torno do transdutor. Assim, a relação entre as correntes do enrolamento primário (cabo da fase) e do enrolamento secundário é:

$$I_S = n \cdot \frac{I_P}{1000} \quad (\text{B.5})$$

A Figura B.9 ilustra o circuito de condicionamento de sinal implementado. Este foi projetado de modo tal que o sinal de *output* do transdutor (V_m) possa ser adaptado à excursão das entradas analógicas do microcontrolador. Com base nos valores de corrente expectáveis (informação extraída da simulação), definiu-se $n = 3$ e $R_m = 100 \Omega$.

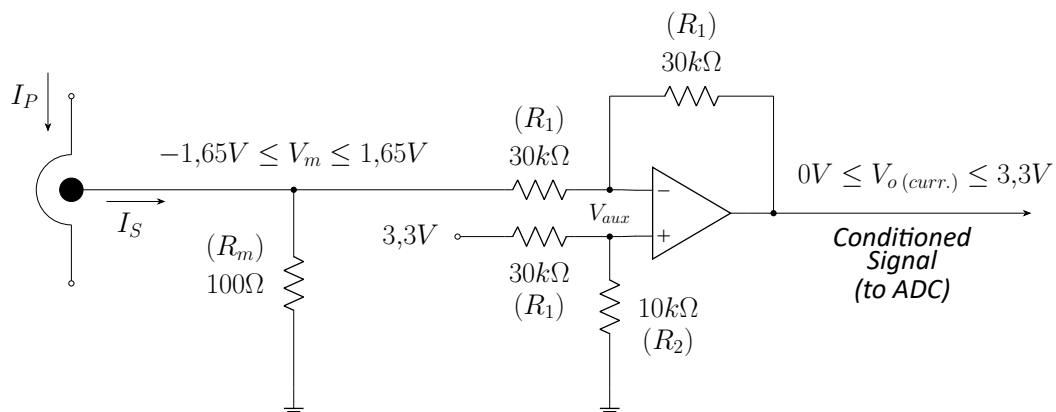


Figura B.9: Circuito de Condicionamento de Sinal dos Transdutores de Corrente LEM LA55-P.

À semelhança do circuito de medição de tensão, o circuito de condicionamento de sinal da Figura B.9 adiciona um *offset* de $1,65\text{ V}$ ao sinal de saída do transdutor de corrente (V_m). A relação entre as tensões à entrada e à saída deste circuito é dada por:

$$\begin{aligned} V_{o\text{ (curr.)}} &= 2V_{aux} - V_m \\ \Leftrightarrow V_{o\text{ (curr.)}} &= 1,65 - V_m \end{aligned} \quad (\text{B.6})$$

Uma nota para o facto de, na equação (B.6), ser possível converter o sinal “-” em “+”. Para tal, basta apenas inverter o sentido através do qual o cabo da fase cruza o transdutor.

Para que o sinal $V_{o\text{ (curr.)}}$ não exceda os $3,3\text{ V}$ (limite das entradas analógicas do microcontrolador), será necessário garantir que V_m se situe entre $-1,65\text{ V}$ e $1,65\text{ V}$. Nesta perspetiva, a corrente máxima a ser medida no circuito ($\sqrt{i_d^2 + i_q^2}$) não deverá exceder $\pm 5,5\text{ A}$, tal como demonstra a formulação (B.7).

$$\begin{aligned} |V_m| &< 1,65 \\ \Leftrightarrow |I_S \cdot R_m| &< 1,65 \\ \Leftrightarrow |3 \frac{I_P}{1000} \cdot 100| &< 1,65 \\ \Leftrightarrow |I_P| &< 5,5\text{ A} \end{aligned} \quad (\text{B.7})$$

Assumindo o limite anterior e a inversão do sentido com que o cabo de cada uma das fases cruza o transdutor:

- $I_P = -5,5\text{ A} \Rightarrow V_{o\text{ (curr.)}} = 0\text{ V};$
- $I_P = 0\text{ A} \Rightarrow V_{o\text{ (curr.)}} = 1,65\text{ V};$
- $I_P = 5,5\text{ A} \Rightarrow V_{o\text{ (curr.)}} = 3,3\text{ V}.$

Partindo do cálculo anterior, obtém-se uma razão de conversão de 300 mV/A , ou seja, por cada incremento de 1 A em I_P , $V_{o\text{ (curr.)}}$ aumenta 300 mV . Esta é uma razão que, em comparação com o circuito de medição de tensão, assegura uma maior imunidade ao ruído.

No seguimento do circuito exposto na Figura B.9, foi desenvolvida, com recurso ao *software* Altium, uma *Printed Circuit Board* (PCB) que agrega os circuitos de condicionamento de sinal dos três transdutores de corrente LEM LA55-P.

Anexo C

Análises e Resultados Adicionais

C.1 Influência da EMI na Rede

Por forma a averiguar os efeitos do ruído de alta frequência na rede, mediu-se, para uma das fases, a tensão à saída (lado do VSC) e à entrada (lado da rede) do respetivo transformador monofásico abaixador. Os resultados surgem na Figura C.1.

Como é possível notar, o próprio transformador atua como um filtro passa-baixo, impedindo que os harmónicos de alta frequência decorrentes da operação do VSC comprometam a forma de onda da tensão da rede.

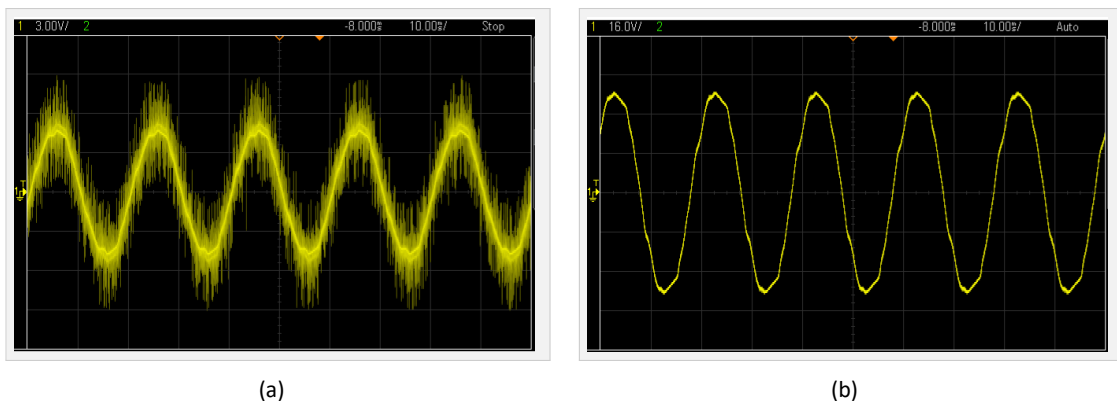


Figura C.1: Tensão Medida no (a) Secundário e no (b) Primário dos Transformadores Monofásicos Abaixadores.

Tipicamente, são incluídos no lado AC do VSC elementos dedicados à filtragem de harmónicos. Os filtros LCL, dada a sua capacidade de atenuação de harmónicos de alta frequência, surgem como uma solução apropriada para a ligação do VSC à rede (Figura C.2). Adicionalmente, face a filtros do tipo L, baseados apenas em indutâncias, os filtros LCL constituem também uma alternativa mais vantajosa em termos de custo e volume [60]. Ainda assim, apesar das suas vantagens, a configuração destes filtros está associada a um aspeto que deverá ser devidamente acautelado, a frequência de ressonância (frequência natural na qual a combinação das indutâncias e do condensador do filtro faz o sistema oscilar com maior amplitude).

Caso a corrente ou a tensão possuam harmônicos de frequência próxima à frequência de ressonância, o filtro poderá amplificá-los, originando oscilações indesejadas que comprometem a estabilidade do sistema. Este aspeto poderá ser contornado através da adoção de estratégias de *damping* adequadas, nomeadamente: *damping* passivo, caracterizado pela introdução de resistências em série com os condensadores do filtro; ou *damping* ativo, que recorre a métodos de controlo mais robustos e sofisticados para minimizar o efeito de ressonância [60].

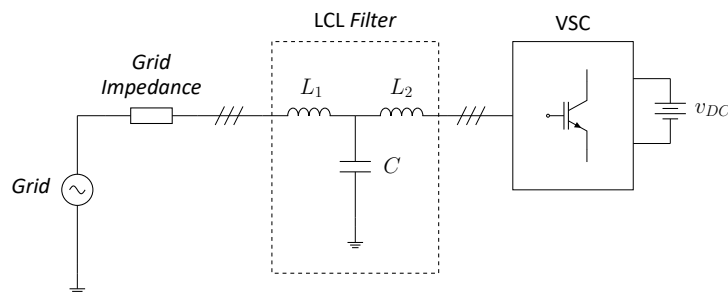


Figura C.2: Filtro LCL.

C.2 Harmónicos Presentes na Forma de Onda da Corrente da Rede

Como é possível notar na Figura C.3, a forma de onda da corrente surge afetada por harmónicos de baixa frequência, nomeadamente o 3º, 5º, 7º, 9º e 13º harmónicos. Diversos fatores poderão contribuir para esta deformação da forma de onda da corrente, de entre os quais se destacam: harmónicos presentes na tensão da rede; e inclusão de um *dead-time* nos sinais de controlo PWM [55].

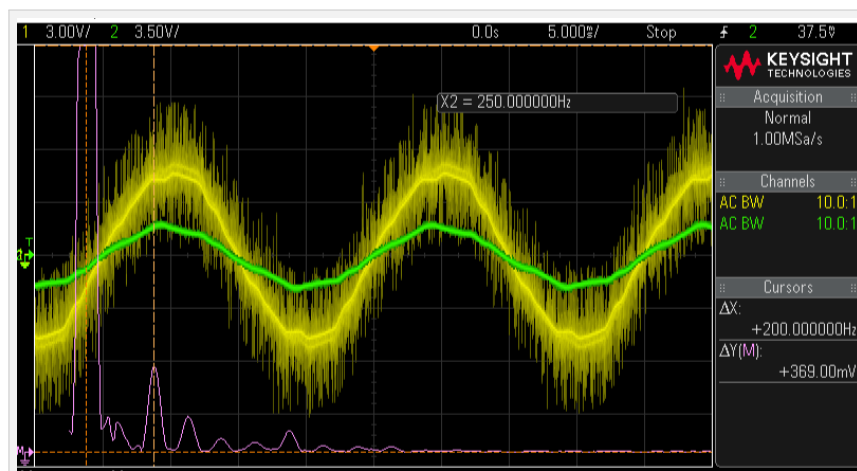


Figura C.3: Tensão (Amarelo) e Corrente (Verde) da Rede : $i_d^* = 2 \text{ A}$ e $i_q^* = 0 \text{ A}$.

A distorção da forma de onda da corrente será menos significativa à medida que a própria corrente aumenta. Considerando um aumento de corrente, o valor da componente fundamental crescerá proporcionalmente. Os harmónicos de baixa frequência não acompanharão, por sua vez, este aumento, podendo manter-se constantes ou, até, crescer, ainda que em menor proporção. Nesta perspetiva, a componente fundamental da corrente será mais preponderante face aos restantes harmónicos, reduzindo a *Total Harmonic Distortion* (THD).

C.2. Harmônicos Presentes na Forma de Onda da Corrente da Rede

A Figura C.4 exibe a forma de onda da tensão e corrente de uma das fases da rede, considerando uma corrente de referência $i_d^* = 4,5 A$. Em comparação com a Figura C.3, o aumento expressivo da corrente contribui para que a sua forma de onda tenda a aproximar-se de uma senoide perfeita.

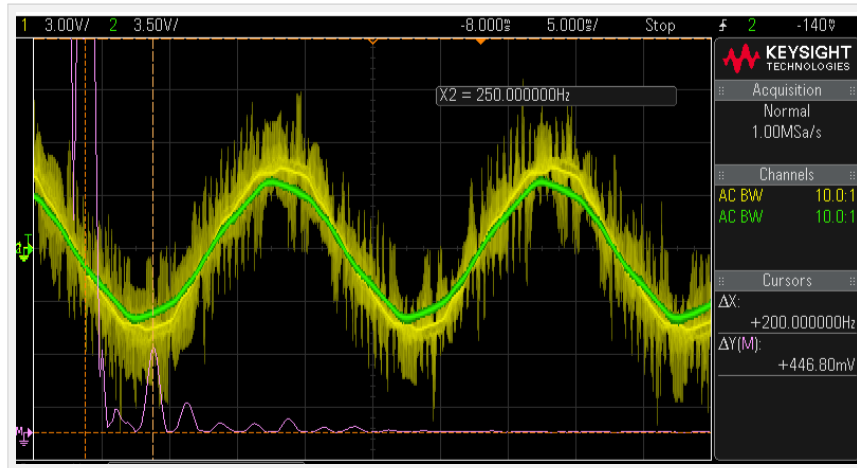


Figura C.4: Tensão (Amarelo) e Corrente (Verde) da Rede : $i_d^* = 4,5 A$ e $i_q^* = 0 A$.

A Tabela C.1 estabelece a comparação entre os principais harmônicos presentes na forma de onda da corrente para $i_d^* = 2 A$ e $i_d^* = 4,5 A$. Tal como referido, a THD, calculada com base nos 13 primeiros harmônicos, é inferior para valores de corrente superiores.

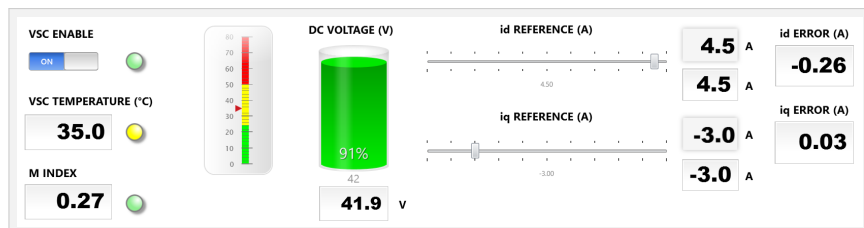
Tabela C.1: Harmônicos Presentes na Forma de Onda das Correntes: $i_d^* = 2 A$ vs $i_d^* = 4,5 A$.

Harmónico	Frequência	$i_d^* = 2 A$			$i_d^* = 4,5 A$		
		Valor de Pico	Valor Eficaz (RMS)	THD	Valor de Pico	Valor Eficaz (RMS)	THD
1°	50 Hz	1,88 V	1,33 V	7,07%	4,24 V	3 V	4,62%
2°	100 Hz	26,87 mV	19 mV		124,45 mV	88 mV	
3°	150 Hz	35,36 mV	25 mV		36,78 mV	26 mV	
4°	200 Hz	2,83 mV	2 mV		2,83 mV	2 mV	
5°	250 Hz	111,72 mV	79 mV		135,76 mV	96 mV	
6°	300 Hz	1,41 mV	1 mV		1,41 mV	1 mV	
7°	350 Hz	43,84 mV	31 mV		48,08 mV	34 mV	
8°	400 Hz	1,41 mV	1 mV		1,41 mV	1 mV	
9°	450 Hz	15,56 mV	11 mV		15,56 mV	11 mV	
10°	500 Hz	1,41 mV	1 mV		1,41 mV	1 mV	
11°	550 Hz	14,14 mV	10 mV		14,14 mV	10 mV	
12°	600 Hz	1,41 mV	1 mV		1,41 mV	1 mV	
13°	650 Hz	28,85 mV	20,4 mV		21,21 mV	15 mV	

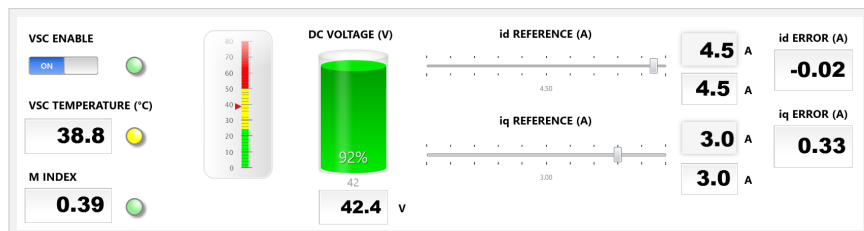
C.3 Operação como Retificador: FP Indutivo e FP Capacitivo

As Figuras C.5a e C.5b refletem, respectivamente, o estado do sistema sob um FP indutivo e um FP capacitivo.

Face ao cenário em que o FP é unitário ($v_{DC} = 42,1 \text{ V}$), o fluxo de potência ativa não é alterado ($i_d^* = 4,5 \text{ A}$). Desta forma, a tensão medida aos terminais do conjunto de baterias permanece essencialmente a mesma, tal como é possível notar.



(a)



(b)

Figura C.5: Estado do Sistema sob: (a) $i_d^* = 4,5 \text{ A}$ e $i_q^* = -3 \text{ A}$ (FP Indutivo) e (b) $i_d^* = 4,5 \text{ A}$ e $i_q^* = 3 \text{ A}$ (FP Capacitivo).

C.4 Operação como Inversor: FP Indutivo e FP Capacitivo

Como já mencionado, a operação do VSC como inversor é caracterizada por uma corrente i_d negativa. Partindo de uma corrente i_d negativa e da descarga das baterias, será possível, através de diferentes referências de corrente i_q , modificar o FP imposto pelo conversor à rede, tal como será avaliado de seguida. Quando a atuar como inversor, a análise do desfasamento entre a tensão e a corrente da rede nos casos em que o FP é indutivo ou capacitivo é contrária à da operação como retificador. Embora o desfasamento relativo entre ambas as grandezas permaneça constante, o facto de o sentido da corrente sofrer uma inversão leva a que a interpretação dos desfasamentos se altere. A Figura C.6 esclarece este tópico.

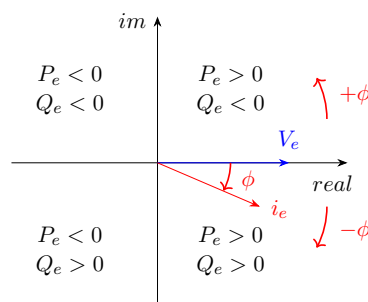


Figura C.6: Diagrama de Potências [22].

C.4. Operação como Inversor: FP Indutivo e FP Capacitivo

As Figuras C.7a e C.7b apresentam a tensão e corrente numa das fases da rede, para as situações em que o VSC impõe um FP indutivo e um FP capacitivo à rede, respetivamente. Para tal, foram definidas as seguintes correntes de referência:

- FP indutivo (Figura C.7a): $i_d^* = -4,5 \text{ A}$ ($P_e = -67,5 \text{ W}$) e $i_q^* = -3 \text{ A}$ ($Q_e = 45 \text{ var}$);
- FP capacitivo (Figura C.7b): $i_d^* = -4,5 \text{ A}$ ($P_e = -67,5 \text{ W}$) e $i_q^* = 3 \text{ A}$ ($Q_e = -45 \text{ var}$).

Ao contrário do que foi registado aquando da operação como retificador, na situação em que o FP é indutivo, é perceptível o avanço da corrente face à tensão. Atendendo à Figura C.6, isto traduz-se num funcionamento do VSC sob o terceiro quadrante de potências: rede a absorver potência ativa (VSC a atuar como inversor) e a fornecer potência reativa (FP indutivo). Por outro lado, para um FP capacitivo, verifica-se precisamente o oposto (corrente em atraso face à tensão). De acordo com a Figura C.6, isto corresponde a uma atuação do VSC sob o segundo quadrante de potências: rede a absorver potência ativa (VSC a atuar como inversor) e potência reativa (FP capacitivo).

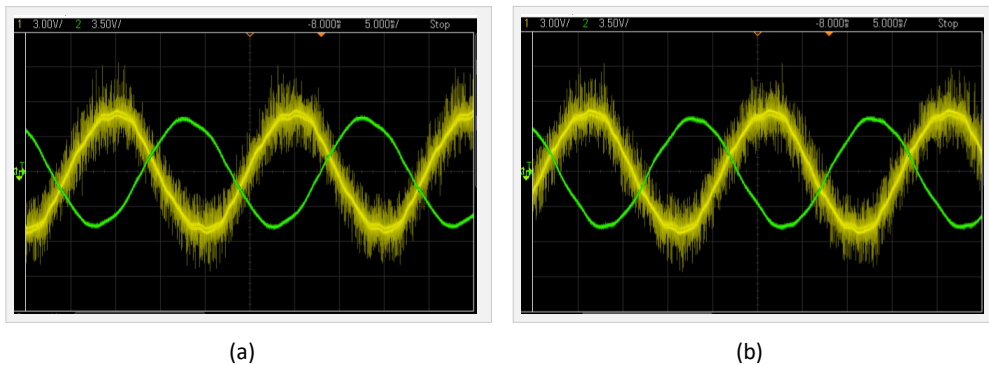


Figura C.7: Tensão (Amarelo) e Corrente (Verde) da Rede: (a) $i_d^* = -4,5 \text{ A}$ e $i_q^* = -3 \text{ A}$ e (b) $i_d^* = -4,5 \text{ A}$ e $i_q^* = 3 \text{ A}$.

Face ao cenário em que o FP é unitário ($v_{DC} = 27,5 \text{ V}$), o fluxo de potência ativa não é alterado ($i_d^* = -4,5 \text{ A}$). Desta forma, a tensão medida aos terminais do conjunto de baterias não varia significativamente, tal como é possível notar nas Figuras C.8a e C.8b.

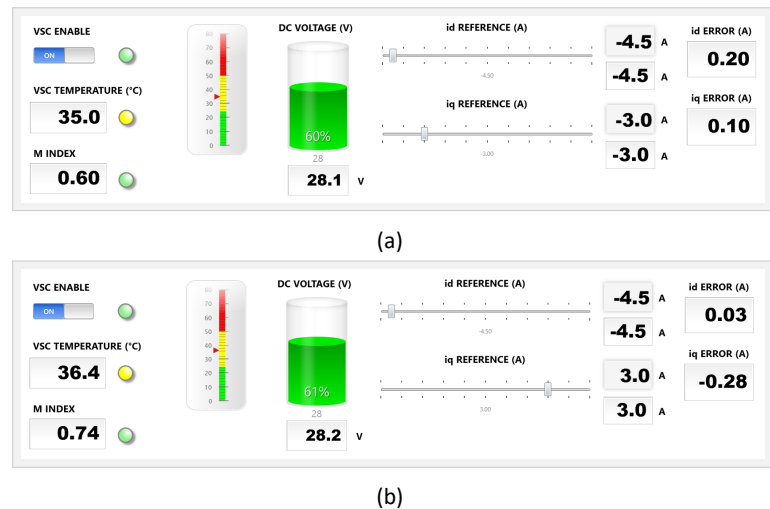
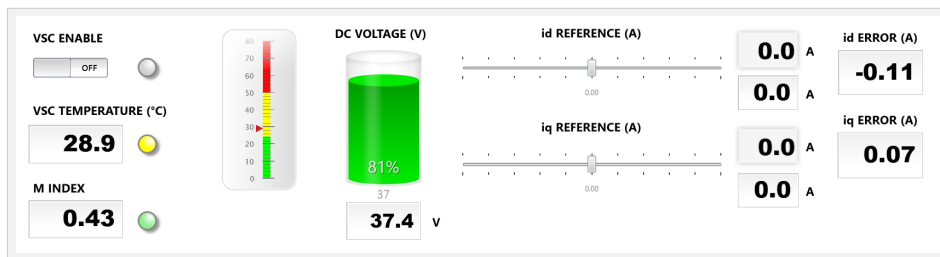


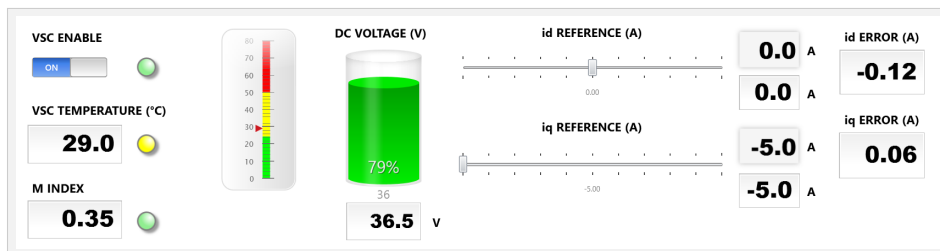
Figura C.8: Estado do Sistema sob: (a) $i_d^* = -4,5 \text{ A}$ e $i_q^* = -3 \text{ A}$ (FP Indutivo) e (b) $i_d^* = -4,5 \text{ A}$ e $i_q^* = 3 \text{ A}$ (FP Capacitivo).

C.5 Controlo Exclusivo de Potência Reativa

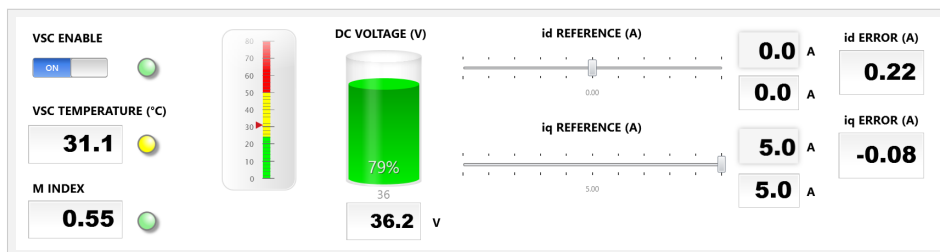
Face ao cenário inicial em que o VSC está desligado e, portanto, também não existe fluxo de potência ativa (Figura C.9a), a tensão medida aos terminais do conjunto de baterias aquando do ajuste exclusivo de potência reativa varia de modo pouco significativo, tal como comprovam as Figuras C.9b e C.9c.



(a)



(b)



(c)

Figura C.9: (a) Estado Inicial do Sistema e Estado do Sistema sob: (b) $i_d^* = 0$ A e $i_q^* = -5$ A (Absorção de Potência Reativa) e (c) $i_d^* = 0$ A e $i_q^* = 5$ A (Injeção de Potência Reativa).

DECLARAÇÃO DE INTEGRIDADE

DECLARAÇÃO DE INTEGRIDADE

Declaro ter conduzido este trabalho académico com integridade. Não plagiei ou apliquei qualquer forma de uso indevido de informações ou falsificação de resultados ao longo do processo que levou à sua elaboração.

Declaro que o trabalho apresentado neste documento é original e de minha autoria, não tendo sido utilizado anteriormente para nenhum outro fim.

Declaro ainda que tenho pleno conhecimento do Código de Conduta Ética do P.PORTO.

ISEP, Porto, 22 de julho de 2025



Assinado por: André Filipe
Dias de Amorim
Identificação: B130743360
Data: 2025-07-22 às 13:58:52