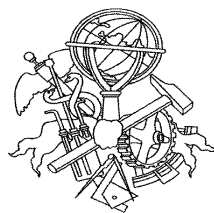


# APLICAÇÃO DE DISPOSITIVOS ANALÓGICOS RECONFIGURÁVEIS

Adelino de Oliveira Santos



Mestrado em Engenharia Electrotécnica e de Computadores

Área de Especialização de Automação e Sistemas

Departamento de Engenharia Electrotécnica

Instituto Superior de Engenharia do Porto

2010

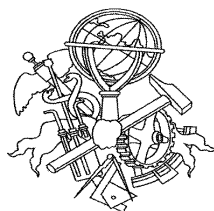


Este relatório satisfaz, parcialmente, os requisitos que constam da Ficha da Unidade Curricular de Tese/Dissertação, do 2º ano, do Mestrado em Engenharia Electrotécnica e de Computadores

Candidato: Adelino de Oliveira Santos, N° 1000207, santos.adelino.2@iol.pt

Orientação científica: Ramiro de Sousa Barbosa, rsb@isep.ipp.pt

Co-orientação científica: Manuel Fernando dos Santos Silva, mss@isep.ipp.pt



Mestrado em Engenharia Electrotécnica e de Computadores

Área de Especialização de Automação e Sistemas

Departamento de Engenharia Electrotécnica

Instituto Superior de Engenharia do Porto

13 de Novembro de 2010



## *Agradecimentos*

À minha esposa que sempre me apoiou.

Ao meu orientador Professor Eng.º Ramiro Barbosa e co-orientador Professor Eng.º Manuel Silva por todo o apoio que me foi prestado.



## *Resumo*

Esta Tese tem como principal objectivo efectuar um estudo sobre o funcionamento e aplicabilidade das FPAA's, um circuito integrado reprogramável que permite emular sistemas analógicos.

São estudadas diversas tecnologias e modelos disponíveis no mercado. Trata-se de uma tecnologia recente que está ainda numa fase de desenvolvimento com vista a atingir a sua maturidade e uma maior penetração no mercado.

Assim como nas FPGAs, a tecnologia FPAA tem como objectivo aumentar a produtividade, reduzindo tempo e gastos no desenvolvimento, facilitando futuras alterações com o mínimo de impacto no sistema em execução. No entanto, em circuitos analógicos mais complexos ainda apresenta algumas limitações quando comparada com os sistemas de electrónica analógica clássicos, nomeadamente as frequências de funcionamento e limitações no número de componentes que pode emular num único integrado. Contudo, existem grandes vantagens quando utilizada em sistemas de condicionamento de sinal, filtragem e controlo.

Em termos de ensaio e implementação, esta Tese foca a utilização desta tecnologia para o controlo industrial. São realizadas duas implementações: o controlo de temperatura de um forno e o controlo de velocidade de um motor DC. Quer numa aplicação quer noutra, a FPAA faz a leitura do valor de referência pretendido e o valor real medido e, conforme o erro resultante, actua sobre o actuador de modo a controlar o sistema. São utilizados três métodos de controlo, nomeadamente o controlo simples por comparação (*ON/OFF*), controlo por PWM e controlo PID. Para cada uma das implementações é analisado o comportamento do sistema. Os resultados das experiências efectuadas confirmam a eficácia e desempenho das FPAA's no condicionamento de sinal e no controlo de sistemas.

### *Palavras-Chave*

FPAA, AMPOP, Controlo, Processamento de sinal analógico, PLD, CAB, PWM, PID, CAM.



## *Abstract*

The objective of this thesis is to study the operation and applicability of the FPAA's, a reprogrammable chip that can emulate analog circuit systems.

Several technologies and types of FPAA's available in the market are studied. This is a recent technology which is still in a development phase in order to reach its maturity and greater market penetration.

As in FPGAs, the FPAA technology is aimed to increase the productivity, reducing the development time and facilitating future changes with minor impact on the implemented system. However, these devices still present some limitations when compared with the realization of complex analog systems, including the frequency of operation and limitations on the number of components that can be emulated in a single device.

However, the FPAA's have major advantages when used in signal conditioning systems, filtering and control.

The FPAA applications in this thesis are focused in the test and implementation of this technology for industrial control. Two applications are developed: a temperature control of an oven system and a DC motor speed control system. In both applications, the FPAA reads the desired reference value and the actual value of the measured variable and, as function of the resulting error, acts on the actuator to control the system. Three methods of control are used, namely ON/OFF control, PWM control and PID control. For each application the behavior of the system is analyzed. The obtained results from the two experiments confirm the effectiveness and performance of the FPAA's in the signal conditioning and automatic control areas.

### *Keywords*

FPAA, AMPOP, Control, Analog signal processing, PLD, CAB, PWM, PID, CAM.



# Índice

AGRADECIMENTOS .....	I
RESUMO .....	III
ABSTRACT .....	V
ÍNDICE.....	VII
ÍNDICE DE FIGURAS.....	IX
ÍNDICE DE TABELAS.....	XIII
ACRÓNIMOS .....	1
<b>1. INTRODUÇÃO .....</b>	<b>3</b>
1.1. CONTEXTUALIZAÇÃO.....	3
1.2. OBJECTIVOS .....	4
1.3. CALENDARIZAÇÃO .....	4
1.4. ORGANIZAÇÃO DO RELATÓRIO .....	4
<b>2. TECNOLOGIA FPAA .....</b>	<b>7</b>
2.1. ABORDAGEM HISTÓRICA .....	7
2.2. PROTOTIPAGEM RÁPIDA DE CIRCUITOS ANALÓGICOS .....	9
2.3. FPAA – <i>FIELD PROGRAMMABLE ANALOG ARRAY</i> .....	11
2.3.1. <i>Tecnologia Tempo Contínuo vs Tempo Discreto</i> .....	11
2.3.2. <i>FPAA do tipo tempo discreto</i> .....	12
2.3.3. <i>FPAA do tipo tempo contínuo</i> .....	16
2.4. FPAA S / DPASPS DA ANADIGM.....	17
2.4.1. <i>A dpASP AN221E04</i> .....	19
2.4.2. <i>Recursos especiais da AN221E04</i> .....	22
2.4.3. <i>Células Entrada/Saída reconfiguráveis</i> .....	22
2.4.4. <i>Considerações especiais na utilização de bypass</i> .....	24
2.4.5. <i>Entrada/Saída Multiplexada</i> .....	25
2.4.6. <i>Células de saída</i> .....	25
2.4.7. <i>CABs – Blocos Analógicos Configuráveis</i> .....	26
2.4.8. <i>Look-up Table</i> .....	28
2.4.9. <i>Operação do SAR-ADC (Conversor Analógico/Digital)</i> .....	29
2.4.10. <i>Tensão de Referência e Gerador de correntes de referência</i> .....	30
2.4.11. <i>Relógios da FPAA</i> .....	31
2.4.12. <i>Resumo das principais características da AN221E04</i> .....	32
2.5. OUTRAS FPAAS COMERCIAIS .....	32
2.5.1. <i>FPAA AN10E40 da Anadigm</i> .....	32

2.5.2.	<i>FPAA AN120E04 da Anadigm</i> .....	36
2.5.3.	<i>Comparativo das características gerais das FPAAs da Anadigm</i> .....	38
2.5.4.	<i>FPAAs da família ispPAC da Lattice Semicondutores</i> .....	39
2.5.5.	<i>ispPAC Power Manager da Lattice Semicondutores</i> .....	43
2.5.6.	<i>FPAAs da Cypress</i> .....	44
<b>3.</b>	<b>APLICAÇÕES COM FPAA</b> .....	<b>47</b>
3.1.	CONDICIONAMENTO DE SINAIS ANALÓGICOS .....	47
3.1.1.	<i>Sinais diferenciais e não diferenciais</i> .....	48
3.1.2.	<i>Cuidados na ligação de sensores à FPAA</i> .....	50
3.1.3.	<i>Exemplos de ligação de sensores a uma FPAA</i> .....	60
3.1.4.	<i>Funções de condicionamento de sinais</i> .....	64
3.2.	APLICAÇÕES COM FILTROS .....	65
3.2.1.	<i>Aplicações de filtros em áudio</i> .....	66
3.2.2.	<i>Aplicações em tecnologia RFID</i> .....	67
3.2.1.	<i>Filtros - placa de desenvolvimento da Anadigm</i> .....	69
3.3.	APLICAÇÕES INDUSTRIAIS – CONTROLO PID .....	71
3.3.1.	<i>O Controlo PID</i> .....	71
3.3.2.	<i>Soluções para controlo PID da Anadigm</i> .....	74
3.4.	APLICAÇÕES NA ÁREA DA MEDICINA .....	78
3.5.	OBRAS, TRABALHOS E TESES PUBLICADAS COM ESTUDO E APLICAÇÕES DAS FPAAs.....	79
<b>4.</b>	<b>ENSAIO DA FPAA</b> .....	<b>81</b>
4.1.	SOFTWARE DE PROGRAMAÇÃO – ANADIGMDESIGNER2 .....	81
4.1.1.	<i>Módulos Analógicos Configuráveis</i> .....	82
4.1.2.	<i>Simulação</i> .....	84
4.2.	APLICAÇÃO DA FPAA – KIT DE ENSAIO E MAQUETA .....	88
4.3.	APLICAÇÃO DA FPAA – ESTUDO DO KIT DE DESENVOLVIMENTO.....	90
4.4.	APLICAÇÃO DA FPAA – CONTROLO DE TEMPERATURA .....	93
4.4.1.	<i>Controlo de temperatura com sensor linear</i> .....	93
4.4.2.	<i>Controlo de temperatura com sensor não linear</i> .....	102
4.5.	APLICAÇÃO DA FPAA – CONTROLO DE VELOCIDADE DE UM MOTOR .....	104
4.6.	COMENTÁRIOS E ANÁLISE DOS RESULTADOS .....	112
<b>5.</b>	<b>CONCLUSÕES</b> .....	<b>115</b>
	<b>REFERÊNCIAS DOCUMENTAIS</b> .....	<b>117</b>
	<b>ANEXO A. ESQUEMA DA PLACA DE INTERFACE DE ENTRADAS E SAÍDAS DA FPAA</b> .....	<b>119</b>
	<b>ANEXO B. LAYOUT E PISTAS DA PLACA DE INTERFACE DE ENTRADAS E SAÍDAS DA FPAA</b> .....	<b>120</b>
	<b>ANEXO C. TABELA DE LINEARIZAÇÃO PARA A NTC UTILIZADA NESTA TESE</b> .....	<b>121</b>

## Índice de Figuras

Figura 1	Tradicional processo de desenvolvimento de dispositivos analógicos [6].....	10
Figura 2	Tecnologia de prototipagem rápida de dispositivos analógicos [6] .....	10
Figura 3	Tecnologia S/C) [9] .....	12
Figura 4	Diagrama temporal do accionamento dos interruptores [9] .....	13
Figura 5	Reprodução de resistências negativas [9].....	14
Figura 6	Realização de um filtro de 2ª ordem com malhas RC activas [9] .....	14
Figura 7	Realização de um filtro de 2ª ordem com tecnologia S/C [9] .....	15
Figura 8	Utilização de transístores MOSFET como transdutores [9] .....	17
Figura 9	Estrutura da AN221E04 [12].....	20
Figura 10	Célula entrada/saída configurável [12].....	23
Figura 11	Célula entrada/saída multiplexada [12].....	25
Figura 12	Célula de saída analógica [12].....	25
Figura 13	Estrutura de um Bloco Analógico Configurável [12].....	26
Figura 14	Tensão de referência e gerador de corrente [12] .....	30
Figura 15	Características e domínios dos relógios na FPAA [12].....	31
Figura 16	Representação em blocos da AN10E40 [17].....	33
Figura 17	Barramentos e sua interligação por interruptores “ <i>crossover</i> ” [17].....	34
Figura 18	Ligações locais da AN10E40 [17].....	35
Figura 19	Configuração interna de um CAB da AN10E40 [17] .....	35
Figura 20	Esquema de comutação de condensadores adoptado pela Anadigm [17]. .....	35
Figura 21	Estrutura da AN120E04 [18].....	37
Figura 22	Estrutura da ispPAC10 e suas principais aplicações [19] .....	39
Figura 23	Estrutura da ispPAC20 e suas principais aplicações [19] .....	40
Figura 24	Estrutura da ispPAC30 e suas principais aplicações [19] .....	41
Figura 25	Estrutura da ispPAC80/81 [18] .....	42
Figura 26	Representação esquemática de um CAB da família ispPAC [18].....	42
Figura 27	Representação esquemática de um CAB da família ispPAC [18].....	43
Figura 28	Estrutura interna da ispPAC Power 1208 [18] .....	44
Figura 29	Estrutura interna dos integrados da família PSOC [24] .....	45
Figura 30	Estrutura interna dos blocos analógicos [24].....	46
Figura 31	Aquisição de sinal em modo não diferencial.....	48
Figura 32	Aquisição de sinal em modo diferencial com cabo de par entrançado.....	49
Figura 33	Aquisição de sinal em modo diferencial e não diferencial.....	49
Figura 34	Aquisição de sinal em modo não diferencial [26].....	50

Figura 35	Ligação do terminal negativo da entrada a VMR (+2 V) [26] .....	51
Figura 36	Utilização de um sensor em ponte de <i>Wheatstone</i> [26].....	51
Figura 37	Aplicação de uma tensão de <i>offset</i> à entrada da FPAA. [27] .....	52
Figura 38	Aplicação de uma tensão de <i>offset</i> à entrada da FPAA [27]. .....	53
Figura 39	Acoplamento AC externo [26]. .....	53
Figura 40	Aquisição de sinais com amplificador <i>chopper</i> [26].....	54
Figura 41	Referenciação de sinais com divisor de tensão. [26].....	55
Figura 42	Referenciação de sinais com divisor de tensão [26].....	56
Figura 43	Referenciação de sinais com diodo zéner [26].....	56
Figura 44	Referenciação de sinais utilizando um circuito externo com AMPOP [26].....	57
Figura 45	Referenciação de sinais diferenciais utilizando um AMPOP externo [26] .....	58
Figura 46	Conversão de um sinal não diferencial para um sinal diferencial [26].....	58
Figura 47	Conversão de um sinal diferencial para um sinal não diferencial [26].....	59
Figura 48	Sensor estimulado [27].....	59
Figura 49	Ligação de um termistor a uma FPAA [27] .....	60
Figura 50	Ligação de um termopar a uma FPAA [27] .....	60
Figura 51	Ligação de um extensómetro a uma FPAA [27] .....	61
Figura 52	Ligação de um sensor de efeito de Hall a uma FPAA. [27] .....	61
Figura 53	Ligação de um LVDT a uma FPAA [27] .....	62
Figura 54	Linearização do sinal de um sensor [27] .....	63
Figura 55	Função de transferência, software <i>Anadigm Designer2</i> .....	63
Figura 56	Funções de condicionamento de sinais tipicamente disponíveis numa FPAA.....	64
Figura 57	Funções CAM no software <i>Anadigm Designer2</i> .....	64
Figura 58	Utilização de uma FPPA para aquisição e filtragem de sinais de áudio [31] .....	66
Figura 59	Estrutura de um integrado <i>SonicMaster2</i> da <i>Anadigm</i> .....	67
Figura 60	Aspecto de um sensor RFID.....	68
Figura 61	<i>RangeMaster</i> chip set da <i>Anadigm</i> [29] .....	68
Figura 62	Placa de desenvolvimento <i>Anadigm Filter1</i> [28] .....	69
Figura 63	Estrutura interna da <i>AnadigmFilter1</i> [28] .....	70
Figura 64	Esquema da placa de desenvolvimento <i>AnadigmFilter1</i> [28] .....	70
Figura 65	Diagrama de blocos de um sistema de controlo com um controlador PID .....	72
Figura 66	a) PID com AMPOPS convencionais, b) PID implementado em FPAA .....	73
Figura 67	Fluxograma de um sistema de controlo proporcional (Adaptado de [25]).....	74
Figura 68	Fluxograma de um sistema de controlo proporcional (Adaptado de [25]).....	75
Figura 69	Implementação no software <i>Anadigm Designer2</i> .....	76
Figura 70	Fluxograma de um sistema de controlo PI (adaptado de [25]).....	77
Figura 71	Implementação no software <i>Anadigm Designer2</i> .....	77
Figura 72	Aquisição de sinais eléctricos num electrocardiograma.....	79
Figura 73	Exemplo de programação de um filtro com o software <i>Anadigm Designer 2</i> .....	82

Figura 74	Interligação de vários CAMs.....	83
Figura 75	Interligação de várias FPAA .....	84
Figura 76	Sistema a simular no <i>software Anadigm Designer 2</i> .....	84
Figura 77	Circuito para simulação implementado no <i>software Anadigm Designer 2</i> .....	85
Figura 78	Resultados da simulação .....	85
Figura 79	Resultados da simulação - Sobreposição de ondas.....	86
Figura 80	Resultados da simulação - Desfasamento e amplitude.....	86
Figura 81	Circuito implementado pelos CABs.....	87
Figura 82	Parâmetros de configuração do filtro .....	88
Figura 83	Placa de desenvolvimento da Anadigm.....	89
Figura 84	Maqueta de desenvolvimento.....	90
Figura 85	1º Teste – Implementação no <i>software Anadigm Designer</i> .....	91
Figura 86	1º Teste – Sinal na entrada e nas saídas da FPAA .....	91
Figura 87	2º Teste – Implementação no <i>software Anadigm Designer</i> .....	92
Figura 88	2º Teste – Sinal na entrada e nas saídas da FPAA .....	92
Figura 89	2º Teste – Sinal nas saídas da FPAA com $F_c=1$ kHz e $F_c=2$ kHz .....	93
Figura 90	Controlo temperatura – Entradas da FPAA.....	94
Figura 91	Controlo de temperatura – Saídas da FPAA .....	95
Figura 92	Implementação em FPAA do controlo ON/OFF.....	96
Figura 93	Controlo ON/OFF - Tensão aos terminais da lâmpada (obtido por osciloscópio) .....	96
Figura 94	Controlo ON/OFF – Resposta da temperatura no tempo .....	97
Figura 95	Implementação em FPAA do controlo PWM com sensor LM35 .....	97
Figura 96	Controlo PWM - Tensão aos terminais da lâmpada.....	98
Figura 97	Implementação em FPAA do controlo PID .....	99
Figura 98	Função PID do <i>software Anadigm Designer 2</i> .....	100
Figura 99	CAMs geradas pela Função PID do <i>software Anadigm Designer 2</i> .....	100
Figura 100	Controlo PID - Tensão aos terminais da lâmpada.....	101
Figura 101	Utilização da função de transferência para linearização de sinal .....	102
Figura 102	Esquema de ligação da NTC à FPAA .....	103
Figura 103	Tabela de linearização .....	103
Figura 104	Controlo de velocidade - Esquema de funcionamento .....	104
Figura 105	Controlo de velocidade – Entradas da FPAA.....	104
Figura 106	Controlo de velocidade – Saídas da FPAA .....	105
Figura 107	Controlo de velocidade - Implementação em FPAA do controlo ON/OFF .....	105
Figura 108	Controlo ON/OFF - Tensão aos terminais do motor .....	106
Figura 109	Controlo ON/OFF – Resposta da velocidade no tempo .....	106
Figura 110	Controlo de velocidade - Implementação em FPAA do controlo PWM.....	107
Figura 111	Controlo de velocidade – PWM gerado para baixa velocidade.....	108
Figura 112	Controlo de velocidade – PWM gerado quando se aplica uma carga ao motor.....	108

Figura 113	Controlo PWM – Resposta da velocidade no tempo.....	109
Figura 114	Controlo de velocidade – Implementação em FPAA do controlo PID .....	109
Figura 115	Controlo de velocidade por PID – Tensão aos terminais do motor .....	110
Figura 116	Controlo PID – Resposta da velocidade no tempo .....	111
Figura 117	Tensão aos terminais do dínamo - Sem filtragem .....	111
Figura 118	Tensão aos terminais do dínamo - Com filtragem.....	112

## *Índice de Tabelas*

Tabela 1	Calendarização das tarefas desenvolvidas.....	4
Tabela 2	Comparativo das características gerais das FPPAs da família Vortex da Anadigm.....	38
Tabela 3	Registo de controlo para reprogramação dinâmica da FPAA .....	71
Tabela 4	Possibilidade de configurações entre topologia de filtro e sua função/resposta [28] ...	71
Tabela 5	Efeitos no aumento independente dos parâmetros de um controlador PID [13] .....	74
Tabela 6	Obras, trabalhos e teses publicadas com estudos e aplicações com FPAAs .....	80



## *Acrónimos*

A/D	–	Analógico/Digital
AMPOP	–	Amplificador Operacional
ASIC	–	<i>Application Specific Integrated Circuits</i>
AVCC	–	Alimentação positiva do dispositivo integrado
AVSS	–	Alimentação negativa do dispositivo integrado
CAB	–	<i>Configurable Analog Block</i>
CAM	–	<i>Configurable Analog Modules</i>
CLOCK	–	Frequência de CLOCK (Relógio)
CPLD	–	<i>Complex programmable logic device</i>
D/A	–	Digital/Analógico
DHT	–	Distorção harmónica total
dpASP	–	<i>Dinamically Programmable Analog System Processing.</i>
DSP	–	<i>Digital Signal Processor</i>
EEPROM	–	<i>Electrically Erasable Programmable Read-Only Memory</i>
E/S	–	Entrada/Saída
FPAA	–	<i>Field Programmable Analog Array</i>
FPGA	–	<i>Field Programmable Gate Array</i>
IMP	–	<i>International Microelectronics Products</i>

LUT	– <i>Lookup Table</i>
MCU	– <i>Multy Chip Unit</i>
MSB	– <i>Significant Bit</i>
NOL	– <i>Non-Overlapping, ou relógio de não sobreposição</i>
PID	– <i>Proporcional, Integral e Derivativo</i>
PLD	– <i>Programmable Logic Devices</i>
PSOC	– <i>Programmable Embedded System-On-Chip</i>
SAR	– <i>Successive Approximation Register</i>
SDRAM	– <i>Double-data-rate synchronous dynamic random access memory</i>
SNR	– <i>Relação Sinal-Ruído</i>
SRAM	– <i>Static Random Access Memory</i>
SPI	– <i>Serial Peripheral Interface Bus</i>
TRAC	– <i>Totally Reconfigurable Analogue Circuit</i>
VMR	– <i>VMR – Voltage Main Reference</i>
VLSI	– <i>Very Large Scale Integration</i>

# 1. INTRODUÇÃO

## 1.1. CONTEXTUALIZAÇÃO

Os dispositivos de *hardware* reconfiguráveis no domínio dos sinais analógicos, são há muito tempo de grande interesse para os projectistas e fabricantes de *hardware*. A criação de sistemas analógicos continua a ser bastante complexa, aliada a longos períodos de ensaios e testes.

O aparecimento da FPGA revolucionou o desenvolvimento de circuitos digitais e o mesmo ocorre com a tecnologia FPAA, que disponibiliza interfaces e recursos para o desenvolvimento de sistemas analógicos (filtros, controladores PID, somadores, multiplicadores, *sample-and-hold*, etc.) baseados em Amplificadores Operacionais, que podem ser facilmente alterados, sem que seja necessária a reconstrução do circuito ou a substituição de componentes electrónicos.

Esta tecnologia, embora recente, tem vindo a desenvolver-se e a sua utilização tem incidido sobre áreas de: condicionamento de sinais e interface de sensores; Filtragem de sinais; Automação e controlo industrial; Monitorização e diagnósticos médicos; Controlo de precisão; Condicionamento de sinais de frequência ultra baixa; Sistemas RFID, etc.

## 1.2. OBJECTIVOS

Este trabalho tem os seguintes objectivos:

- Estudo sobre o desenvolvimento das FPAA's e comparativo entre fabricantes;
- Descrever o funcionamento de uma FPAA;
- Estudo da aplicabilidade e viabilidade das FPPAs em diferentes áreas (tais como, condicionamento e filtragem de sinais, geração de sinais, algoritmos de controlo, entre outras);
- Estabelecer as suas vantagens e desvantagens face às técnicas clássicas de realização de circuitos analógicos;
- Ensaio prático de uma FPAA, com aplicação na área de medição e controlo da temperatura de um forno assim como da velocidade de um motor.

## 1.3. CALENDARIZAÇÃO

A Tabela 1 mostra o cronograma das tarefas desenvolvidas ao longo deste trabalho.

**Tabela 1 Calendarização das tarefas desenvolvidas**

Tarefa \ Mês	2010				2011										
	09	10	11	12	1	2	3	4	5	6	7	8	9	10	11
Capítulo 1 - Introdução	■	■													
Capítulo 2 - Tecnologia FPAA			■	■	■	■									
Capítulo 3 - Aplicações com FPAA							■	■	■	■	■				
Capítulo 4 - Ensaio FPAA												■	■	■	■
- Relatório do trabalho	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
- Apresentação do trabalho															■

## 1.4. ORGANIZAÇÃO DO RELATÓRIO

Conforme calendarização anterior, o desenvolvimento deste trabalho iniciou-se com um estudo da evolução histórica da FPAA, no Capítulo 2, no qual foi consultada uma vasta bibliografia. Foi feito o estudo de diversos tipos de FPAA's produzidas por diferentes fabricantes e que são baseadas em duas diferentes tecnologias, tempo real e tempo discreto.

Foram estudadas as suas vantagens e desvantagens face à montagem tradicional de circuitos analógicos recorrendo a componentes passivos, assim como foi feito o estudo de todos os componentes internos reconfiguráveis como às entradas e saídas, os CABs, tabela *Look-up*, operação do conversor analógico/digital e os relógios internos da FPPA.

Foram ainda abordados outros circuitos integrados que possuem internamente funções de uma FPPA conectada a um microprocessador que permitem o processamento de sinais analógicos e digitais num único componente.

No Capítulo 3 é apresentado o estado da arte das aplicações com FPAA, nas suas principais aplicações: condicionamento de sinal, filtragem, controlo PID, aplicações na medicina e aplicações na área do áudio. Foram abordados os cuidados especiais na conexão de sensores à FPAA.

Com vista ao ensaio prático da FPAA, o Capítulo 4 descreve o *kit* de desenvolvimento que foi utilizado e os testes necessários para melhor compreender a programação e funcionamento da FPAA.

Neste capítulo serão demonstrados vários ensaios realizados utilizando as potencialidades da FPAA, tais como:

- Injecção de um sinal na entrada e verificar o sinal de saída em função das funcionalidades utilizadas internamente na FPAA, como filtros, comparadores, ganhos, etc;

- Aplicação de um sistema de medição e controlo de temperatura recorrendo a sensor não linear (usando função de linearização de sensor) e sensor linear, com controlo do elemento de aquecimento por ON/OFF, PWM e PID;

- Aplicação de um sistema de controlo de velocidade de um motor, com controlo do tipo ON/OFF, PWM e PID;

Finalmente, no Capítulo 5 são realizadas algumas conclusões sobre este trabalho, suas principais contribuições e indicações de trabalhos futuros;



## 2. TECNOLOGIA FPAA

Os dispositivos de *hardware* reconfiguráveis são há muito tempo de grande interesse para os projectistas e fabricantes de *hardware*.

No domínio da electrónica digital, os dispositivos de lógica programável (*Programmable Logic Devices* – PLDs) tiveram um grande impacto no desenvolvimento de circuitos integrados “personalizados” permitindo aos projectistas testarem os seus circuitos lógicos em *hardware* reconfigurável de fácil utilização.

No domínio da electrónica analógica, de uma forma mais lenta, apareceram os dispositivos analógicos reconfiguráveis.

### 2.1. ABORDAGEM HISTÓRICA

Desde a sua concepção entre 1969 e 1970, os PLDs foram a base de desenvolvimento das *Field Programmable Gate Arrays* (FPGA) [1][2][3].

As FPGAs foram e continuam a ser amplamente utilizadas em laboratório para prototipagem rápida de *hardware* digital, permitindo a produção de equipamentos com rápida colocação no mercado e com a facilidade de se poderem fazer actualizações mesmo depois de estarem implementadas.

No domínio da electrónica analógica, o progresso tem sido mais lento. Desde cedo os circuitos analógicos reconfiguráveis se tornaram um preconceito. Em finais dos anos

1980, começaram a ser divulgados sobre a forma de *Field Programmable Analog Arrays* (FPAAs) [4], mas só em 1996 começaram a surgir as primeiras ofertas comerciais [5].

Nesta altura, o desenvolvimento de circuitos integrados “personalizados” apenas eram rentáveis para vendas em grande escala, o que fez com que o desenvolvimento dos dispositivos analógicos reconfiguráveis comessem a ter algum peso na indústria electrónica.

Assim, vários fornecedores envolveram-se na corrida para o mercado de dispositivos analógicos reconfiguráveis, com a Zetex produzindo o primeiro dispositivo analógico programável em 1996, chamando de TRAC (*totally reconfigurable analogue circuit*). Os TRAC (que já não se encontram disponíveis) são em grande parte o resultado de um trabalho académico desenvolvido pelo professor David Grundy, que defendia uma abordagem computacional estruturada para projecto de sistemas analógicos.

Em 1997, a Motorola adquiriu a tecnologia FPAA e lançou a sua família MPA1000 de dispositivos reconfiguráveis na sequência de uma reestruturação do seu negócio de semicondutores. Mais tarde, em 2000, a tecnologia da família MPA foi vendida e surgiu o fabricante Anadigm.

A Anadigm, a Lattice Semiconductor e a CYPRESS são neste momento os grandes fabricantes de FPAAs.

O grande desenvolvimento de dispositivos analógicos reconfiguráveis tornará em breve a FPAA num dispositivo útil e vulgar.

Com o aparecimento das FPAAs, os complexos circuitos analógicos que recorriam aos tradicionais transístores, AMPOPs, resistências, condensadores e outros componentes, tornam-se agora mais fáceis e rápidos de desenvolver com a vantagem de poderem ser rapidamente reconfigurados sem necessidade de alterar o *hardware*. Estes dispositivos irão ter um enorme impacto na indústria de desenvolvimento de *hardware* dado que obter-se-ão drásticas reduções no tempo de desenvolvimento de projecto, na redução das dimensões de *hardware* (com grande interesse para o fabrico de equipamentos portáteis), assim como na possibilidade de implementar circuitos de depuração em circuitos analógicos.

## 2.2. PROTOTIPAGEM RÁPIDA DE CIRCUITOS ANALÓGICOS

O processo de projecto, fabrico e teste de um circuito analógico requer alguma experiência, e é um processo muitas vezes longo e dispendioso.

O tradicional ciclo de desenvolvimento de dispositivos analógicos requer bastantes interacções com o processo de fabrico, o que acumulando ao projecto VLSI (*very large scale integration*) e a todas as fases de teste do equipamento, rapidamente se torna num processo que pode demorar um ano ou mais para o desenvolvimento de circuitos integrados típicos.

A utilização de dispositivos analógicos reconfiguráveis, reduz drasticamente o ciclo de concepção, suprimindo a fase de fabricação a partir do processo interactivo de desenvolvimento e simulação.

Assim, muitos projectos podem ser testados e modificados num único dia.

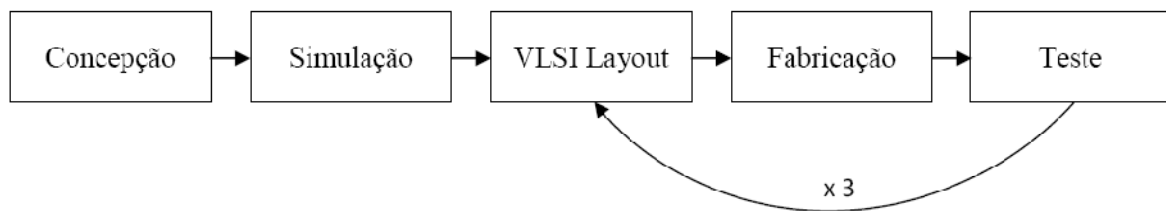
Tal como as FPGA, as FPAA não são óptimas para todas as soluções. Existem situações em que não é possível, com a FPAA, implementar todas as funcionalidades que se pretende, tendo de recorrer-se a *hardware* externo (à FPAA) para complementar as funções pretendidas.

Apesar de todas as vantagens, um projecto implementado numa FPAA resulta num dispositivo com um maior nível de ruído / interferências bem como uma maior possibilidade de falha, portanto, o desenvolvimento destes dispositivos possui sempre algumas ineficiências (isto é, menor largura de banda e maior consumo de energia).

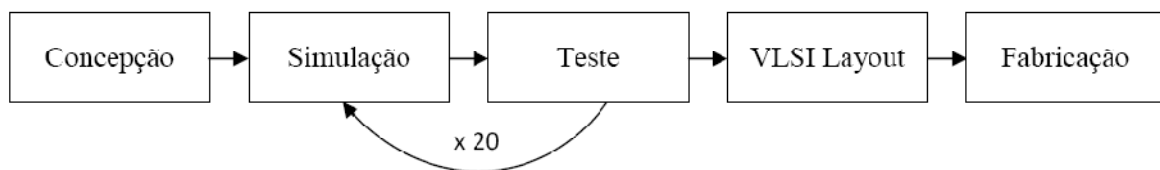
Por outro lado, uma vez que o projecto de circuitos analógicos é muitas vezes demorado, essas características adversas são equilibradas pelo diminuto tempo em que se consegue colocar os dispositivos projectados no mercado.

As Figura 1 e 2 ilustram as vantagens no projecto de circuitos analógicos recorrendo a FPAA como tecnologia de prototipagem rápida em oposição ao tradicional projecto de VLSI e fabricação. O tradicional ciclo de desenvolvimento de dispositivos analógicos requiere em média três ou mais interacções com o processo de fabrico estendendo o processo de desenvolvimento para um ano ou mais. Com tecnologia de

prototipagem rápida, recorrendo a FPAA, o projecto pode ser sintetizado, testado e modificado vinte ou mais vezes em apenas alguns dias em vez de demorar anos [6].



**Figura 1 Tradicional processo de desenvolvimento de dispositivos analógicos [6]**



**Figura 2 Tecnologia de prototipagem rápida de dispositivos analógicos [6]**

O interesse na utilização de FPAA já vem de algum tempo, mas estes dispositivos têm tido muito poucos elementos programáveis e limitadas capacidades de interligação, tornando-os limitados na sua utilidade e versatilidade. As próximas gerações de FPAA necessitarão de corrigir este problema de modo a estender a sua utilidade e aceitação no mercado electrónico.

Como mostrado na Figura 2, as FPAA tradicionais assemelham-se aos originais PLD, que no início a sua utilização era focada em pequenos sistemas, tais como filtragem de baixa ordem, amplificação e condicionamento de sinal.

No entanto, a classe de FPAA que iremos explorar aqui são mais análogas às FPGAs modernas.

As tecnologias de FPAA mais recentes, possuem muitas mais funcionalidades sendo possível implementar sistemas de mais alto nível, tais como blocos programáveis de filtragem de ordem mais alta, processamento de *Fourier* e análise de sinais, além de ter um grande número de blocos analógicos programáveis (isto é, amplificadores operacionais de transcondutância, elementos transistor, condensadores, etc.).

### **2.3. FPAA – FIELD PROGRAMMABLE ANALOG ARRAY**

A tecnologia FPAA - *Field Programmable Analog Arrays* possibilita a implementação de sistemas analógicos com facilidades acrescidas relativamente à tradicional construção de sistemas utilizando componentes discretos, em que tais implementações envolvem cálculos e montagem de vários componentes discretos e onde a probabilidade de erros é maior.

Tal como descrito na secção 2.2, esta tecnologia tem ainda algumas vantagens como a redução do tempo de projecto/teste de um dispositivo (produtividade), a capacidade de ser reprogramável sem alterar o *hardware* assim como as reduzidas dimensões de implementação em *hardware*, entre outras.

Recentemente alguns fabricantes têm chamado a esta tecnologia de dpASP (*Dinamically Programmable Analog System Processing*).

Na elaboração deste trabalho irão ser abordadas de um modo geral as FPAA fabricadas pela Anadigm, mais concretamente a AN121E04.

Muito resumidamente, uma FPAA é constituída internamente por vários amplificadores operacionais, condensadores, barramentos e interruptores, os quais são reorganizados em função da implementação programada. Posteriormente estas configurações são armazenadas em memória.

#### **2.3.1. TECNOLOGIA TEMPO CONTÍNUO VS TEMPO DISCRETO**

As FPAAs existentes no mercado são baseadas em duas metodologias: tempo contínuo e tempo discreto.

As FPAAs do tipo discreto recorrem a uma tecnologia de comutação de condensadores (*Switched Capacitor – S/C*) para emular resistências. Contudo, esta tecnologia limita o seu funcionamento a baixas larguras de banda de frequência.

Por outro lado, as FPAAs, do tipo contínuo, recorrem a uma tecnologia CMOS, proporcionando larguras de banda maiores assim como permite a ausência de filtros *anti-aliasing* nas entradas e saídas de processos de sinal em tempo contínuo. Contudo, estas são mais difíceis de programar e podem originar maior distorção do sinal.

### 2.3.2. FPAA DO TIPO TEMPO DISCRETO

Estas FPAAs recorrem a uma tecnologia de comutação de condensadores, tal como demonstrado na Figura 3, onde existem 4 interruptores S1, S2, S3, e S4 que abrem e fecham periodicamente. Os interruptores S1 e S4, assim como S2 e S3, trabalham aos pares e são activados em sincronismo, mas em oposição de fase.

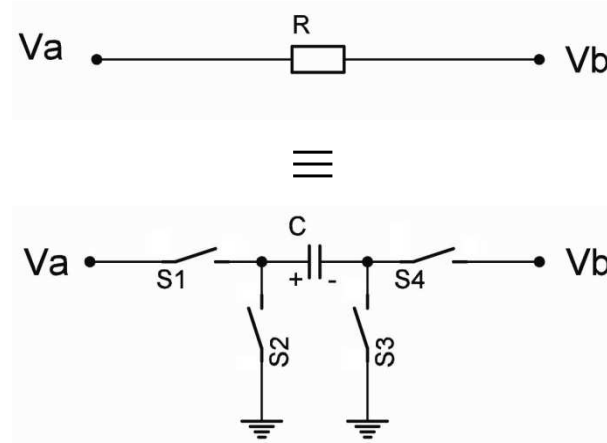


Figura 3 Tecnologia S/C [9]

Assim, quando S1 e S4 estão fechados, S2 e S3 estão abertos e o condensador é carregado com uma tensão:

$$V_c = V_a - V_b \quad (1)$$

No passo seguinte, S1 e S4 abrem e fecham o S2 e S3, descarregando o condensador. Este processo é repetido periodicamente em função do período do relógio da FPAA, provocando uma carga e descarga constante de onde podemos obter uma expressão para o valor médio da corrente no condensador [9]:

$$q = C \times (V_a - V_b) \quad (2)$$

$$I = \frac{q}{T} = \frac{C}{T} \times (V_a - V_b) \quad (3)$$

Onde:

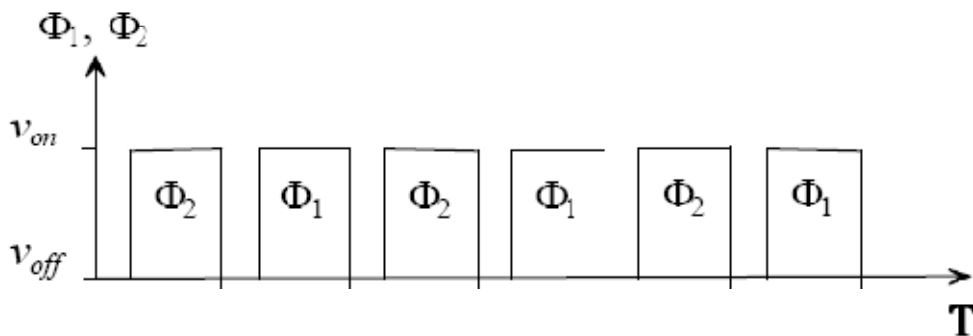
- $V_a - V_b$  = Tensão aos terminas do condensador (V);
- C = Capacidade do condensador (F);
- q = Carga do condensador em *coulombs* (c)
- T = Período do relógio da FPAA (s)
- I = Valor médio da corrente (A)

Dado que o condensador está sujeito a uma tensão e a uma corrente, este vai-se assemelhar a uma impedância colocada no circuito. Então ao considerarmos um valor do condensador e período adequado do CLOCK, podemos reproduzir uma impedância como que se de uma resistência se tratasse. Ou seja, nesta tecnologia as resistências são obtidas através da comutação de um condensador.

Resumidamente, para determinarmos o valor da resistência que queremos aplicar, teremos de especificar qual a capacidade do condensador e o período do CLOCK da FPAA:

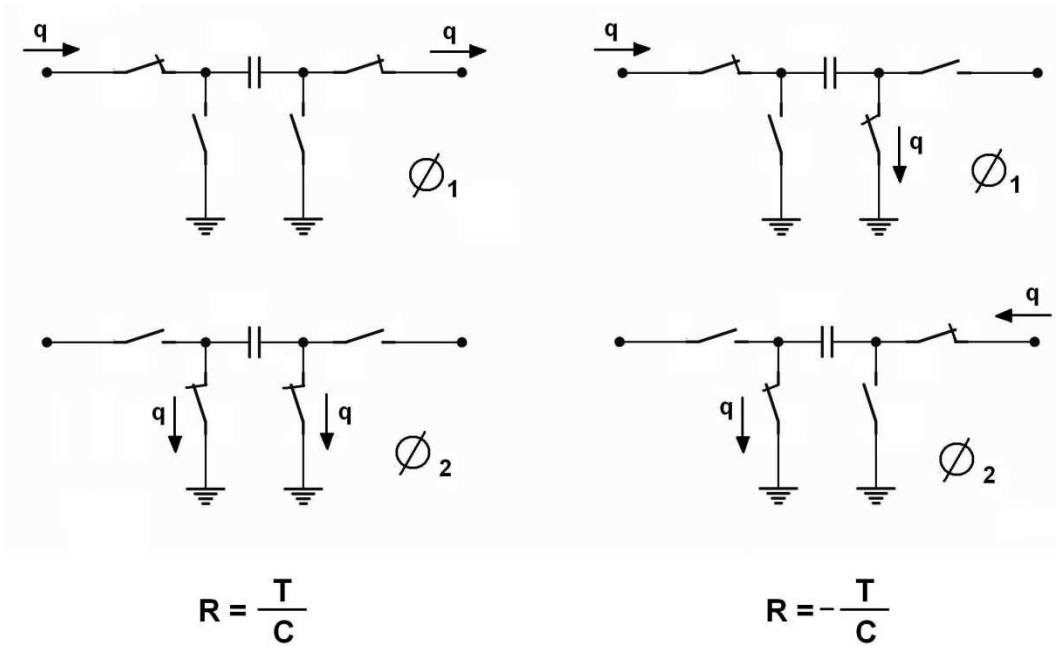
$$R = \frac{V}{I} = \frac{V_A - V_B}{\frac{C}{T} \times (V_A - V_B)} = \frac{T}{C} \quad (4)$$

Na Figura 4, pode-se verificar a ordem de comutação dos interruptores. Na primeira fase ( $\Phi_1$ ) apenas são ligados os interruptores S1 e S4 e na segunda fase ( $\Phi_2$ ) são ligados os interruptores S2 e S3, conforme esquema da Figura 3.



**Figura 4 Diagrama temporal do accionamento dos interruptores [9]**

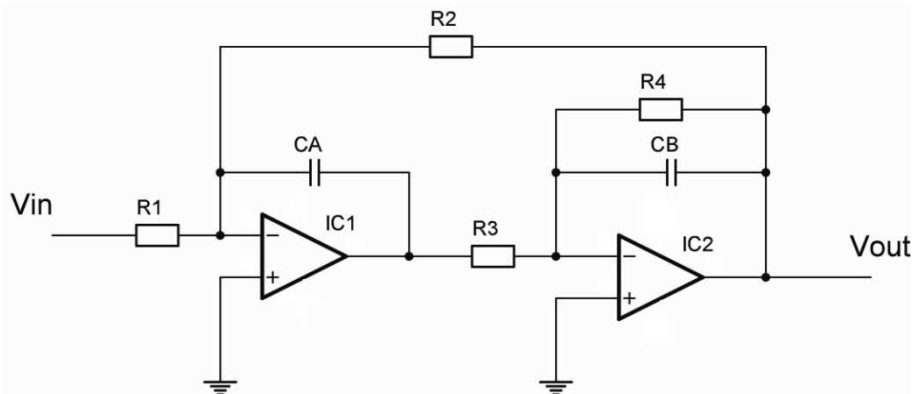
Recorrendo a uma sequência diferente na abertura e fecho dos interruptores, conforme Figura 5, podemos inverter o sentido da corrente eléctrica no condensador criando desta forma resistências negativas.



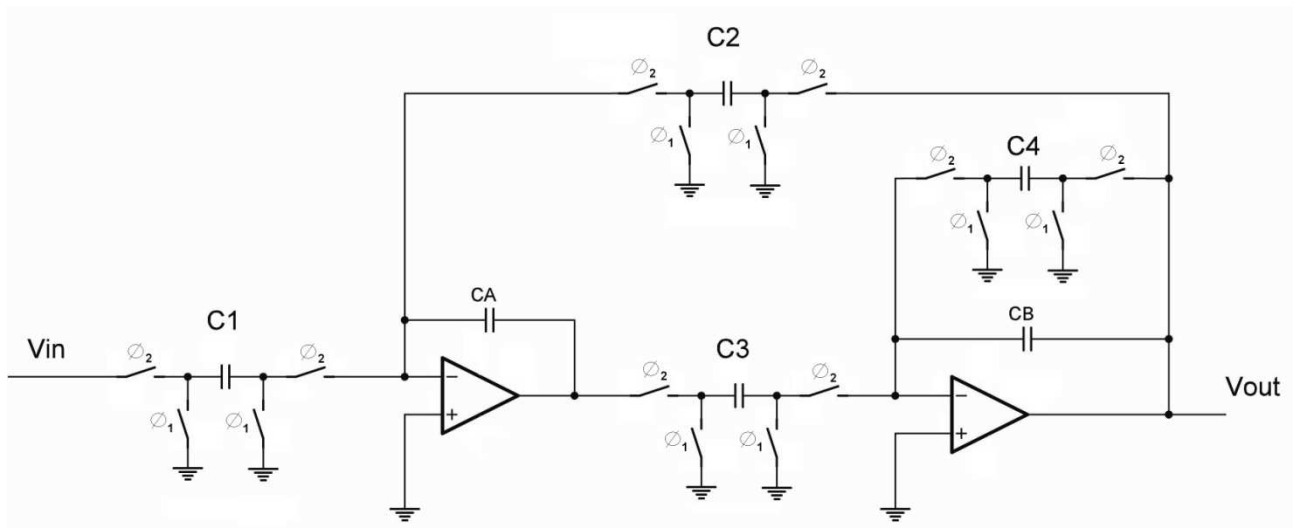
**Figura 5** Reprodução de resistências negativas [9]

As resistências negativas são teóricas e não existem como componente discreto, mas teoricamente podemos dizer que uma resistência negativa é uma resistência em que o aumento da corrente que a atravessa provoca uma diminuição da tensão aos seus terminais. Contudo, alguns díodos, como por exemplo o diodo túnel, podem apresentar resistências negativas em partes da sua gama de funcionamento. Ou seja, com a tecnologia S/C, podemos criar parte de um circuito com funcionamento idêntico ao de um diodo.

Na Figura 7 é representada a emulação em FPAA de um filtro de 2ª ordem recorrendo à tecnologia S/C, com equivalência à tradicional montagem (Figura 6) com malhas RC activas.



**Figura 6** Realização de um filtro de 2ª ordem com malhas RC activas [9]



**Figura 7 Realização de um filtro de 2ª ordem com tecnologia S/C [9]**

Nas FPAAs de tempo discreto, a frequência de CLOCK está limitada pela constante de tempo RC nos nós de cada bloco de resistências, o que faz com que a tecnologia S/C se torne limitada.

De acordo com o Teorema de Nyquist, a quantidade de amostras por unidade de tempo de um sinal, chamada taxa ou frequência de amostragem, deve ser maior que o dobro da maior frequência contida no sinal a ser amostrado, para que possa ser reproduzido integralmente sem ocorrer o fenômeno de *aliasing*. À metade da frequência de amostragem é chamada frequência de Nyquist e corresponde ao limite máximo de frequência do sinal que pode ser reproduzido.

Logo, para uma correcta representação de um sinal no domínio discreto, o circuito deverá trabalhar a uma frequência de relógio superior à frequência de Nyquist (geralmente 2 vezes superior à frequência do sinal de base), o que limita ainda mais as bandas de operação dos circuitos em tempo discreto.

As FPAAs existentes no Mercado, com tecnologia S/C, possuem geralmente uma frequência de relógio a 1 MHz, limitando assim a aquisição correcta de sinais apenas com frequências até 512 kHz.

A tecnologia S/C usada em FPAA's normalmente possui menores frequências de comutação do que outros ASICs (*Application Specific Integrated Circuits* - Circuitos Integrados de aplicações específicas), como por exemplo utilizados em encaminhamento, aquisição de sinal, osciladores, etc. Isto deve-se ao facto de as FPAA's para aumentarem os requisitos de desempenho necessitarem de maiores capacidades, do que em projectos especializados, levando a constantes de tempo  $RC$  maiores e frequência de relógio menores, tal como demonstrado pela fórmula de frequência de corte (a frequência a partir da qual a potência do sinal de entrada é atenuada na saída para metade do seu valor) de um circuito RC:

$$f_c = \frac{1}{2\pi RC} \quad (5)$$

### 2.3.3. FPAA DO TIPO TEMPO CONTÍNUO

As FPAA's do tipo tempo contínuo são tipicamente uma matriz de componentes fixos (AMPOPs e/ou transístores) que são ligados por uma matriz de interruptores. Estes interruptores são usualmente controlados por registos digitais, os quais podem ser carregados por um controlador externo, permitindo assim a FPAA ser configurada para implementar uma série de projectos diferentes.

Este tipo de FPAA's são uma vantagem em relação às FPAA do tipo tempo discreto, porque a sua construção permite eliminar/evitar alguns problemas encontrados na aquisição de sinais. Deste modo a FPAA não necessita de filtros *anti-aliasing*, recorrendo a uma tecnologia que recorre a transístores CMOS *standard* em vez dos condensadores. Isto permite suportar uma maior largura de banda de sinais, com elevado desempenho [10].

Contudo, esta tecnologia de matrizes de interruptores introduz algumas impedâncias parasitas nos sinais recebidos que limitam a largura de banda e introduzem ruídos/interferências no sistema. Em alguma documentação é focalizada a minimização do número de interruptores das matrizes de comutação, mas estas minimizações limitam severamente as funcionalidades da FPAA [11].

Na tecnologia tempo contínuo, as resistências são realizadas utilizando transdutores, em que o valor da transcondutância é programado utilizando uma tensão de referência gerada por um conversor de sinal.



Utilizando o *software AnadigmDesigner2* (abordado no Capítulo 4), o projectista pode desenvolver complexos circuitos analógicos utilizando módulos analógicos reconfiguráveis (CAMs - *Configurable Analog Modules*).

As dpASPs permitem a reconfiguração dinâmica em tempo real, recorrendo a uma funcionalidade na qual podem ser reconfiguradas “*in-circuit*” pelo projectista ou por um microcontrolador/microprocessador.

Podem ainda ser programadas para implementar múltiplas funções analógicas e/ou adaptarem-se rapidamente para manter a precisão de funcionamento exigidas pelos aplicativos que em tempo real podem ter mudança de requisitos; tais como aplicações que necessitam de processamento analógico como o condicionamento de sinal, filtragem, aquisição de dados e controlo em malha fechada.

As FPAAs *statically reconfigurable devices* e as dpASP *dynamic reconfigurable devices* têm características muito idênticas com a excepção de nas FPAAs ter-se de fazer um *reset* antes de voltar a fazer uma nova configuração.

Características das FPAAs e dpASP da Anadigm [12]:

- Alimentação a 3,3 V e 5 V;
- Com tecnologia S/C e matriz de interruptores;
- *Software* de desenvolvimento com tecnologia *Drag and drop*;
- Funções analógicas pré-inseridas nos CAMs;
- Software com geração automática de código C;
- Largura de banda DC até 2 MHz;
- Banda larga SNR (Relação Sinal-Ruído) até 90 dB;
- Banda estreita SNR até 120 dB;
- Conversores de sinais diferenciais;
- Entradas e saídas com inclusão de amplificadores *chopper* de modo a criar baixo *offset* e existência de filtros *anti-aliasing*.

As FPAAs da Anadigm consistem em matrizes 2x2 de blocos analógicos configuráveis (CABs), circundado por uma matriz com recurso a ligações programáveis

Os dados de configuração são guardados numa memória do tipo SDRAM. A segunda geração de FPAAs da *Anadigm*, apresentam uma melhoria significativa na relação sinal-ruído assim como uma maior largura de banda. Apresentam ainda funções não lineares como linearização de resposta de sensores e síntese de formas de onda arbitrárias.

#### **2.4.1. A dpASP AN221E04**

A dpASP AN221E04 pertence à família das *Anadigm Vortex* que apresentam notáveis melhorias como [12]:

- Tempo de projecto reduzido;
- Obtenção de soluções mais rápidas comparado com as discretas *ASICs* (*Application Specific Integrated Circuits*);
- Funcionamento de alta precisão, mesmo com envelhecimento e degradação do integrado;
- Possibilidade de implementação de múltiplas configurações/funcionalidades em um único dispositivo para adaptação rápida de campo de funcionamento/aplicabilidade.

Estas têm como principais aplicações:

- Controlo em tempo real de sistemas periféricos analógicos;
- Sensores inteligentes;
- Controlo e filtragem adaptativa;
- DSP (*Digital Signal Processor*) adaptativo;
- Controlo industrial e automação adaptativa;
- Sistemas de autocalibragem;
- Compensação de envelhecimento de componentes/sistemas;
- Recalibração dinâmica de sistemas remotos;
- Condicionamento de sinais de baixa frequência;
- Processamento de sinais analógicos.

A dpASP AN221E04 é uma FPAA de reconfiguração dinâmica, ou seja um dispositivo otimizado que pode ser actualizado/reprogramado parcialmente ou na sua totalidade mesmo em funcionamento no circuito. Enquanto a FPAA recebe uma nova

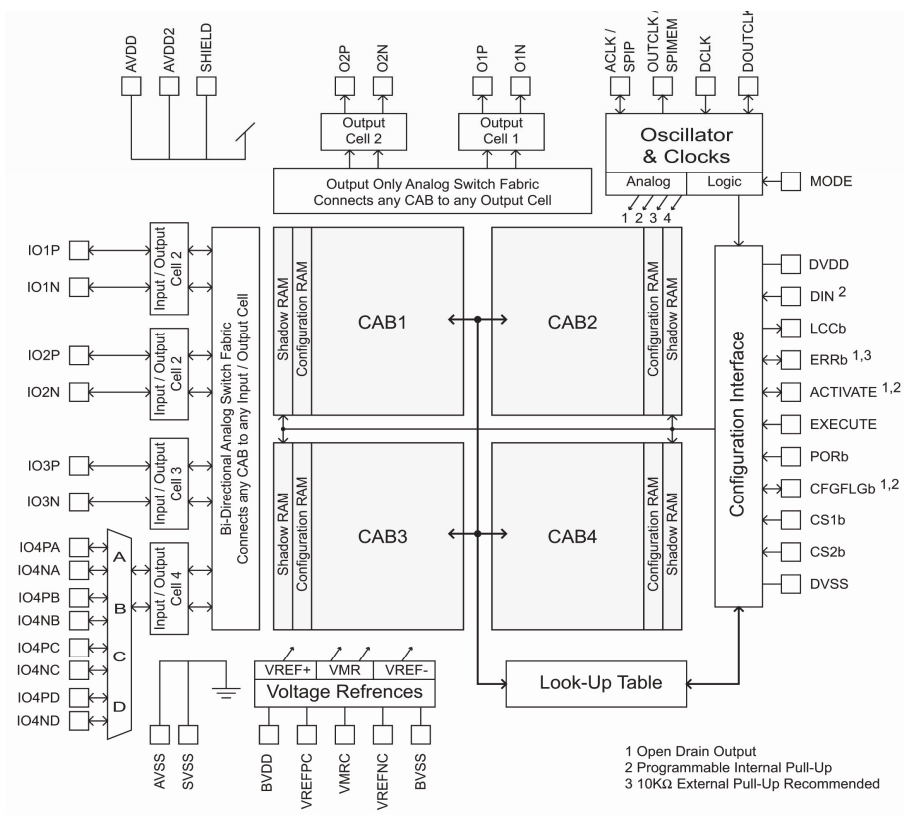
configuração, esta continua a executar a configuração antiga e quando a transferência da nova configuração estiver completa a FPAA assume esta configuração e torna-se activa num simples ciclo de relógio.

Esta FPAA contém 4 CABs (Figura 9) onde ocorre maioritariamente o processamento dos sinais analógicos que são condicionados por circuitos diferenciais.

Os 4 CABs possuem acesso a uma única tabela *de Look up* (LUT), que oferece um novo método de ajuste a qualquer elemento programável dentro do dispositivo em resposta a um sinal ou a uma base de tempo.

Esta pode ser usada para implementar um tipo de entrada arbitrária de funções de transferência entrada/saída (isto é, linearização de sensores), gerar sinais arbitrários, ou até mesmo gerar uma tensão dependente da filtragem.

Um gerador de referência fornece tensões de referência para cada um dos CABs dentro do dispositivo e é ligado por um pino para o exterior para possíveis ligações externas de condensadores de filtragem.



**Figura 9 Estrutura da AN221E04 [12]**

Os sinais analógicos exteriores podem ser ligados para o interior da FPAA por 4 células entrada/saída (E/S) reconfiguráveis. Estas 4 células permitem receber ligação de 4 sinais de entrada ou de saída.

Cada célula E/S pode ligar sinais em par diferencial directamente para a matriz de interruptores, pode devolver o sinal directamente para outra célula ou ainda fazer passar o sinal *buffer* de ganho, filtros *anti-aliasing* ou amplificadores *chopper* estabilizados (eliminar *offset* de sinais).

Os sinais de saída podem ser ligados internamente pela matriz a uma outra célula E/S fazendo um *bypass* a qualquer outro circuito activo. Um sinal de saída será sempre apresentado externamente como um sinal em par diferencial. As células de E/S podem também ser usadas para gerar um sinal de saída para referência/comparação.

Esta FPAA pode aceitar um relógio externo ligado através de um dispositivo oscilador ou um oscilador de cristal.

No caso do oscilador de cristal, este é detectado automaticamente. A frequência de relógio interna resultante, pode ser dividida por 4 relógios do tipo S/C sincronizados em frequências diferentes por divisores programáveis. Internamente a FPAA pode adquirir qualquer uma destas frequências de relógio.

O comportamento dos CABs, encaminhamento de sinais, das células de E/S e células de saída (fixas) é controlado pelo conteúdo de configuração gravado na memória SRAM (*Static Random Access Memory*). Esta memória pode ser actualizada sem interromper o processamento analógico activo no instante da actualização, permitindo modificar dinamicamente uma ou mais funções analógicas por um processo *on-the-fly* (processo criado dinamicamente quando necessário).

A arquitectura desta FPAA, inclui uma interface de configuração digital altamente flexível. Esta interface de configuração é projectada para funcionar em modo *stand-alone*, permitindo ligar a uma qualquer SPI (*Serial Peripheral Interface Bus*) comum ou FPGA com EEPROM (*Electrically Erasable Programmable Read-Only Memory*) do tipo série.

No modo *stand-alone*, após o dispositivo ser alimentado automaticamente carrega as configurações existentes na EEPROM e começa a funcionar imediatamente.

A interface de configuração desta FPAA foi também projectada para ser ligada directamente a um microprocessador com uma porta SPI *Master* apresentando-se a FPAA com uma porta SPI do tipo *Slave*. Esta porta da FPAA pode também ser ligada por um microprocessador externo através de um barramento de dados onde este é reconhecido como um *Clock* SPI e apenas um dos bits do barramento de dados é usado para a comunicação de dados por SPI em modo série.

Este tipo de interface de configuração permite ainda que múltiplos dispositivos possam ser ligados em conjunto para construir sistemas de processamento de sinais analógicos mais complexos.

#### **2.4.2. RECURSOS ESPECIAIS DA AN221E04**

Esta FPAA, da família dpASP, possui uma estrutura de entradas/saídas que permite configurar 4 células como entradas ou saídas e mais 2 células de saídas dedicadas.

Sempre que uma célula é configurada como célula de entrada, todos os elementos activos nesta célula (*buffers*, amplificadores *chopper*, conversores de sinais simples para sinais diferenciais, filtros *anti-aliasing*, etc) podem ser utilizados. Contudo, se a célula for configurada como célula de saída, todos estes elementos activos não são utilizados (é feito um *bypass*). Qualquer sinal nestes dispositivos pode ser encaminhado pelos barramentos e matrizes para qualquer umas desta células incluindo a célula especial multiplexada.

Esta FPAA permite ainda a implementação de um conversor interno A/D (Analógico/Digital) de 8 bits. O sinal de saída deste conversor pode ser reconduzido para as células de saída dedicadas. Mas para tal, estas células deverão ser configuradas para modo digital. O sinal de saída deste conversor A/D é apresentado sobre a forma de uma sequencia de 8 bits iniciada pelo MSB (*Most Significant Bit*).

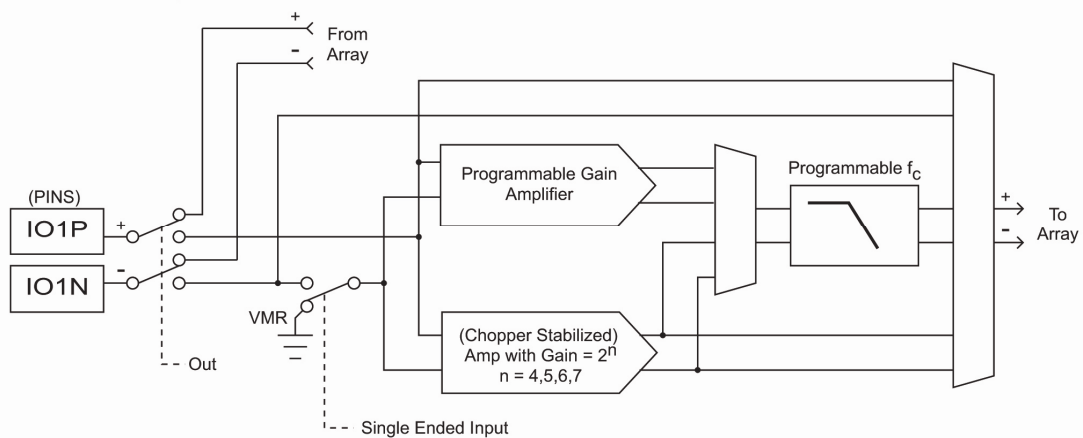
Para implementar este conversor será necessário usar a função SAR-ADC na livraria do *software AnadigmDesigner2* da Anadigm.

#### **2.4.3. CÉLULAS ENTRADA/SAÍDA RECONFIGURÁVEIS**

Cada umas das células de E/S contém um conjunto de funcionalidades que permitem a FPAA ter ligações de alta-fidelidade para e do mundo exterior sem necessidade

de componentes externos (no capítulo seguinte serão discriminadas algumas aplicações das FPAAs e suas capacidades sem recorrerem a componentes externos).

Para maximizar a fidelidade dos sinais, todos estes são processados e transmitidos em modo diferencial, deste modo cada célula de E/S aceita ou gera sinais diferenciais, no entanto, as células quando configuradas como entradas estão também preparadas para receber sinais em modo não diferencial. Nesta situação, internamente a ligação negativa do sinal é feita por um interruptor à tensão de referência do dispositivo (VMR – *Voltage Main Reference*), tensão esta usada como ponto de referência para todo o processamento interno de sinal e possui uma tensão de 2 V acima do AVSS (tensão negativa de alimentação do circuito integrado).



**Figura 10** Célula entrada/saída configurável [12]

Tal como qualquer sistema de amostragem de dados, por vezes é necessário filtrar os sinais de entrada com filtros passa baixo para prevenir efeitos de *aliasing*.

Neste dispositivo, cada célula de entrada contém um filtro *anti-aliasing* de 2ª ordem, no entanto este filtro pode ser eliminado ou colocado de forma a seleccionar as frequências de corte.

Quando se utilizam os filtros *anti-aliasing*, o fabricante (*Anadigm*) recomenda que a frequência de corte do filtro em relação à frequência máxima do sinal seja de pelo menos 30. Estes filtros incorporados são úteis, mas apenas funcionais para sinais com frequências até 15 KHz se forem requeridos filtros *anti-aliasing* de ordem elevada. Quando os sinais de entrada são de alta frequência, o fabricante recomenda o uso externo de filtros *anti-aliasing*.

Cada uma das E/S têm um segundo estágio composto por um amplificador de ganho e um circuito opcional de estabilização do tipo *chopper* responsável por reduzir os *offsets* dos sinais de entrada. Este estabilizador pode ser bastante útil em aplicações onde os sinais são bastante fracos e que requerem um grande ganho de amplificação. O ganho do amplificador de entrada pode ser configurado até ganhos de  $2^n$ , onde  $n$  pode tomar o valor de 4 a 7.

O sinal de saída deste amplificador pode ser encaminhado para um filtro *anti-aliasing* ou directamente para o CAB. Os sinais de entrada simples, não diferenciais, deverão passar pelo filtro *anti-aliasing* para que se possa fazer a conversão do sinal para modo diferencial.

Os amplificadores, o estabilizador *chopper* e o filtro *anti-aliasing* são recursos apenas disponíveis se as células estiverem configuradas como entradas.

#### **2.4.4. CONSIDERAÇÕES ESPECIAIS NA UTILIZAÇÃO DE BYPASS**

Sempre que se utiliza uma célula como saída ou em *bypass*, deve-se ter especial atenção para evitar colocar a FPAA em sobrecarga.

Em modo *bypass*, não existem amplificadores entre a origem do sinal e os CABs ou os pinos de saída.

Os AMPOPS existentes nos CABs, não estão preparados para interligar com circuitos/cargas com baixa impedância, assim como uma carga com grande capacidade pode também destabilizar o funcionamento dos CABs.

Sempre que se utilize uma célula como saída, a resistência de carga ligada à FPAA nunca deverá ser inferior a 100 k $\Omega$  e a capacidade de carga nunca deverá exceder 100 pF de modo a otimizar o funcionamento da FPAA.

Sempre que uma célula seja utilizada como entrada, esta nunca deverá ser programada em modo *bypass*, sendo recomendado que se utilize um amplificador com ganho unitário que funcionará como um *buffer* [12].

### 2.4.5. ENTRADA/SAÍDA MULTIPLEXADA

Nesta FPAA existe uma célula bidireccional com multiplexagem, que permite a ligação física de 4 sinais de entrada (diferenciais ou não diferenciais) ou 4 sinais de saída em que apenas um desses sinais pode ser processado em simultâneo pela FPAA (Figura 11).

Esta célula está otimizada para funcionar com sinais do tipo diferencial, mas se receber um sinal não diferencial, o sinal negativo do par diferencial interno na célula será ligado à tensão de referência de alimentação (VMR) da FPAA.

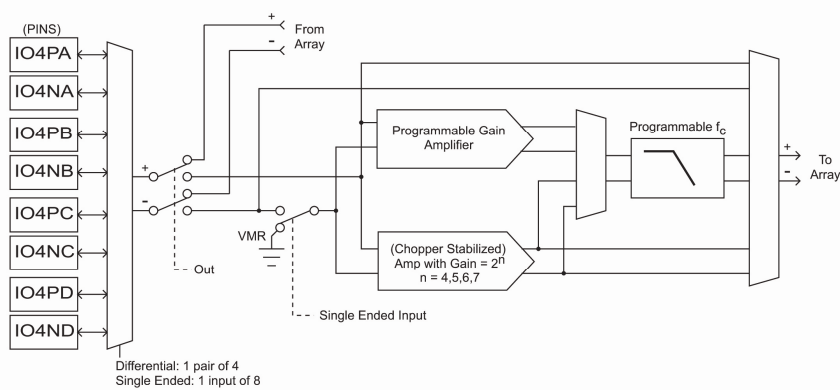


Figura 11 Célula entrada/saída multiplexada [12]

### 2.4.6. CÉLULAS DE SAÍDA

Tal como as entradas analógicas, as células de saídas analógicas são carregadas com recursos que permitem fidelidade e versatilidade na transmissão de sinais analógicos (Figura 12).

As saídas da FPAA podem emitir sinais digitais ou sinais analógicos em modo diferencial.

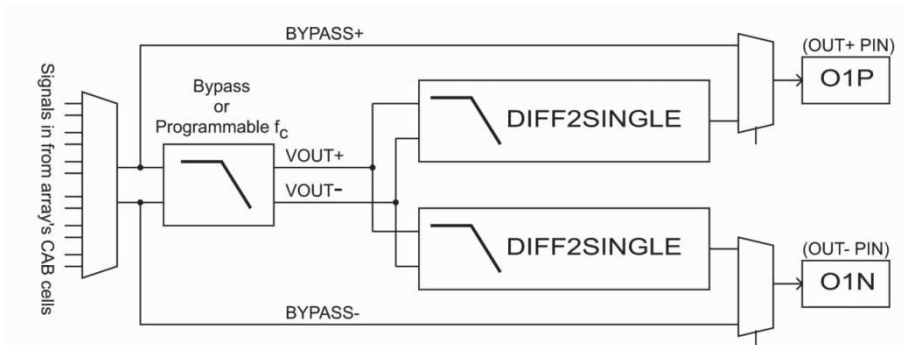


Figura 12 Célula de saída analógica [12]

Em circunstâncias especiais, pode-se ligar directamente o sinal emitido pelos CABs aos pinos de saída da FPAA, sem passar por *buffers* ou filtros, mas não é prática comum. Isto é possível à custa de dois *bypass* internos criados pela célula de saída.

Cada célula de saída contém um filtro programável idêntico ao das células de entrada. A este filtro pode ser feito um *bypass* ou colocado para determinadas frequências de corte. Enquanto nas células de entrada é utilizado como filtro *anti-aliasing*, nas células de saída este é usado como filtro de reconstrução de 2ª ordem. Nesta função, o filtro permite suavizar as amostragens em forma de degraus da onda de saída dos CABs.

Sempre que se pretenda converter o sinal diferencial gerado, para um sinal não diferencial (sinal com referência), o projectista pode optar por um dos sinais de saída ser referenciado à tensão de referência de alimentação (VMR).

Sempre que se utilize uma saída em modo não diferencial, o sinal de saída terá apenas metade da amplitude que teria um sinal em modo diferencial.

#### 2.4.7. CABs – BLOCOS ANALÓGICOS CONFIGURÁVEIS

O integrado AN221E04 da Analog Devices possui 4 blocos analógicos configuráveis (CABs). A estrutura desses CABs está ilustrada na Figura 13.

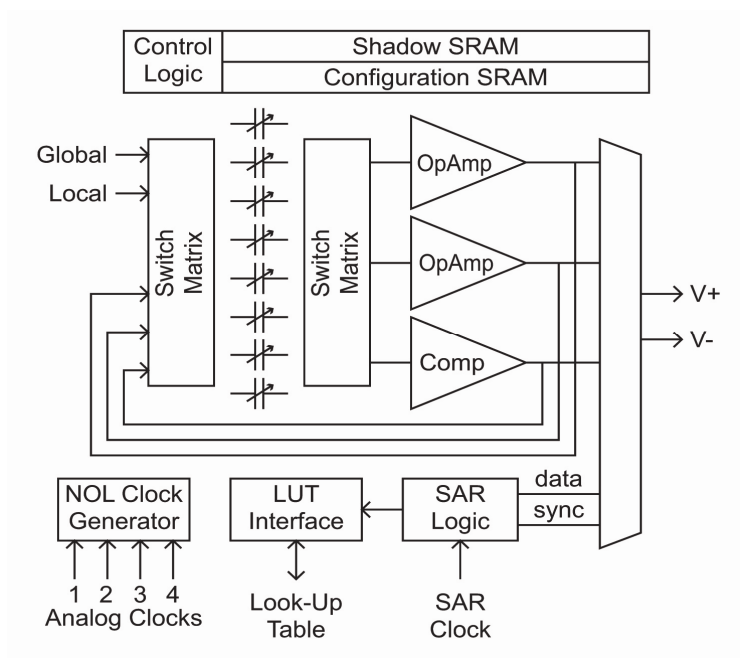


Figura 13 Estrutura de um Bloco Analógico Configurável [12]

Entre os muitos interruptores existentes num CAB, alguns são estáticos e estes determinam as ligações do CAB, os valores dos condensadores e qual a entrada que está activa.

Outros interruptores são dinâmicos e podem ser alterados sob controlo do sinal analógico de entrada. Sejam estáticos ou dinâmicos, todos os interruptores são controlados pela configuração da SRAM.

Como parte da sequência *power-on reset* desta FPAA, a SRAM é apagada para um estado conhecido (*safe*). Esta operação faz parte da configuração lógica para transferência de dados do exterior para a SRAM de transferência (*Shadow SRAM*) e vice-versa, copiando/actualizando posteriormente a informação para a SRAM de configuração (*Configuration SRAM*).

A FPAA AN221E04 permite a reconfiguração, e enquanto esta está em operação, podendo a SRAM de transferência ser actualizada com valores que mais tarde são actualizados para a SRAM de configuração. Deste modo, a FPAA permite realizar pequenas alterações de características do circuito para completar funcionalidades de alguns interruptores, instantaneamente e sem interrupção de sinal.

Os sinais analógicos que são direccionados para células vizinhas são efectuados com recursos de encaminhamento locais entre células. Estes sinais são ligados a um primeiro banco de interruptores. Os sinais de realimentação dos CABs e comparadores internos são também enviados para o mesmo banco de interruptores (Figura 13).

De seguida existe um banco de 8 condensadores programáveis. Cada um dos 8 condensadores é realmente um grande banco de pequenos condensadores iguais.

Cada um dos 8 condensadores programáveis pode tomar um valor relativo entre 0 a 255 unidades de capacidade. Os actuais valores de capacidade não são aqui muito importantes.

Os elementos da livraria CAM (no *software* da *Anadigm*), não dependem do valor absoluto destes condensadores mas sim da razão entre eles, permitindo melhorar as variações de processo para valores inferiores a 0,1%.

Esta matriz de condensadores interliga com um segundo banco de interruptores que permite estabelecer a topologia do circuito assim como realiza as ligações apropriadas.

No “coração” de cada CAB existem dois AMPOPS e um comparador simples, e as suas saídas podem ser conectadas novamente à primeira matriz de interruptores permitindo a construção de circuitos com realimentação. Estas saídas interligam-se também com os CABs vizinhos.

O processamento de sinais dentro dos CABs são normalmente manipulados com um circuito de condensadores comutados. Este circuito para funcionar correctamente necessita de um relógio do tipo NOL (*Non-Overlapping*, ou relógio de não sobreposição). Cada um dos CABs utiliza um dos quatro relógios analógicos NOL e gera outros relógios que sejam necessários pela CAB.

Existe ainda um registo de aproximações sucessivas, SAR (*Successive Approximation Register*), que quando activo utiliza um comparador dentro do CAB para implementar um conversor A/D de 8 bits.

Se interligarmos a saída deste conversor A/D à entrada do próprio CAB ou da tabela *Look-up*, permite a criação de funções analógicas não lineares tais como multiplicação de tensões, linearização ou controlo automático de ganho.

#### **2.4.8. LOOK-UP TABLE**

O integrado AN221E04 contém uma tabela *Look-up* (LUT) de 256 bytes. Os 8 bits de endereçamento de entrada da LUT podem vir do conversor A/D SAR-ADC ou de um contador LUT de 8 bits. Se esta tabela for ligada a um contador LUT, o contador incrementa continuamente o seu valor e faz um *auto-reset* (volta a zero) sempre que atinge o valor programado [12].

Sempre que se pretende uma nova contagem, o valor a atingir é apresentado à LUT sob a forma de um endereço na sua entrada de 8 bits. Os dados de resposta da LUT são escritos depois em 1 ou 2 posições alvo dentro da memória SRAM de transferência (*Shadow SRAM*). Estas posições de memória ao serem usadas assim como o conteúdo a colocar na LUT, são dados de configuração da FPAA.

O sinal de relógio para o contador LUT é obtido de um dos 4 relógios analógicos internos.

A subsequente transferência destes 1 ou 2 bytes armazenados na memória SRAM de transferência para a memória SRAM de configuração ocorre sempre que:

- Seja detectado o envio do byte de dados de configuração;
- Exista a detecção de um *zero crossing* interno;
- O comparador atinja o valor de referência;
- Exista um sinal externo do tipo EXECUTE.

#### **2.4.9. OPERAÇÃO DO SAR-ADC (CONVERSOR ANALÓGICO/DIGITAL)**

No interior dos CABs existe um registo de aproximações sucessivas de 8 bits do tipo conversor analógico/digital (SAR-ADC). O SAR-ADC necessita de dois relógios com frequências na razão de 16 para 1. O relógio de frequência mais baixa, CLOCKA, determina a frequência com que ocorrerão sucessivas conversões, frequência esta que não deve ultrapassar os 250 KHz. O relógio de frequência mais alta, CLOCKB, é utilizado para a conversão interna do conversor A/D. Estes dois relógios são gerados internamente por um circuito divisor de frequência.

O resultado na saída do SAR-ADC pode ser direccionado para a porta de endereçamento da LUT (utilização mais comum) ou então pode ser redireccionada para o CAB que o gerou.

No final de cada conversão, o resultado de 8 Bits do ADC é reconhecido pela LUT como um novo endereço. O circuito de configuração coloca o conteúdo da LUT apontado por este endereço em uma ou duas posições específicas da SRAM de transferência (*Shadow SRAM*).

Uma possível utilização prática do SAR-ADC é quando um sinal de entrada necessita de ser linearizado ou calibrado. O sinal vindo do exterior é direccionado para o CAB com o SAR-ADC, em que o resultado da conversão é enviado para a LUT onde a tabela de linearização está guardada como parte da imagem de configuração da FPAA [12].

#### 2.4.10. TENSÃO DE REFERÊNCIA E GERADOR DE CORRENTES DE REFERÊNCIA

Todos os processamentos de sinais analógicos são processados internamente pela FPAA com referência à tensão de referência da tensão de alimentação, VMR, que normalmente é de 2V. Este sinal VMR é derivado internamente da alimentação da FPAA, através de um processo de *band-gap*.

Os circuitos de referência do tipo *band-gap*, são muito utilizados como geradores de correntes e tensões de referência internos para circuitos integrados, uma vez que estes são imunes a ruídos e transientes exteriores assim como possuem compensação de temperatura [15].

Adicionalmente existem ainda as tensões VREF+ (1,5V acima da VMR) e VREF- (1,5V abaixo de VMR), sinais estes que são também gerados internamente pela FPAA, tal como mostra a Figura 14.

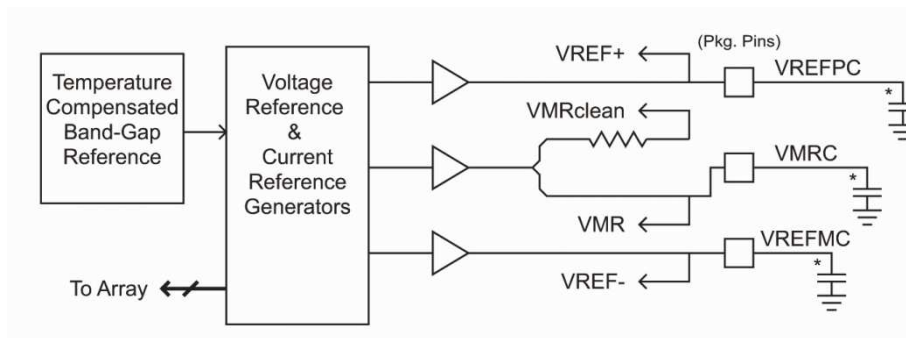


Figura 14 Tensão de referência e gerador de corrente [12]

O sinal VMRclean é encaminhado para os AMPOPS existentes no interior dos CABs. Este sinal é usado pelos AMPOPS como referência de massa de modo a melhorar os seus tempos de resolução. Para melhorar a eficiência deste gerador de tensão e corrente, é aconselhável ligar exteriormente condensadores nos terminais VREFPC, VMRC e VREFMC. Estes condensadores deverão ter capacidades entre 75 e 100nF. Valores de condensadores superiores podem afectar a resolução dos AMPOPS e inferiores podem reduzir a estabilidade da FPAA. A utilização de condensadores cerâmicos é suficiente, mas para altos desempenhos pode-se utilizar condensadores com baixa indutância, como os condensadores de tântalo.

### 2.4.11. RELÓGIOS DA FPAA

A Figura 15 faz uma apresentação geral das características e dos domínios dos relógios internos da FPAA assim como a conexão a um possível relógio externo.

O pino DCLK pode ser usado para interligar a um relógio externo com frequência até 40 MHz, como por exemplo um cristal ressonante. Nesta situação não será necessária qualquer programação uma vez que a FPAA detecta automaticamente que a entrada DCLK entra em oscilação devido a um cristal ressonante.

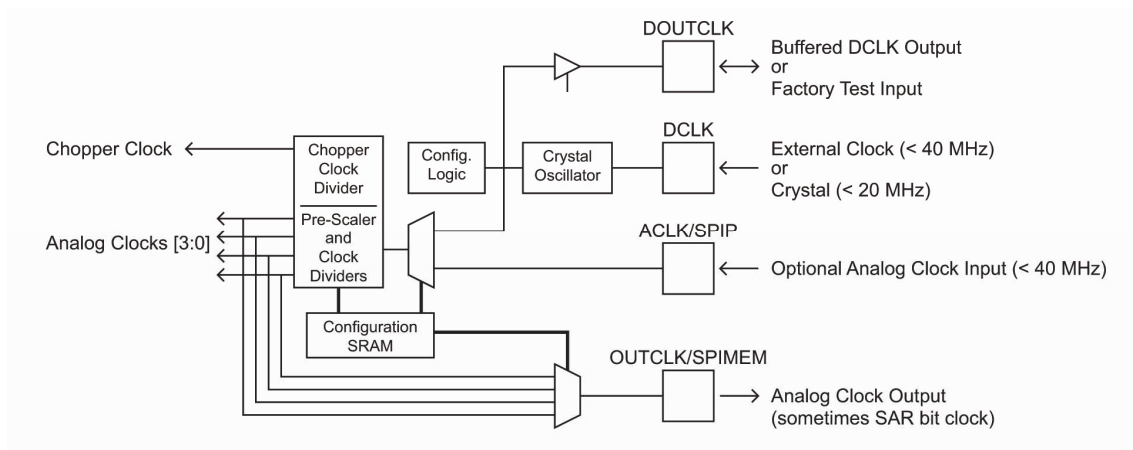


Figura 15 Características e domínios dos relógios na FPAA [12]

Todos os relógios internos são alimentados a partir do relógio mestre, sinal de ACLK ou DCLK. Na configuração da FPAA será determinado qual dos sinais será utilizado como relógio mestre. Este sinal de relógio é dividido por 5 domínios. O primeiro domínio é utilizado para “alimentar” os amplificadores *chopper* utilizados nas células de entrada/saída. Os outros quatro domínios são utilizados por divisores de relógio que irão “alimentar” os conversores SAR de um CAB ou a matriz de condensadores comutáveis dentro do CAB. Todos os relógios internos são sincronizados na “rampa de subida” (*rising edge*), pelo que não é possível existir desvios entre dois relógios com a mesma frequência.

## 2.4.12. RESUMO DAS PRINCIPAIS CARACTERÍSTICAS DA AN221E04

As principais características da FPAA AN221E04 [12] podem ser resumidas em:

- Reconfiguração dinâmica
- 4 Células E/S, 2 células de saída dedicadas
- SAR de 8 bits
- Arquitectura para sinais em modo diferencial
- Baixo *input offset* recorrendo a amplificadores estabilizados do tipo *chopper*
- LUT de 256 *bytes* para a linearização e geração de sinais
- Entrada multiplexer 4:1
- Largura de banda – 2 MHz
- Relação sinal/ruído
  - Banda larga: 80 dB
  - Banda estreita: 100 dB
- Distorção harmónica total (DHT): 80 dB
- Offset DC: <100  $\mu$ V
- Encapsulamento: 44 pinos QFP
- Tensão de alimentação: 5 V

## 2.5. OUTRAS FPAAS COMERCIAIS

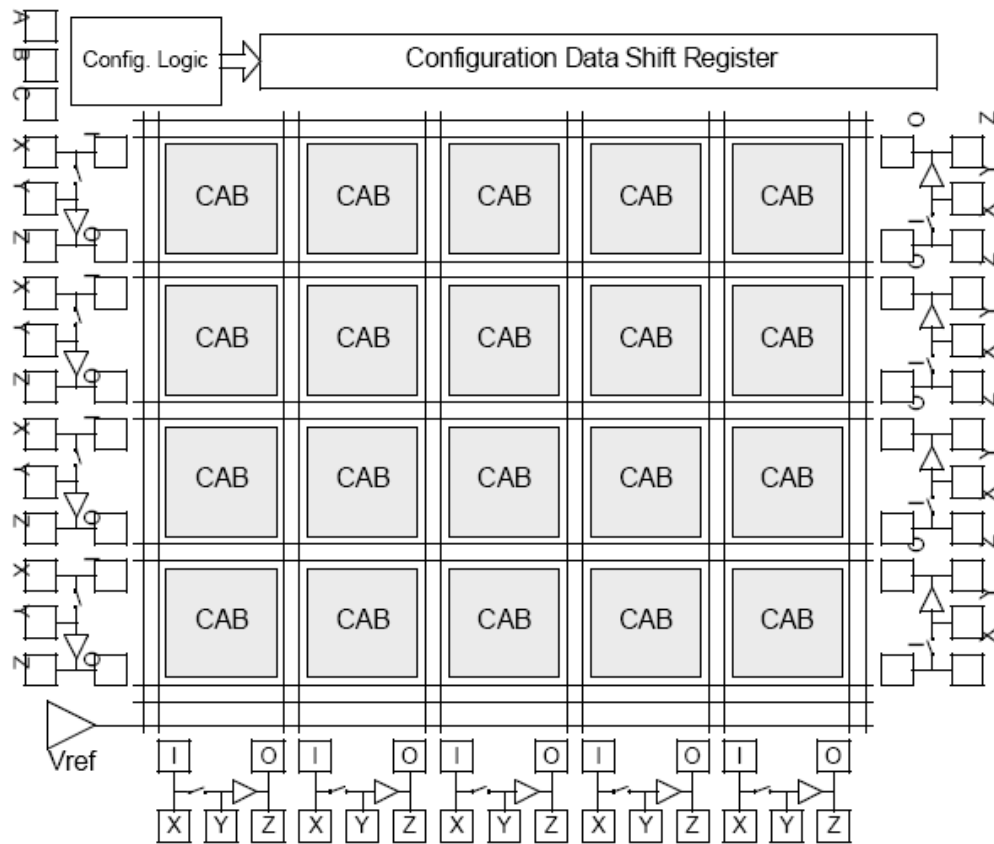
A Anadigm, a Lattice e a Cypress são de momento os maiores fabricantes de circuitos analógicos reconfiguráveis. Nesta secção pretende-se fazer um breve estudo de outras FPAA existentes no mercado e fazer a sua comparação com a AN221E04 que já foi estudo na secção anterior.

### 2.5.1. FPAA AN10E40 DA ANADIGM

Em 1996 a Pilkinton Microelectronics, desenvolveu uma FPAA baseado na tecnologia de condensadores comutados, denominada DPAD2. Esta empresa foi comprada em 1997 pela Motorola que passou a comercializar a FPAA denominada de MPAA020.

Em 2000 esta tecnologia foi vendida e surgiu o fabricante Anadigm. A FPAA AN10E40 faz parte da família da primeira geração de FPAAs deste fabricante, a qual apresenta muitas semelhanças com a MPAA020. Ambas possuem uma matriz de 4x5 CABs, 13 células de E/S e possuem o mesmo esquema de ligações. O *software* de programação *Anadigm Designer* é um *upgrade* do *software Easy Analog* da Motorola que era usado para a programação da MPAA020.

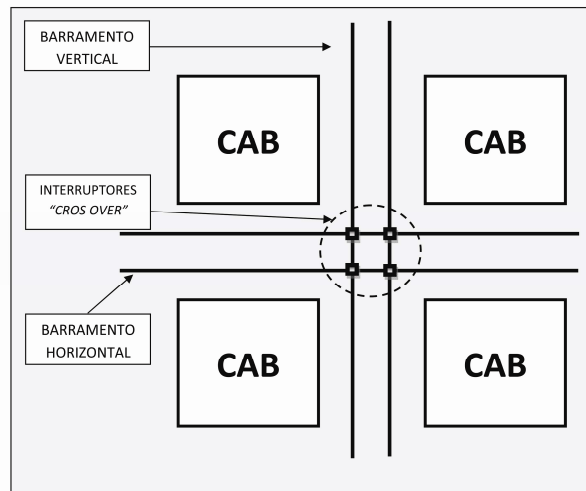
Na Figura 16 pode ser visualizada a representação por blocos da AN10E40, primeira geração de FPAA da Anadigm.



**Figura 16 Representação em blocos da AN10E40 [17]**

Tal com a AN221E04, esta FPAA utiliza a tecnologia S/C, o que limita a amostragem do sinal analógico. Esta frequência depende do relógio utilizado pela FPAA. Segundo o fabricante, a frequência máxima de relógio é de 1Mhz, que de acordo com o teorema de *Nyquist* a largura de banda de amostragem fica limitada a 500Khz.

Na Figura 16 é possível visualizar uma rede de barramentos de ligações circundando os 20 CABs. Esta rede é composta por 6 barramentos verticais e 5 horizontais sendo que cada barramento é composto por 2 linhas. Este esquema de barramentos torna possível conectar um CAB a qualquer outro da matriz e a qualquer célula de I/O. As linhas dos barramentos verticais podem ser conectadas às linhas dos barramentos horizontais através de interruptores designados de “*crossover switches*” (Figura 17).



**Figura 17** Barramentos e sua interligação por interruptores “crossover” [17]

A matriz de interconexões globais não é o único recurso de ligações desta FPAA. É possível conectar um CAB a outros CABs vizinhos utilizando ligações locais. Estas ligações fazem com que a saída de um CAB seja conectada à entrada dos 8 CABs que o circundam e do CAB situado duas posições à sua direita, além da sua própria entrada.

Tal esquema é muito útil tratando-se de dispositivos analógicos, pois os projectos de circuitos analógicos são usualmente concebidos sobre a forma de uma cascata de blocos funcionais. Cada CAB possui 5 conjuntos de entradas, denominadas entradas “A”, “B”, “C”, “D” e “E”.

A entrada “A” de um CAB é exclusiva da realimentação, ou seja, só pode ser conectada à sua própria saída. A entrada “E” tem apenas a função de ligar à rede de barramentos. As entradas “B”, “C” e “D”, permitem a ligação aos 9 CABs vizinhos.

A Figura 18 mostra o esquema de ligações locais onde o CAB central (em branco), tem a sua saída conectada à sua própria entrada A, enquanto os CABs que o circundam têm as suas saídas conectadas nas entradas B, C e D do CAB central. Com este tipo de ligações locais é possível conectar as CABs mais próximas, deixando livre a rede de barramentos, para que esta possa ser utilizada para ligar CABs não vizinhas.

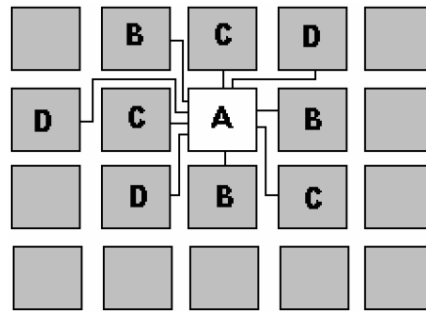


Figura 18 Ligações locais da AN10E40 [17]

Cada um dos CABs da AN10E40 é composto por um amplificador operacional e 5 bancos de condensadores com recursos de ligação, conforme mostra a Figura 19.

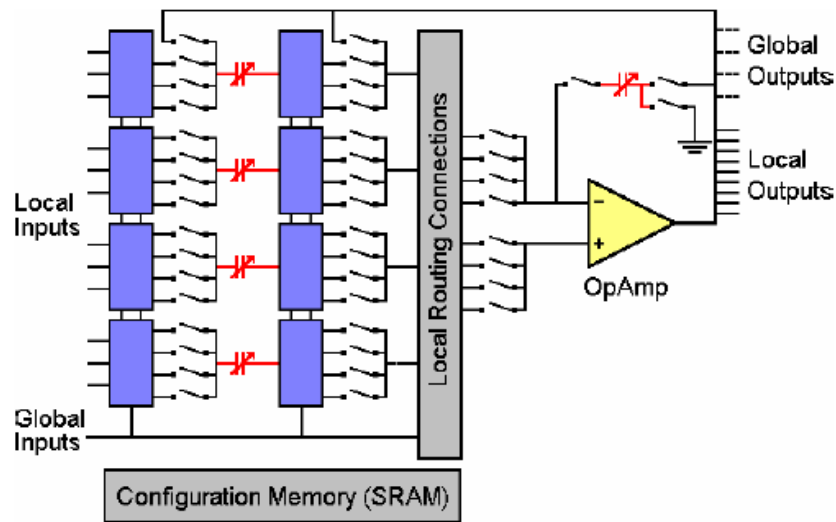


Figura 19 Configuração interna de um CAB da AN10E40 [17]

A Figura 20 ilustra um banco de condensadores que podem ser programados como um condensador ou como uma resistência (tecnologia S/C).

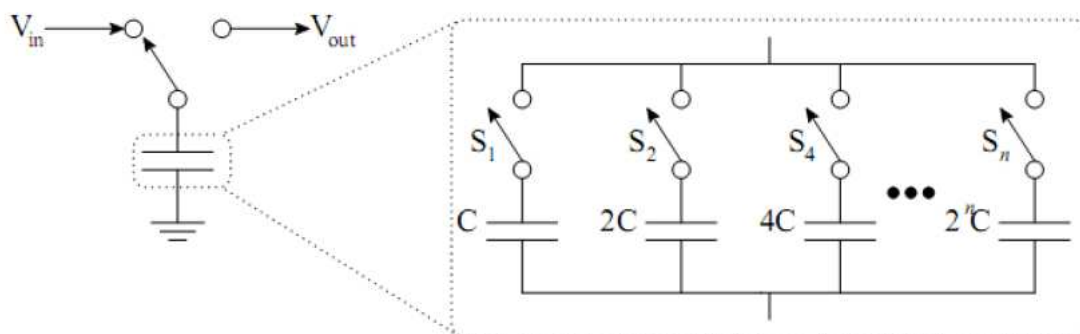


Figura 20 Esquema de comutação de condensadores adotado pela Anadigm [17].

No *software* de programação, *Anadigm Designer 2*, existe para esta FPAA uma biblioteca com 60 módulos que implementam as mais diversas funções analógicas, desde simples comparadores até aos mais diversos tipos de filtros.

A alimentação do AN10E40 é não simétrica de 5V e funciona numa tipologia de sinais totalmente diferenciais.

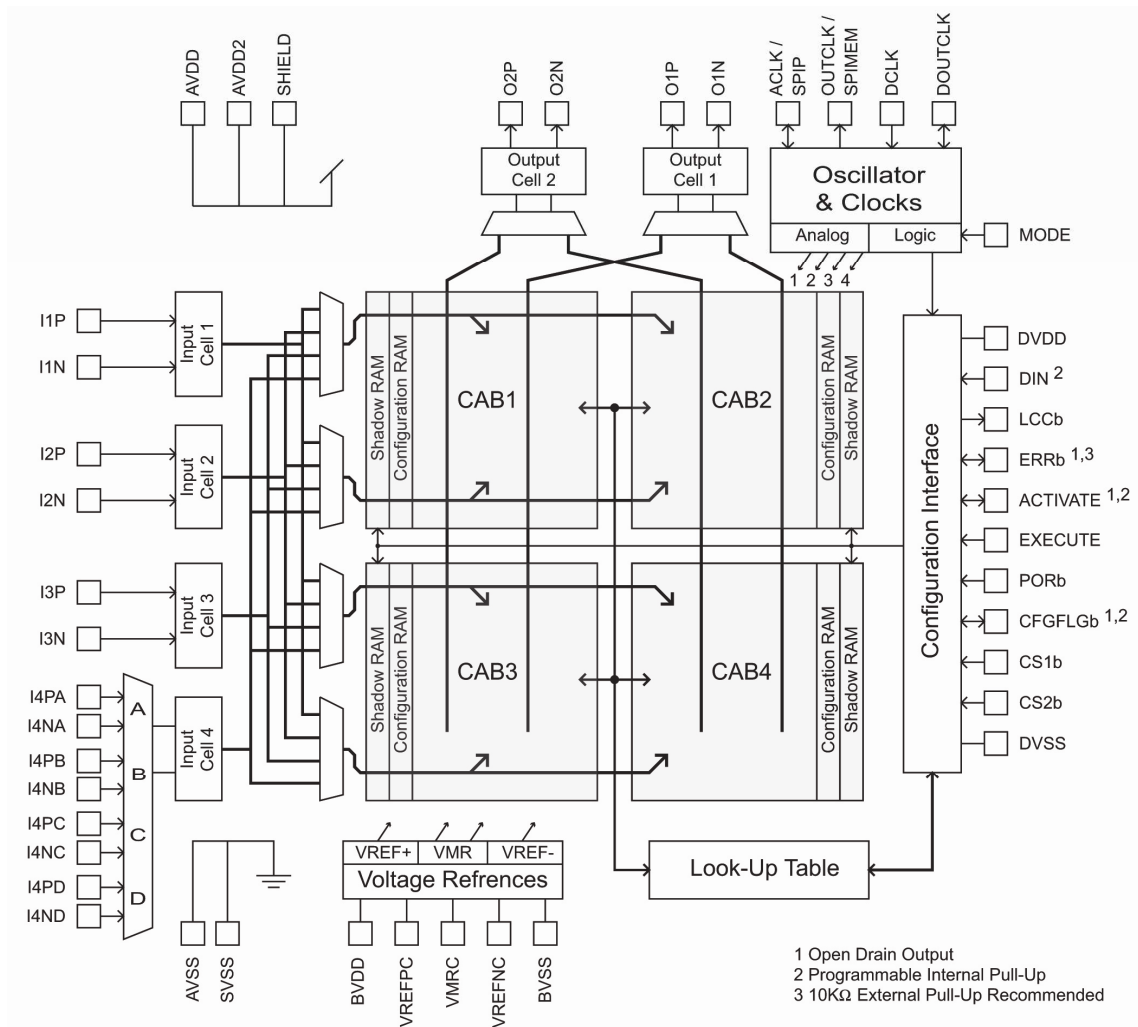
### **2.5.2. FPAA AN120E04 DA ANADIGM**

O AN120E04 faz parte de uma família de componentes da segunda geração de FPAAs fabricados pela Anadigm. Esta FPAA possui uma tecnologia de reconfiguração estática e possui todas as características da AN221E04, com a diferença de a AN221E04 possuir uma tecnologia de reconfiguração dinâmica.

Em comparação com o componente da primeira geração (a AN10E40), a AN120E04 ou a AN221E04 possui um menor número de CABs (4, contra 20 do componente da primeira geração). Contudo, os CABs do AN20E04 são mais versáteis e funcionais, sendo compostos por 3 elementos activos (dois amplificadores operacionais e um comparador) enquanto o CAB do AN10E40 possui apenas um OPAMP.

Adicionalmente, as células E/S possuem recursos adicionais, como filtros *anti-aliasing* e *smoothing* e entradas multiplexadas permitindo o processamento de mais de um canal analógico pela mesma entrada.

São recursos extras também desta nova geração de componentes uma LUT e conversores A/D, recursos estes que podem ser utilizados na linearização de sensores e processos de auto-calibração. A Figura 21 mostra o diagrama de blocos da FPAA AN120E04 onde é possível visualizar os 4 CABs, as 4 células de entrada e saída, as duas células exclusivamente de saída, o esquema de ligações à LUT e outros blocos como geradores de referência e relógio.



**Figura 21 Estrutura da AN120E04 [18]**

As siglas dos dispositivos da empresa obedecem ao seguinte padrão (excepto para a primeira geração): **ANxxxExx**

Onde:

- O primeiro 'x' refere-se ao tipo de reconfiguração (1-estática; 2-dinâmica)
- O segundo 'x' refere-se à geração pertencente (2- 2ª geração; 3- 3ª geração)
- O terceiro 'x' refere-se à interface E/S e ao conversor A/D (0- E/S fixas e somente conversor AD interno; 1- interface E/S flexíveis com conversor A/D CAM)
- Os dois últimos 'x' referem-se à quantidade de CABs disponível no componente.

### 2.5.3. COMPARATIVO DAS CARACTERÍSTICAS GERAIS DAS FPAAs DA ANADIGM

Na Tabela 2 é apresentado um resumo das características gerais das FPAAs da família *Vortex* da Anadigm.

**Tabela 2 Comparativo das características gerais das FPPAs da família Vortex da Anadigm**

	ANADIGM VORTEX				
	AN221E02	AN120E04	AN121E04	AN220E04	AN221E04
Tensão de alimentação	5 V	5 V	5 V	5 V	5 V
Tipo de sinais E/S	Diferencial Não diferencial	Diferencial Não diferencial	Diferencial Não diferencial	Diferencial Não diferencial	Diferencial Não diferencial
Offset DC nas entradas	< 100 $\mu$ V	< 100 $\mu$ V	< 100 $\mu$ V	< 100 $\mu$ V	< 100 $\mu$ V
Relação Sinal/Ruído	Banda larga: 80 db Banda estreita: 100 db	Banda larga: 80 db Banda estreita: 100 db	Banda larga: 80 db Banda estreita: 100 db	Banda larga: 80 db Banda estreita: 100 db	Banda larga: 80 db Banda estreita: 100 db
Rejeição de interferências <i>crossstalk</i>	> 70 db	> 70 db	> 70 db	> 70 db	> 70 db
Tamanho da matriz de CABs	2x1	2x2	2x2	2x2	2x2
Recursos dos CABs	2 AMPOPs totalmente diferenciais	2 AMPOPs totalmente diferenciais	2 AMPOPs totalmente diferenciais	2 AMPOPs totalmente diferenciais	2 AMPOPs totalmente diferenciais
	8 Bancos de duplos condensadores	8 Bancos de duplos condensadores	8 Bancos de duplos condensadores	8 Bancos de duplos condensadores	8 Bancos de duplos condensadores
	SAR de 8 bits	SAR de 8 bits	SAR de 8 bits	SAR de 8 bits	SAR de 8 bits
	1 Comparador de alta velocidade	1 Comparador de alta velocidade	1 Comparador de alta velocidade	1 Comparador de alta velocidade	1 Comparador de alta velocidade
Funções adicionais	LUT	LUT	LUT	LUT	LUT
	Contador programável	Contador programável	Contador programável	Contador programável	Contador programável
	SAR de 8 bits baseado em conversão A/D		SAR de 8 bits baseado em conversão A/D		SAR de 8 bits baseado em conversão A/D
Tempo de <i>upload</i> de dados	1,8-120 $\mu$ s	1,8-120 $\mu$ s	1,8-120 $\mu$ s	1,8-120 $\mu$ s	1,8-120 $\mu$ s
Entradas/Saídas	1 Entrada/saída	3 Entradas dedicadas	3 Entradas/saídas	3 Entradas dedicadas	3 Entradas/saídas
	1 Entrada/saída com multiplexer 4:1	1 Entrada com multiplexer 4:1	1 Entrada/saída com multiplexer 4:1	1 Entrada com multiplexer 4:1	1 Entrada/saída com multiplexer 4:1
	2 Saídas dedicadas	2 Saídas dedicadas	2 Saídas dedicadas	2 Saídas dedicadas	2 Saídas dedicadas
Modos de reconfiguração	Estática e dinâmica	Estática	Estática	Estática e dinâmica	Estática e dinâmica
Nº de pinos / invólucro	44 pinos / QPF	44 pinos / QPF	44 pinos / QPF	44 pinos / QPF	44 pinos / QPF
Dimensões do encapsulamento	10x10x2 mm	10x10x2 mm	10x10x2 mm	10x10x2 mm	10x10x2 mm

#### 2.5.4. FPAAS DA FAMÍLIA ISPPAC DA LATTICE SEMICONDUTORES

A família ispPAC (*In-System Programmable Analog Circuits*) teve origem num projecto desenvolvido em 1995 pela IMP (*International Microelectronics Products*), mais tarde esta tecnologia foi adquirida pela Lattice Semiconductors. Uma das principais características dos componentes da família ispPAC é a memória de programação do tipo EEPROM.

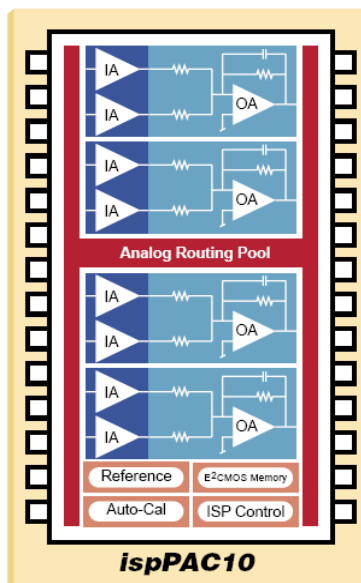
As FPAAs da família ispPAC possuem 5 versões:

- ispPAC10 – Para circuitos de condicionamento de sinais;
- ispPAC20 – Para circuitos de monitorização e sistemas realimentados;
- ispPAC30 – Para circuitos analógicos versáteis;
- ispPAC80 – Filtro passa baixo de 5ª ordem (50-750 KHZ);
- ispPAC81 – Filtro passa baixo de 5ª ordem (10-75 KHZ).

A FPAAs ispPAC10 contém 8 amplificadores de instrumentação com ganho regulável, 4 matrizes de condensadores com 128 valores e 4 saídas de amplificadores diferenciais. É ainda constituída por 4 CABs com ganhos programáveis de 0 db a 80 db e filtros de precisão do tipo passa baixo com frequências de corte entre 10 KHz a 100 KHz. Permite ainda a soma e subtração de sinais analógicos [19].

Equipada com porta série de programação JTAG, é comercializada num invólucro de 28 pinos com alimentação não simétrica de 5V.

Na Figura 22 podemos observar a sua estrutura interna e principais aplicações.



#### APLICAÇÕES

- Amplificação, soma, filtragem e interacção de sinais analógicos;
- Condicionamento de sinais para conversores A/D;
- Utilização como repetidor de sinal para cabos de aquisição de sinal longos;
- Ajuste digital de *Bias* para sistemas de controlo nas áreas da mecânica e da óptica;
- Monitorização de tensão com elevada precisão;
- Automação industrial;
- Medicina e analisadores científicos;
- Sistemas de teste e medida.

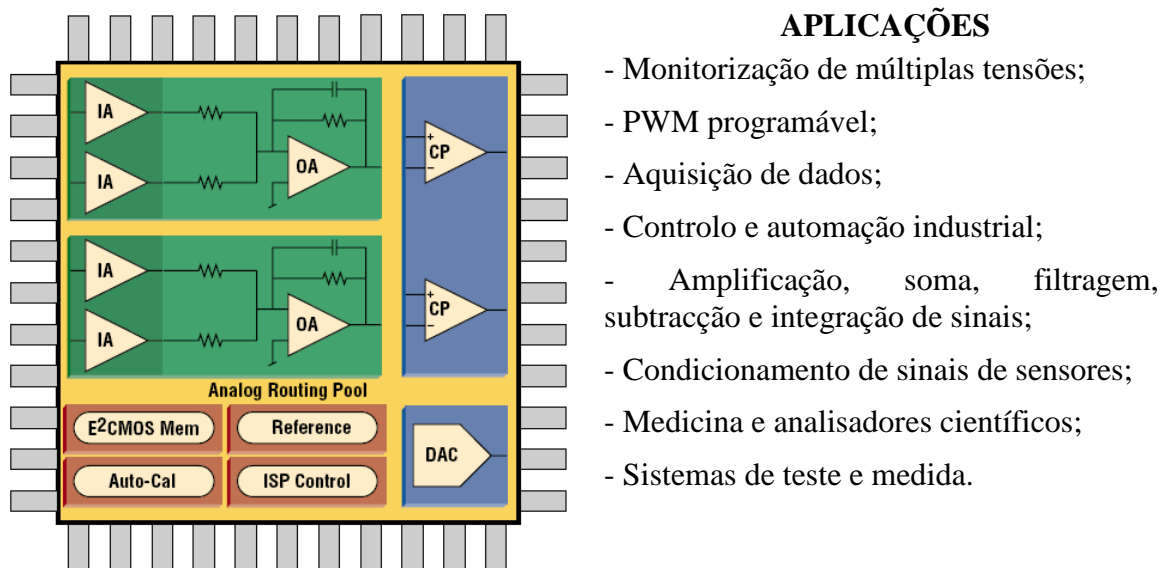
Figura 22 Estrutura da ispPAC10 e suas principais aplicações [19]

A FPAA ispPAC20 contém 4 amplificadores de instrumentação com ganho regulável, 2 matrizes de condensadores com 128 valores, 2 saídas de amplificadores diferenciais, 2 comparadores, um conversor A/D de 8 bits e um barramento que permite fazer ligações entre todos os componentes internos.

É constituída por 2 CABs com ganhos programáveis de 0db a 40db e filtros de precisão de 2ª ordem de tempo contínuo até 100KHz. Permite ainda a soma e subtração de sinais analógicos [19].

Está equipada com porta série de programação JTAG, interface SPI para actualizações dinâmicas do conversor A/D e é comercializada num invólucro de 44 pinos com alimentação não simétrica de 5 V.

Na Figura 23 podemos observar a estrutura interna da ispPAC20 e suas principais aplicações.



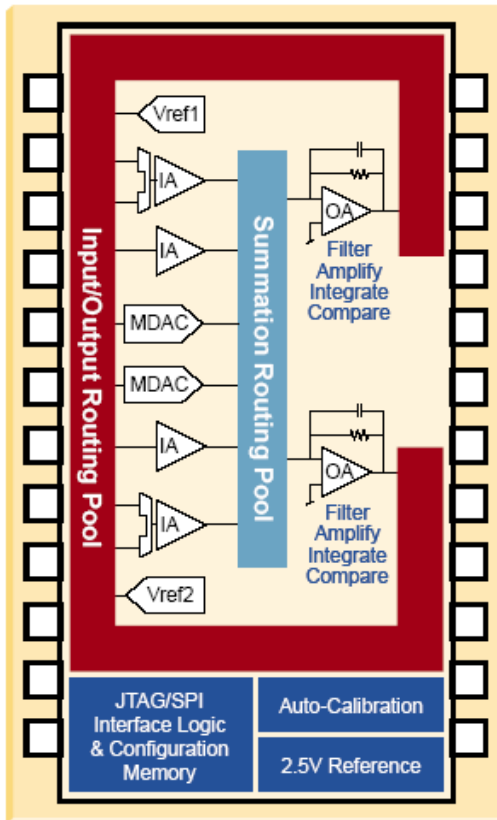
**Figura 23** Estrutura da ispPAC20 e suas principais aplicações [19]

A FPAA ispPAC30 contém 4 amplificadores de instrumentação com ganho regulável, 2 conversores A/D multiplicadores e 2 saídas de amplificadores diferenciais que são ligadas a um barramento que permite fazer a soma dos sinais dos amplificadores de entrada e dos conversores A/D. Permite a reprogramação (memória EEPROM) e reconfiguração (memória SRAM).

É constituída por 6 células de entrada e 2 células de saída com ganhos de  $\pm 0,01$  a  $\pm 400$ . Possui filtros de precisão em tempo contínuo com frequências de corte até 1,55MHz, *offsets* de tensão  $< 200 \mu V$  e erros de ganhos  $< 1 \%$ .

Equipada com porta série de programação JTAG e SPI e é comercializada num invólucro de 24 e 28 pinos com alimentação não simétrica de 5 V [21].

Na Figura 24 podemos observar a estrutura interna da ispPAC30 e suas principais aplicações.



## APLICAÇÕES

- Aquisição de dados;
- Condicionamento de sinais para conversores A/D;
- Utilização como repetidor de sinal para cabos de aquisição de sinal longos;
- Monitorização de tensões;
- Processamento de sinais lineares;
- Controlo e automação industrial;
- Condicionamento de sinais de sensores;
- Medicina e analisadores científicos;
- Sistemas de teste e medida.

Figura 24 Estrutura da ispPAC30 e suas principais aplicações [19]

As FPAAs ispPAC10, ispPAC20, e ispPAC30, possuem uma maior versatilidade em comparação com as ispPAC80 e ispPAC81, podendo realizar funções analógicas como filtros, somadores, integradores, e amplificadores. Já as FPAAs ispPAC80 e ispPAC81 são filtros programáveis de quinta ordem com topologia definida e não alterável. Estas permitem a programação apenas de alguns parâmetros como ganho e frequência de amostragem assim como o tipo dos filtros (*Butterworth*, *Chebyshev*, *Elíptico*, *Bessel*, entre outros). A diferença entre os componentes ispPAC80 e ispPAC81 é apenas a faixa de operação em frequência.

Na Figura 25 podemos observar a estrutura interna das FPAA ispPAC80/81.

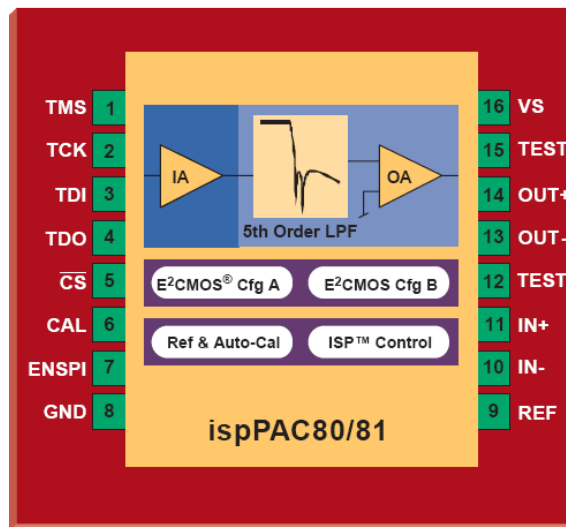


Figura 25 Estrutura da ispPAC80/81 [18]

Os filtros emulados pela FPAAs ispPAC80/81 permitem programar os seguintes parâmetros: frequência passa banda, *ripple* passa banda, frequência de corte, frequência de banda de passagem, linearidade de fase, atraso e resposta no domínio dos tempos.

Os CABs das FPAA da família ispPAC possuem uma tecnologia de transdutores, mas com a intenção de facilitar a interpretação do circuito, o fabricante representa-os por amplificadores de entrada (IA – *Input Amplifiers*) conforme mostra a Figura 26.

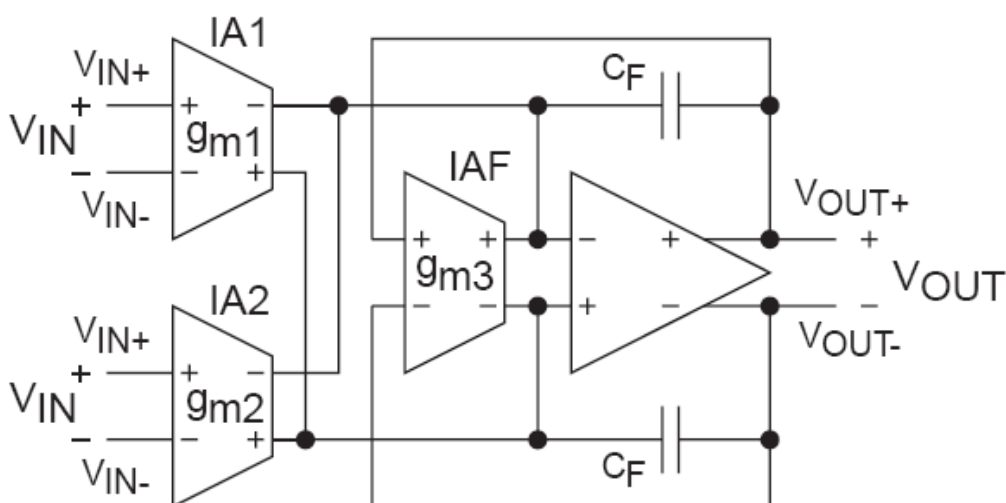
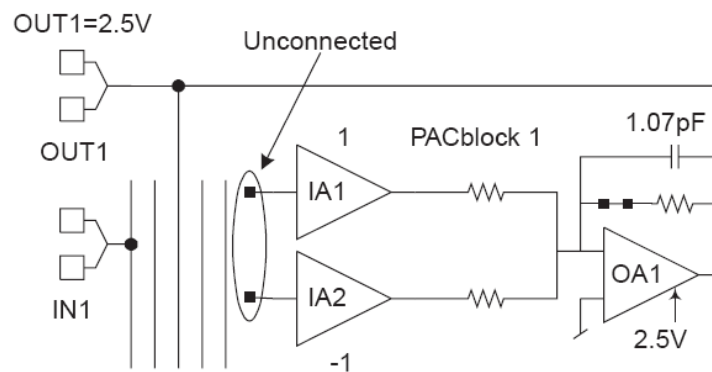


Figura 26 Representação esquemática de um CAB da família ispPAC [18]

Considerando a representação da Figura 27, os CABs da família ispPAC possuem dois amplificadores de entrada com ganho programável entre  $-10$  e  $10$  e um amplificador operacional de saída com dois laços de realimentação local. Um destes laços contém uma resistência de valor fixo, com possibilidade de a desabilitar, e outro contém um condensador programável em que o seu valor pode variar entre  $1$  pF e  $62$  pF. Cada CAB, individualmente, pode implementar amplificadores somadores, filtros e integradores assim como permitem a programação de filtros com frequências de corte que podem variar entre  $10$  KHz e  $600$  KHz [19].



**Figura 27 Representação esquemática de um CAB da família ispPAC [18]**

O ispPAC30 é a mais flexível das três FPAAs, pois o CAB representado na Figura 27 pode ser desconectado de maneira a separar as entradas das saídas, e desta maneira todos as 4 entradas amplificadoras podem ser ligadas ao mesmo AMPOP de saída.

A ispPAC20 possui duas CABs, dois comparadores e um bloco de lógica digital simples que pode implementar uma porta XOR (*Exclusive OR*) ou um *flip-flop Set-Reset*. Possui ainda um conversor A/D de 8 bits que pode ser utilizado como gerador interno ou externo de referência.

Os componentes da família ispPAC possuem alimentação não simétrica de  $5$  V, o que leva à necessidade de existência de uma tensão de referência interna de  $2,5$  V.

### 2.5.5. ISPAC POWER MANAGER DA LATTICE SEMICONDUTORES

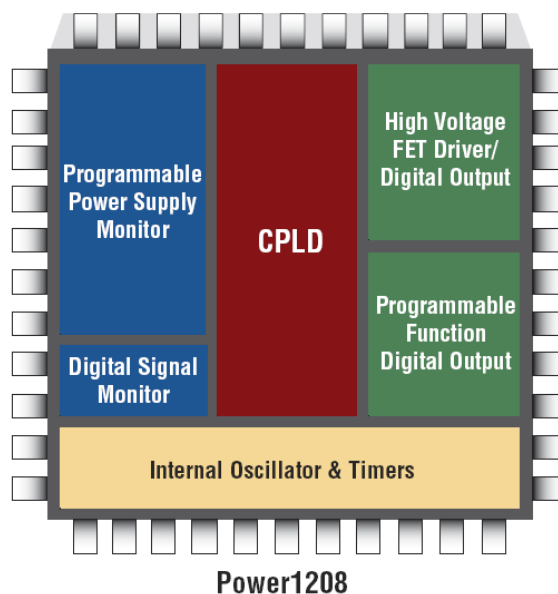
As tradicionais FPAAs da família ispPAC, da Lattice Semicondutores, encontram-se neste momento descontinuadas, sendo que esta tecnologia começou a ser embebida noutro tipo de dispositivos.

A família ispPAC Power Manager, disponível na versão *standard* e versão de precisão, combina as potencialidades das anteriores FPAAs da família ispPAC com a tecnologia de dispositivos de lógica programável complexa (CPLD - *complex*

*programmable logic device*). Estes dispositivos permitem implementar funções complexas de monitorização e sequencialmente sem necessidade de *hardware* externo como comparadores, resistências, condensadores, temporizadores, dispositivos lógicos, etc. Trata-se do primeiro integrado da Lattice com capacidade de processamento de sinais analógicos e digitais no mesmo integrado.

As entradas analógicas programáveis suportam alta precisão, enquanto que as funcionalidades de CPLD embebidas permitem um mecanismo mais eficiente para a geração de sinais de controlo para aplicações sequencias de potência assim como sinais de supervisão. Uma célula de saída de potência composta por MOSFET permite a conexão directa com dispositivos de potência [22].

Na Figura 28 podemos observar a estrutura interna da ispPAC Power 1208.

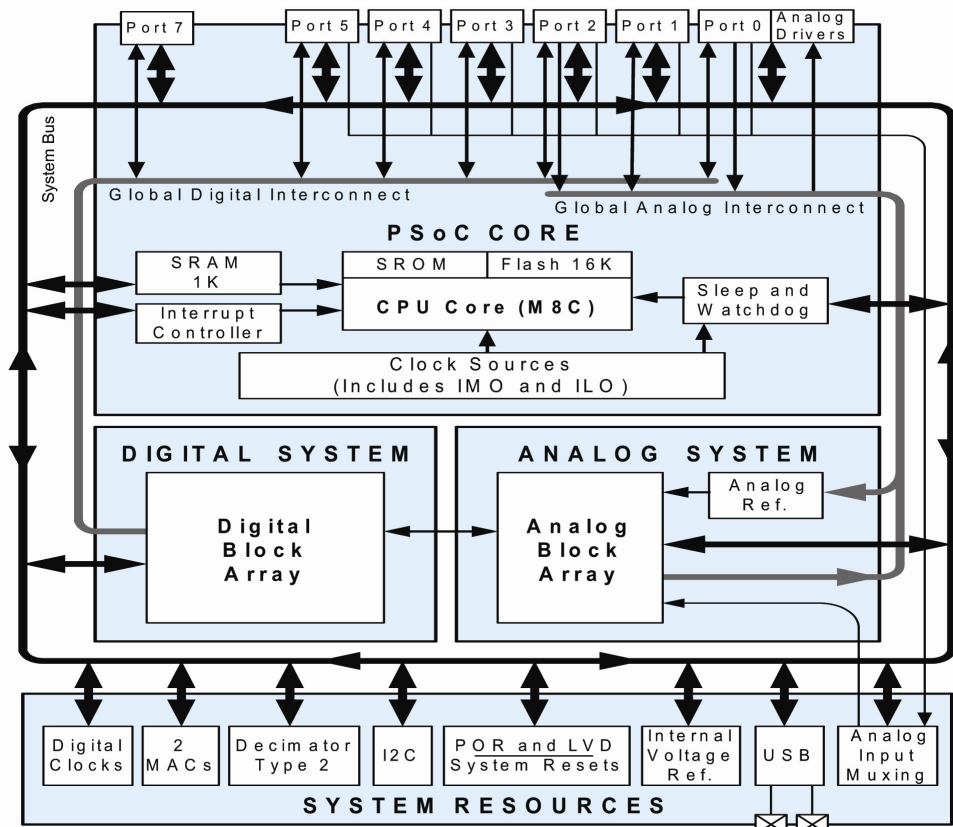


**Figura 28** Estrutura interna da ispPAC Power 1208 [18]

### 2.5.6. FPAAS DA CYPRESS

Tal como a Lattice, a Cypress Semiconductor deixou de fabricar integrados com funcionalidades exclusivamente de elementos analógicos reconfiguráveis e passou a produzir sistemas integrados com funcionalidades analógicas e digitais embebidas no mesmo integrado.

A Cypress desenvolve uma linha de produtos denominada PSOC "*Programmable Embedded System-On-Chip*", ou seja, um sistema completo que possui um microcontrolador, blocos analógicos e digitais num único dispositivo, tal como se pode observar na Figura 29.



**Figura 29** Estrutura interna dos integrados da família PSOC [24]

Este integrado vem substituir múltiplos e tradicionais sistemas baseados em unidades *multi-chip* (MCU – *Multy Chip Unit*) por um único integrado programável de baixo custo.

Essa arquitectura permite ao projectista realizar as configurações personalizadas dos periféricos que correspondam aos requisitos de cada aplicação, podendo-se usufruir ainda do seu CPU de alta velocidade, a memória *flash* de programa, a memória SRAM de dados e a configuração das entradas e saídas.

O sistema analógico da PSOC possui 6 blocos analógicos configuráveis, cada um deles composto por circuito AMPOP que permite o fluxo de sinais analógicos complexos assim como algumas funções, tais como:

- Conversão A/D com conversores de 6 a 14 bits;
- Filtros passa baixo, filtro passa banda de 2 e 4 pólos;
- 2 Amplificadores com ganho até 48;
- 1 Amplificador de instrumentação com ganho até 93.
- 2 Comparadores com 16 patamares seleccionáveis;
- 2 Conversores D/A com 6 a 9 bits de resolução;

- 2 Conversores multiplicadores D/A com 6 a 9 bits de resolução;
- Saídas de potência até 30 mA;
- Moduladores;
- Detectores de pico;
- Tensão de referência de 1,3 V;

A Figura 30 mostra a estrutura interna dos blocos analógicos de uma PSOC. Os blocos analógicos das PSOC são compostas por 3 blocos em que 1 bloco possui tecnologia em tempo contínuo e os outros 2 blocos possuem tecnologia S/C.

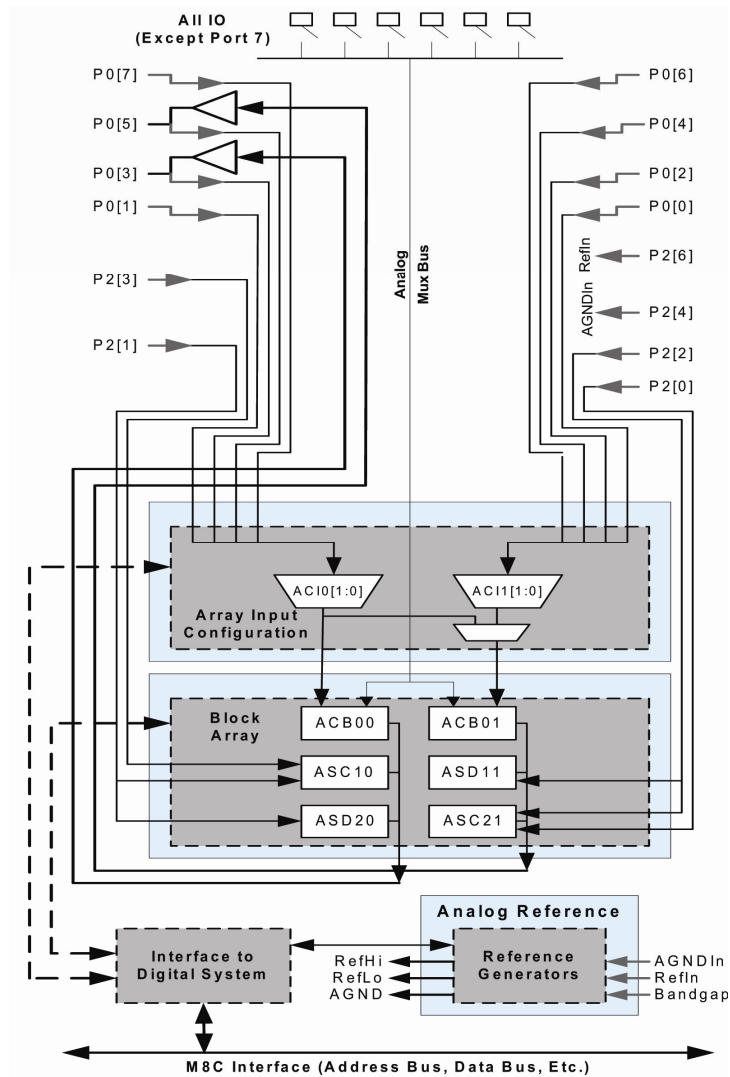


Figura 30 Estrutura interna dos blocos analógicos [24]

# 3. APLICAÇÕES COM FPAA

A utilização de FPAA's tem vindo a aumentar a sua aplicação, nomeadamente nas áreas de:

- Condicionamento de sinais e interface de sensores;
- Filtragem de sinais;
- Automação e controlo industrial;
- Monitorização e diagnósticos médicos;
- Controlo de precisão;
- Condicionamento de sinais de frequência ultra baixa;
- Processamento de sinais analógicos;
- Identificação de sinais de rádio frequência (RFID - *Radio-Frequency Identification*)
- Condicionamento de sinais de áudio (filtragem, efeitos, *subwoofers*, sintetizadores, etc).

Neste capítulo pretende-se relatar as aplicações existentes no mercado que utilizam FPAA's no condicionamento e tratamento de sinais analógicos.

## 3.1. CONDICIONAMENTO DE SINAIS ANALÓGICOS

Na maior parte das situações o sinal analógico que se pretende usar para processamento não possui as características eléctricas ideais para se poder ligar

directamente os sensores ou transdutores às entradas da FPAA. Deste modo torna-se necessário adaptar esses mesmos sinais.

### 3.1.1. SINAIS DIFERENCIAIS E NÃO DIFERENCIAIS

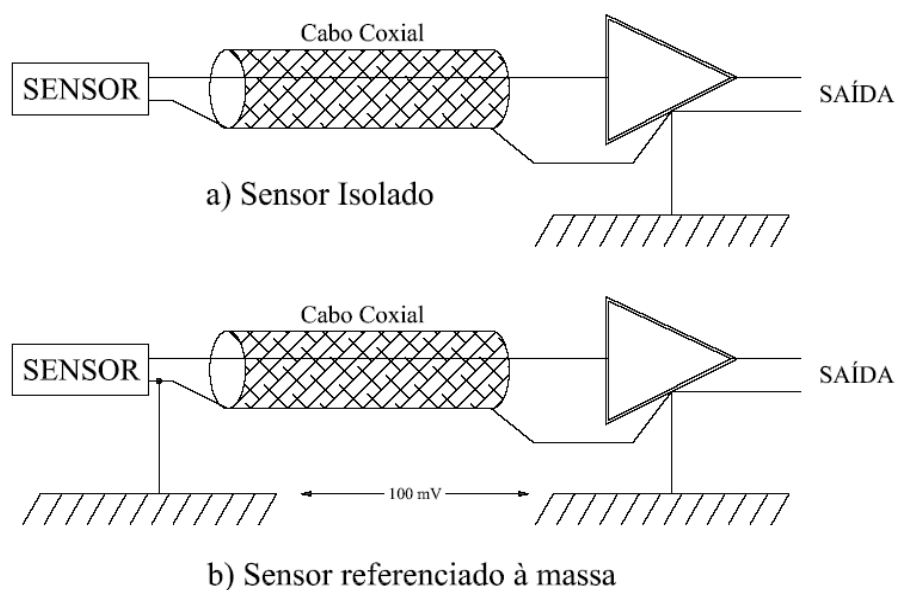
Existem dois modos de aquisição de sinais dos sensores: aquisição em modo diferencial ou em modo não diferencial (sinais simples).

A aquisição de sinais em modo não diferencial é feita com dois condutores, em que um deles transporta o sinal a medir e o outro condutor está referenciado a um potencial, normalmente à massa ou ponto de alimentação mais baixo do sistema.

Num ambiente de funcionamento ideal, este tipo de ligação de sensores não traria qualquer inconveniente; num ambiente de funcionamento real existem inúmeras interferências/ruídos electromagnéticos que ao atravessarem o cabo de ligação do sensor à FPAA, alteram o seu sinal eléctrico.

Isto acontece porque um dos condutores que transporta o sinal do sensor está referenciado a um potencial fixo, normalmente a massa o que faz com que este não sofra interferências, mas o outro condutor irá ser influenciado electricamente pelas interferências externas ao sistema. Deste modo, todas as interferências, que normalmente resultam em acréscimos ou decréscimos da tensão do sinal do sensor, irão repercutir-se na entrada da FPAA alterando o sinal original.

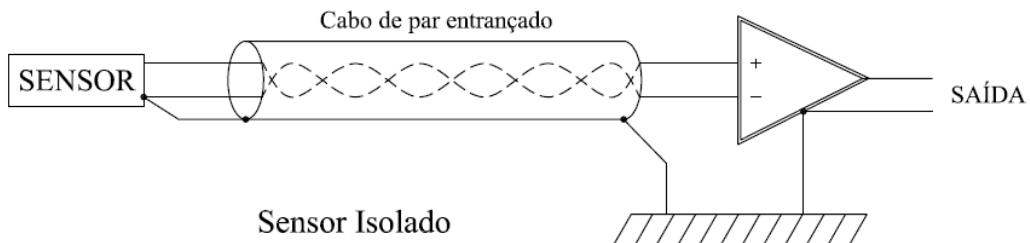
A Figura 31 a) e b) mostra dois tipos de aquisição de sinal em modo não diferencial.



**Figura 31** Aquisição de sinal em modo não diferencial

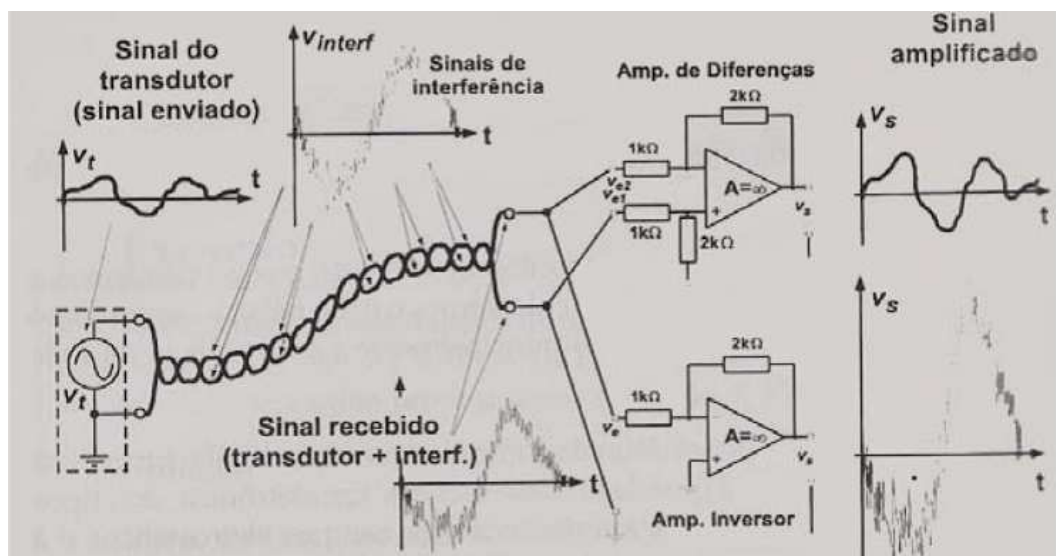
A Figura 31b mostra um sensor que está ligado a uma massa diferente da massa da FPAA. Se existir uma diferença de potencial de 100mV entre estas duas massas, este potencial eléctrico será somado ao sinal eléctrico do sensor. Se o sensor utilizado for um termopar, o ruído introduzido é superior ao sinal eléctrico criado (normalmente  $\mu V$ ).

A aquisição de sinais em modo diferencial é demonstrada na Figura 32. O tipo de cabo mais utilizado para o transporte do sinal eléctrico do sensor é o cabo com condutores em pares entrançados, em que nenhum dos condutores é referenciado à massa, faz com que na presença de um sinal de ruído este se manifeste nos dois condutores. Este sinal é recebido na FPAA por um amplificador de instrumentação que faz a leitura da diferença entre o potencial eléctrico dos condutores. Ou seja, se o sinal de ruído influenciar o sinal eléctrico dos dois condutores de forma igual, ao medir a diferença de potencial entre os dois condutores, o ruído introduzido é eliminado.



**Figura 32** Aquisição de sinal em modo diferencial com cabo de par entrançado

A Figura 33 mostra a diferença entre a aquisição de um sinal em modo diferencial e em modo não diferencial. Pode-se ver que na aquisição em modo diferencial o ruído, ou sinais de interferência, são anulados enquanto que na aquisição de sinais não diferenciais essas interferências são somadas ao sinal recebido.



**Figura 33** Aquisição de sinal em modo diferencial e não diferencial

### 3.1.2. CUIDADOS NA LIGAÇÃO DE SENSORES À FPAA

A FPAA AN221E04 da Anadigm, alvo de estudo e implementação neste trabalho, assim como todas as FPAA da Anadigm, funcionam com sinais analógicos que são referenciados a +2 V (VMR) e que são limitados entre 0 a +4 V. Deste modo qualquer sinal ligado a uma entrada da FPAA terá de ter estas características.

De seguida serão representados vários métodos para fazer o *interface* dos sinais de sensores de modo a referencia-os a um potencial de +2 V e limitar as suas amplitudes entre 0 e +4 V.

#### Ligação de sensores em modo não diferencial.

O primeiro passo é configurar a entrada da FPAA para funcionar em modo não diferencial, tal como se podemos visualizar na Figura 34. O terminal negativo da entrada é ligado internamente à tensão de referência (VMR).

Quando uma entrada está configurada em modo não diferencial requer a utilização de um filtro passa baixo do tipo *anti-aliasing*, com uma frequência máxima de corte de 470 kHz. Em vez deste filtro, poderia ser utilizado um amplificador do tipo *chopper*, mas obrigaria a configurar um ganho mínimo de 16, o que pode não ser funcional para a aplicação pretendida. Se a frequência do sinal de entrada for superior a 470 kHz teríamos de recorrer à configuração com amplificador *chopper* e com um ganho superior a 16. Ou seja, se este ganho for superior ao pretendido, não poderemos utilizar esta entrada em modo não diferencial. Nesta situação, o terminal negativo da entrada deve ser ligado externamente a +2 V (VMR), tal como na Figura 35.

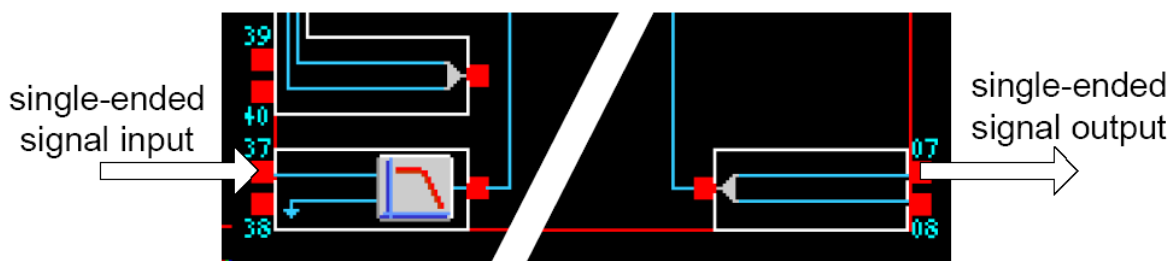
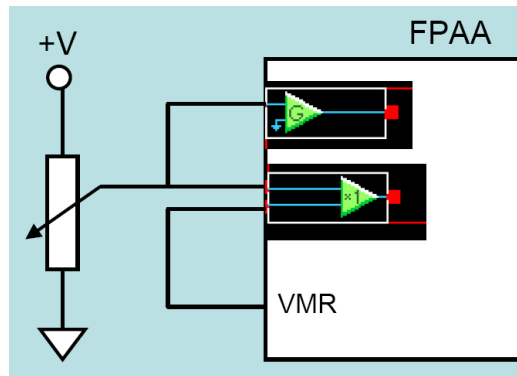


Figura 34 Aquisição de sinal em modo não diferencial [26]



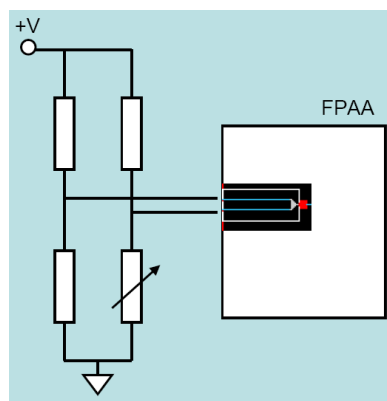
**Figura 35** Ligação do terminal negativo da entrada a VMR (+2 V) [26]

A saída da FPAA pode também ser usada em modo não diferencial (saída simples) utilizando apenas um dos terminais da saída. Pode ser utilizado o terminal positivo ou o negativo da saída, tendo em atenção que no terminal negativo o sinal de saída é invertido.

### **Ligação de sensores em modo diferencial.**

Sempre que possível deve-se utilizar as entradas da FPAA em modo diferencial uma vez que o tratamento do sinal neste modo apresenta as vantagens descritas na secção 3.1.1.

Uma forma simples de tornar um sensor com sinal não diferencial num sinal diferencial é utilizar esse mesmo sensor numa ponte de *wheatstone*, tal com mostra a Figura 36.



**Figura 36** Utilização de um sensor em ponte de *Wheatstone* [26]

## Eliminação de tensões de *offset* e referenciação de sinais

Para um eficaz processamento de sinais analógicos torna-se importante eliminar qualquer tensão DC contida no sinal que não seja desejada.

Para tal existem vários métodos possíveis.

### 1º Método – *offset* externo

Aplicação do sinal a um dos terminais da entrada da FPAA e no outro terminal aplicamos uma tensão DC igual à tensão que se pretende eliminar, tal como mostra a Figura 37. Para tal, será necessário configurar a entrada para recepção de um sinal diferencial.

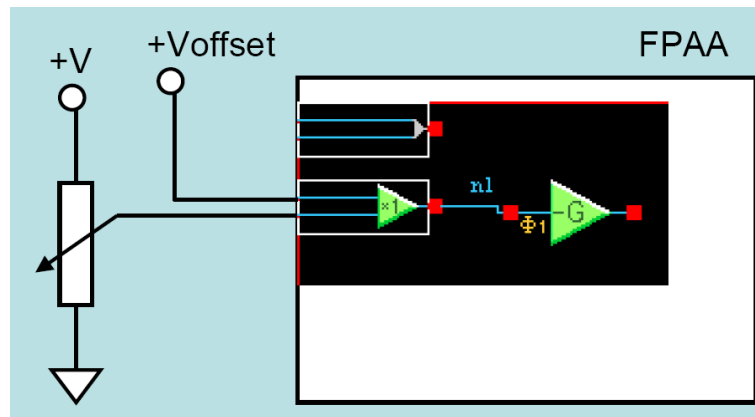


Figura 37 Aplicação de uma tensão de *offset* à entrada da FPAA. [27]

### 2º Método – *offset* interno por CAM

Se a aquisição do sinal analógico já é em modo diferencial, podemos internamente utilizar uma função CAM, com um AMPOP diferencial, onde se aplica uma tensão de *offset* para eliminar a tensão DC pretendida do sinal adquirido.

Com já referido anteriormente, a aquisição de sinais em modo diferencial é mais eficiente uma vez que torna o circuito mais imune a ruídos externos ao sistema.

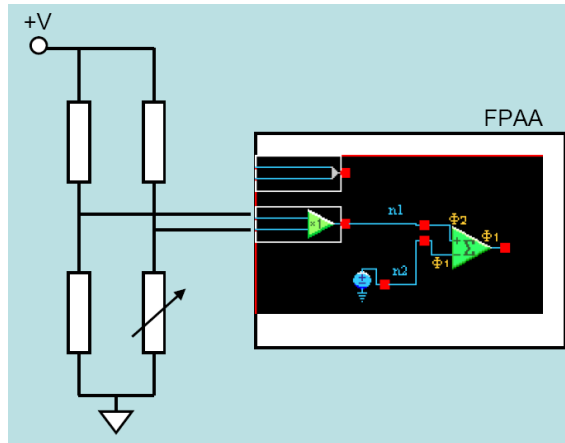


Figura 38 Aplicação de uma tensão de *offset* à entrada da FFAA [27].

### 3º Método – Acoplamento AC externo

Outro método de eliminar tensões DC indesejadas é a aplicação de um acoplamento AC ao sinal que se pretende medir, tal como apresenta a Figura 39. Se internamente as CAM colocarem as entradas referenciadas a VMR (+2 V) então as resistências R e Ra não são necessárias, e o sinal entra directamente como na primeira entrada da Figura 39.

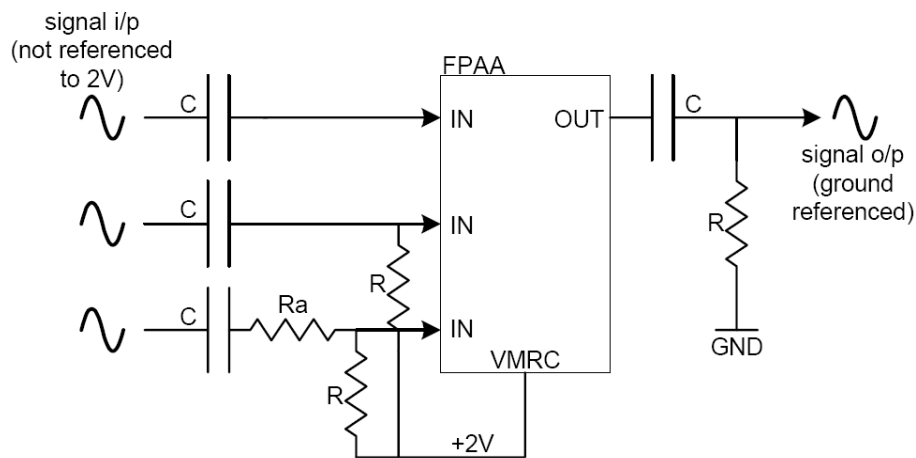


Figura 39 Acoplamento AC externo [26].

Os valores de R e C deverão ser o mais elevado possível de modo a que a frequência de corte seja superior à gama de frequências do sinal de entrada. A frequência de corte pode ser calculada a partir dos valores de R e C, de acordo com a fórmula:

$$F_c = \frac{1}{2 \times \pi \times R \times C} \quad (6)$$

Se não forem utilizadas as resistências R para o cálculo da frequência de corte (dado que as CAM internamente fazem esta função) considera-se uma resistência interna equivalente de 30 k $\Omega$ .

Um acoplamento AC pode também ser utilizado na saída da FPAA.

#### 4º Método – Amplificador *Chopper*

Este método é utilizado para a referenciação de sinais do tipo diferencial que possuem uma referência flutuante e baixa amplitude de sinal.

Esta é uma situação bastante comum como, por exemplo, o sinal de um microfone ou de um termopar, os quais não possuem qualquer tipo de referência.

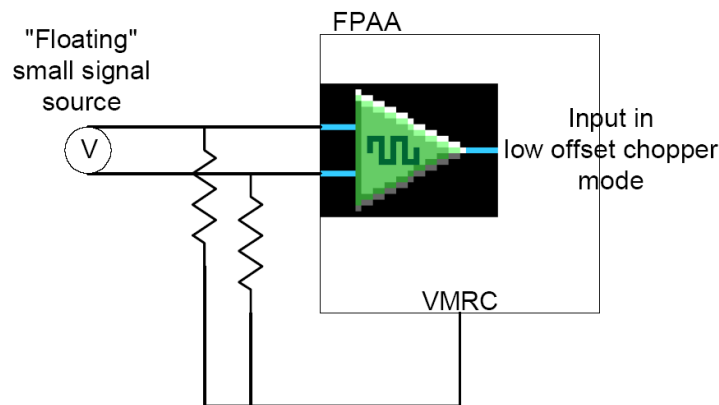


Figura 40 Aquisição de sinais com amplificador *chopper* [26]

Tal como mostra a Figura 40, a fonte de sinal é ligada directamente à entrada da FPAA configurada para “*low offset chopper*”.

O amplificador *chopper* pode amplificar o sinal de entrada com ganhos de 16 a 128 sem introduzir *offsets* inesperados.

Se o amplificador *chopper* não referenciar internamente as suas entradas para +2 V então será necessário acoplar um par de resistências entre a entrada diferencial e a tensão de referência VMRC. Estas resistências deverão ter um valor superior à impedância da fonte que gera o sinal.

Este é um método simples e de fácil implementação, mas tem a desvantagem de apenas poder ser utilizado em sinais flutuantes de baixa amplitude.

## 5º Método – Divisor de tensão

Outro método simples para referenciação de sinais é a utilização de um divisor de tensão com resistências.

A Figura 41 mostra a implementação deste método utilizando sinais na entrada de sinal e na saída de sinal da FPAA, sinais estes que são referenciados à massa (0 V).

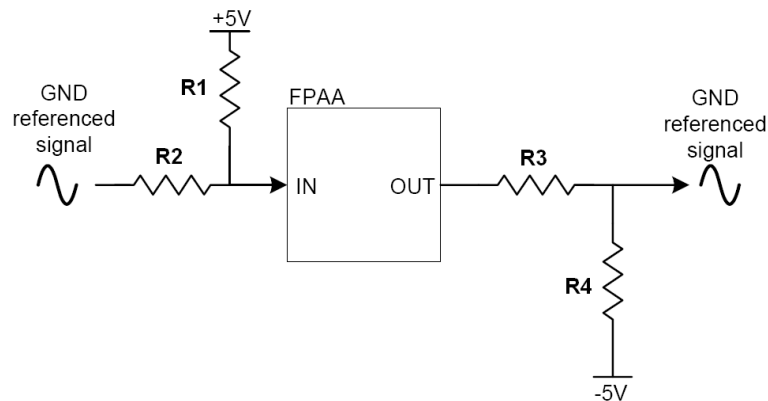


Figura 41 Referenciação de sinais com divisor de tensão. [26]

A tensão de referência na entrada da FPAA é dada pela fórmula:

$$V_{REF\ in} = 5 \times \frac{R2}{R1 + R2} \quad (7)$$

E na saída da FPAA é dada por:

$$V_{REF\ out} = 10 - 10 \times \frac{R4}{R3 + R4} \quad (8)$$

A saída da FPAA possui normalmente um *pull-up* interno à tensão de alimentação de +5 V o que faz com que a malha na saída da FPAA tenha aplicado ao seus terminais uma tensão máxima de 10 V.

No caso da utilização de um divisor de tensão por resistências na saída da FPAA, temos de ter o cuidado de as resistências utilizadas possuírem um valor inferior à impedância de entrada do dispositivo que irá receber o sinal. Mas estas resistências não poderão ter um valor tão baixo que possa colocar a saída da FPAA em sobrecarga, logo não é recomendável que a soma das resistências seja inferior a 100 kΩ.

Caso o sinal de entrada tenha amplitudes pico a pico superiores a 4 V, então o sinal terá de ser atenuado e, para tal, a malha de resistências apresentada na Figura 41 não é suficiente. Será necessária a introdução de uma 3ª resistência, como mostra a Figura 42.

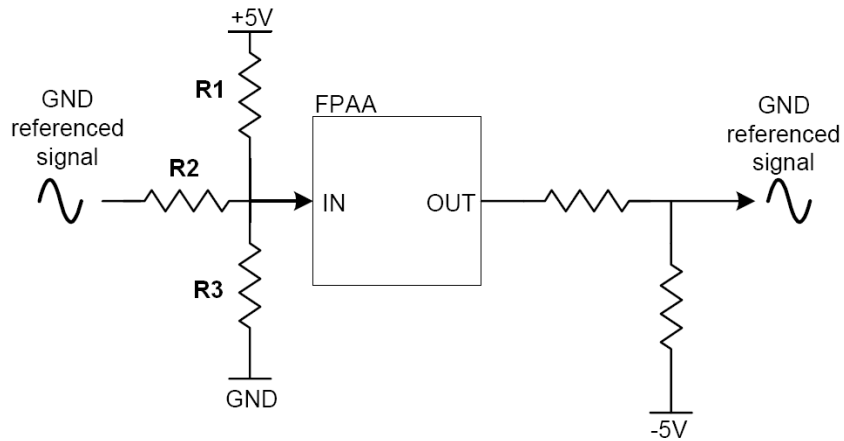


Figura 42 Referenciação de sinais com divisor de tensão [26]

### 6º Método – Utilização de díodos Zéner

Este método utiliza díodos zéner e resistências para referenciar o sinal para a tensão pretendida. Este método é muito idêntico ao anterior, mas com a vantagem de não depender das tolerâncias das resistências ou da fonte de alimentação, assim como não se verifica atenuação do sinal.

A Figura 43 mostra um exemplo utilizando díodos zéner de 2 V para o interface de sinais referenciados à massa.

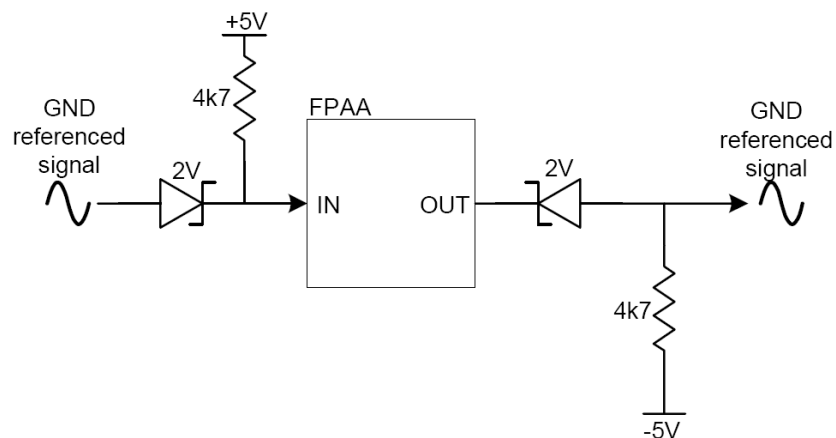


Figura 43 Referenciação de sinais com diodo zéner [26]

As vantagens deste método são o seu custo, a não dependência da tolerância das resistências ou da fonte de alimentação, a não atenuação de sinais, assim como a facilidade de referenciar o sinal para qualquer tensão bastando seleccionar a tensão do diodo zéner mais conveniente.

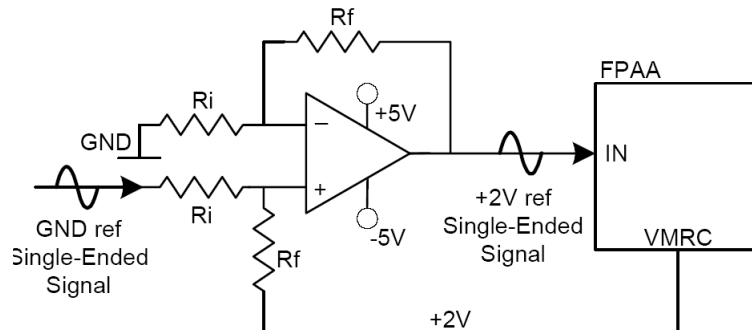
As desvantagens são a dependência da tolerância do diodo e o seu ganho fixo de 1, o que faz com que não possa ser utilizado para a aquisição de sinais com amplitude superior a 4 V pico a pico.

### 7º Método – Utilização de circuito externo com AMPOP

Na Figura 44 podemos visualizar a implementação deste método recorrendo a um AMPOP externo para referenciar o sinal analógico, assim como para atenuar ou amplificar sinais. O ganho obtido por esta montagem é dado por:

$$Ganho = \frac{R_f}{R_i} \quad (9)$$

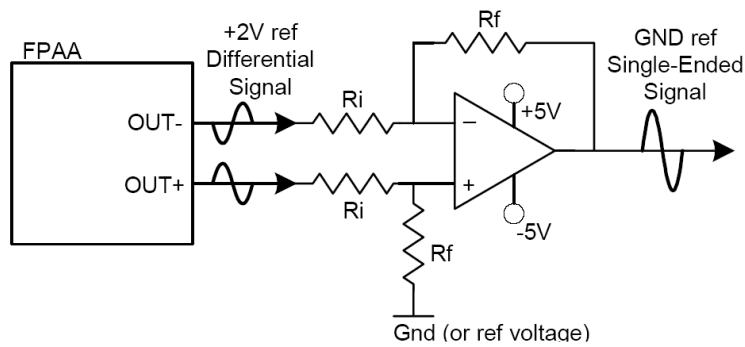
A Figura 44 mostra a montagem para sinais do tipo não diferencial.



**Figura 44** Referenciação de sinais utilizando um circuito externo com AMPOP [26]

De modo a evitar sobrecargas da FPAA, pino VMRC, a soma das resistências  $R_f$  e  $R_i$  deverá ser de aproximadamente 100 k $\Omega$ .

A Figura 45 mostra a implementação deste método na saída da FPAA com sinal do tipo diferencial. Esta montagem pode também servir para acoplar a saída da FPAA a circuitos de baixa impedância, ou ainda para amplificar o sinal da saída para níveis de potência mais elevados.

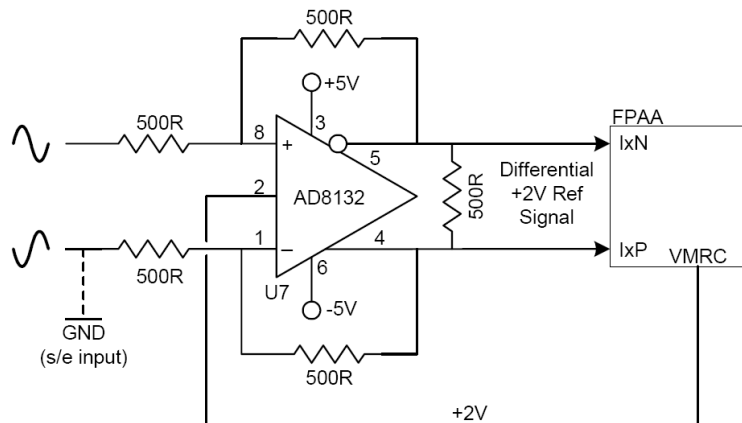


**Figura 45** Referenciação de sinais diferenciais utilizando um AMPOP externo [26]

### 8º Método – Utilização de circuito externo com AMPOP diferencial

O AMPOP diferencial mais utilizado nestas situações é o AD8132 da Analog Devices.

Este AMPOP possui entrada e saída diferencial e uma entrada comum para ajuste de referência, o que permite lidar com sinais diferenciais ou não diferenciais, convertendo este para um sinal diferencial na saída do AMPOP. Para converter um sinal não diferencial num sinal diferencial basta ligar o terminal negativo da entrada à massa.



**Figura 46** Conversão de um sinal não diferencial para um sinal diferencial [26]

O integrado AD8132 possui uma banda de frequência de 350 MHz, o que poderá causar alguns problemas de *aliasing* devido a ruídos de alta frequência.

Este problema pode ser eliminado ligando em paralelo com a malha de realimentação um condensador, limitando desta forma a frequência de corte.

A Figura 47 mostra uma montagem em que o sinal diferencial da saída da FPAA é convertido num sinal do tipo não diferencial.

O ganho desta montagem é dado por:

$$Ganho = 1 + \frac{R_f}{R_g} \quad (10)$$

Se pretendermos um ganho unitário podemos ligar directamente o pino 5 com o pino 6 do AD8130.

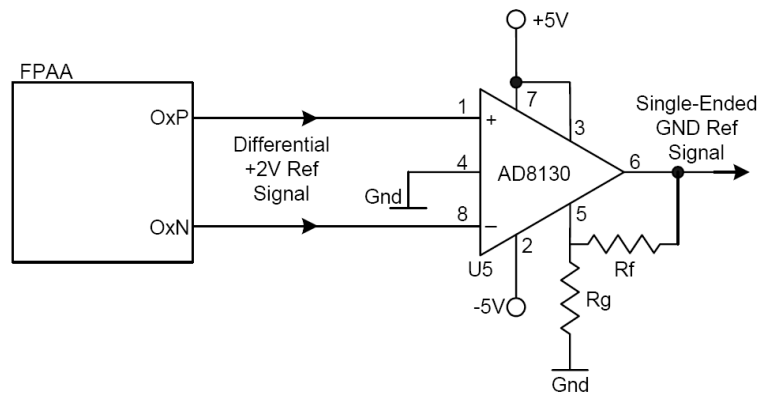


Figura 47 Conversão de um sinal diferencial para um sinal não diferencial [26]

### 9º Método – Utilização de sensores estimulados

Na Figura 48 temos uma possível montagem com sensor estimulado. Trata-se de uma montagem em que colocamos internamente na FPAA o mesmo relógio a sincronizar o filtro que recebe o sinal de sensor com a saída da FPAA responsável por alimentar o sensor.

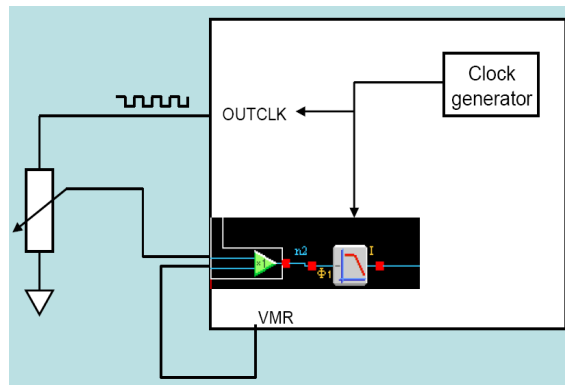


Figura 48 Sensor estimulado [27]

O sensor é alimentado por um sinal de onda quadrada, o que faz com que emita sinais apenas quando este é alimentado. A amostragem do sinal pelo filtro de entrada da FPAA é, deste modo, sincronizada com a alimentação do sensor evitando amostragens não necessárias e sujeitas a ruídos.

### 3.1.3. EXEMPLOS DE LIGAÇÃO DE SENSORES A UMA FPAA

A Figura 49 ilustra a ligação de um termistor a uma FPAA. Esta ligação requer alguns cuidados uma vez que a fonte de sinal possui elevada impedância e as correntes geradas pelo termopar são baixas, normalmente inferiores a  $100 \mu\text{A}$  (de modo a evitar o auto-aquecimento). Nesta montagem recorreu-se à ligação do termistor numa ponte de *Wheatstone* de modo a enviar um sinal para a FPAA com entradas em modo diferencial.

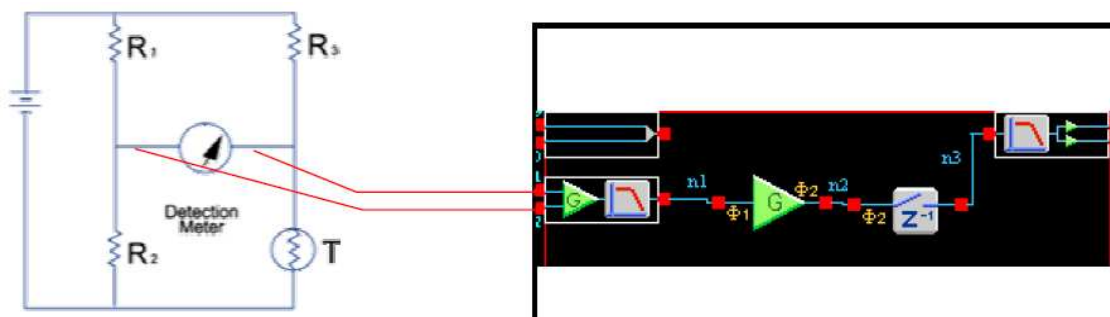


Figura 49 Ligação de um termistor a uma FPAA [27]

A ligação de termopares a uma FPAA requer outros cuidados, uma vez que estes produzem um sinal de muito baixa tensão, o que faz com que o transporte deste sinal possua muito baixa imunidade a ruídos. Para evitar os ruídos captados pelos condutores do termopar, pode-se, tal como mostra a Figura 50, introduzir em série com os condutores do termopar um conjunto de duas bobinas envoltas num núcleo de ferrite. Dado que o sinal eléctrico produzido pelo termopar é um sinal flutuante um dos terminais da entrada da FPAA deverá ser referenciado a VMR.

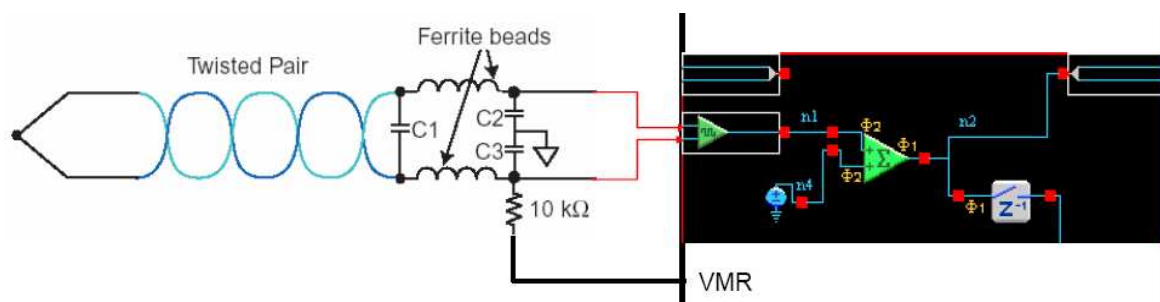
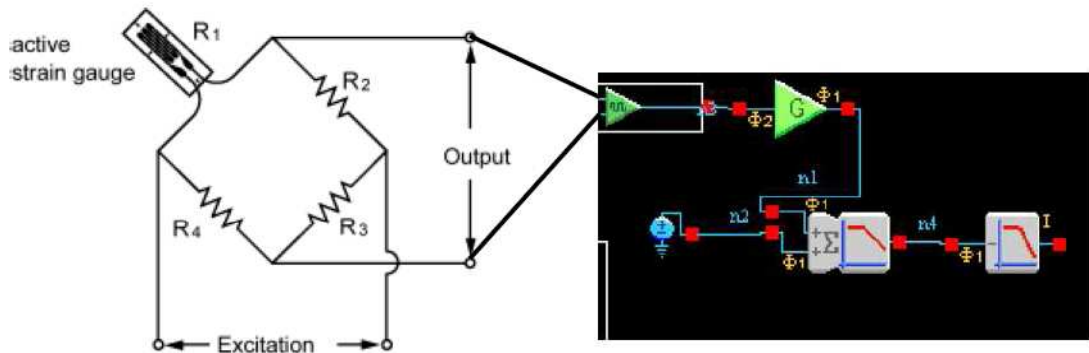


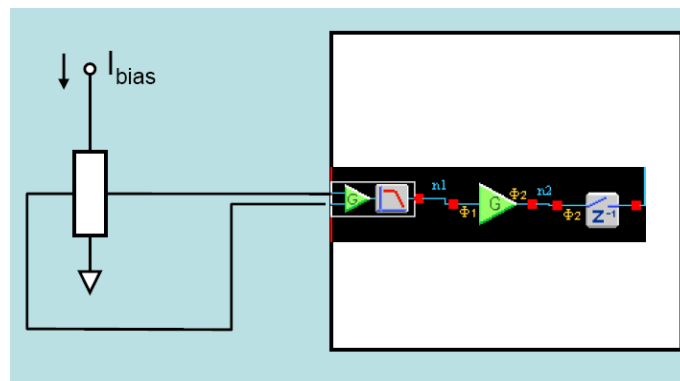
Figura 50 Ligação de um termopar a uma FPAA [27]

A Figura 51 mostra a ligação de um extensómetro, ligado em ponte de *Wheatstone*, à entrada de uma FPAA. Esta montagem não requer cuidados especiais para além dos já mencionados em sensores anteriores montados em ponte de *Wheatstone*. Nesta situação, o *offset* do sinal é eliminado internamente pela criação de uma tensão de referência.



**Figura 51** Ligação de um extensómetro a uma FPAA [27]

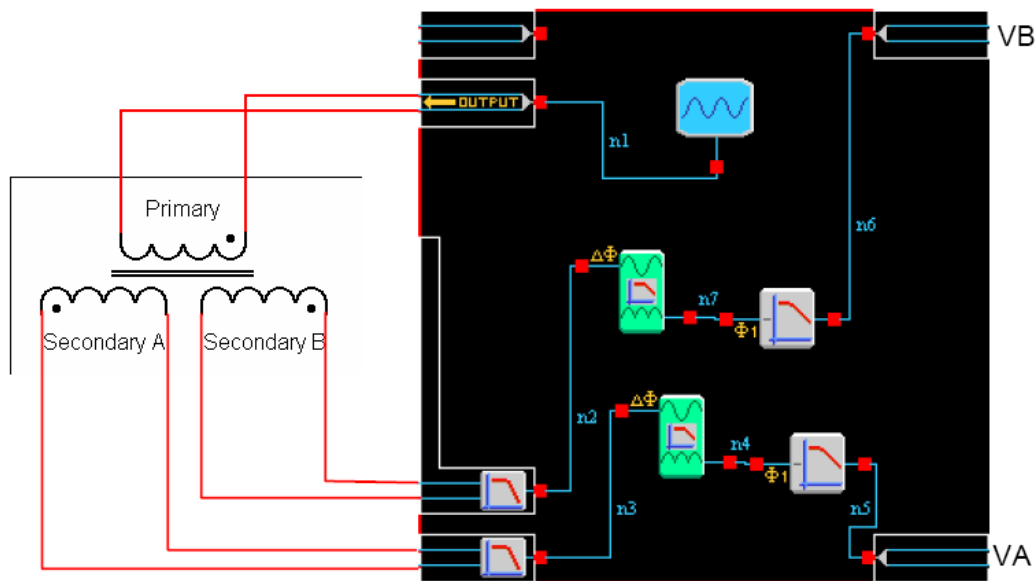
Na Figura 52 podemos visualizar a ligação de um sensor de efeito de *Hall* a uma entrada da FPAA. Este tipo de sensor não requer muitos cuidados na sua ligação uma vez que possui uma impedância baixa e uma boa linearidade do seu sinal.



**Figura 52** Ligação de um sensor de efeito de Hall a uma FPAA. [27]

Na ligação de um LVDT (*Linear Variable Differential Transformer*), (na Figura 53), para além de se ligar as duas bobinas secundárias (sinais diferenciais) às entradas da FPAA, podemos utilizar uma saída da mesma para alimentar a bobina primária com uma tensão sinusoidal. O facto da FPAA alimentar a bobina primária, permite sincronizar internamente o sinal enviado com o sinal a ser amostrado nas entradas da FPAA. As frequências típicas de trabalho de um LVDT são entre 1 a 10 kHz.

Com a FPAA podemos aplicar aos sinais recebidos, funções como filtragem, rectificação, comparação, etc.



**Figura 53** Ligação de um LVDT a uma FPAA [27]

Uma das preocupações no condicionamento de sinais, quando se utilizam sensores com sinais não lineares, é desenvolver um circuito que seja capaz de linearizar esse sinal para que possa ser utilizado correctamente sempre que se pretenda utilizar funções de proporcionalidade.

Em alguns sensores com sinal não linear, é possível desenvolver circuitos analógicos com componentes passivos que fazem a aproximação do sinal a um sinal linear, ou seja, sinal proporcional à grandeza de medida. Noutros sensores torna-se necessário converter esse sinal num sinal digital, onde esse sinal é comparado com uma tabela de correcção (gravada em memória) e corrigido. Posteriormente o sinal é convertido novamente num sinal analógico para ser utilizado em outras funções.

Na Figura 54 podemos ver o método utilizado pela FPAA no processo de linearização de um sinal. O sinal externo é convertido pelo SAR-ADC, e enviado para a LUT, que aponta para um endereço de memória que contém a tabela de linearização.

O direccionamento da saída do SAR-ADC de volta para seu próprio CAB, permite activar ainda outras funções analógicas não lineares, como multiplicação de tensão e controlo automático de ganho.

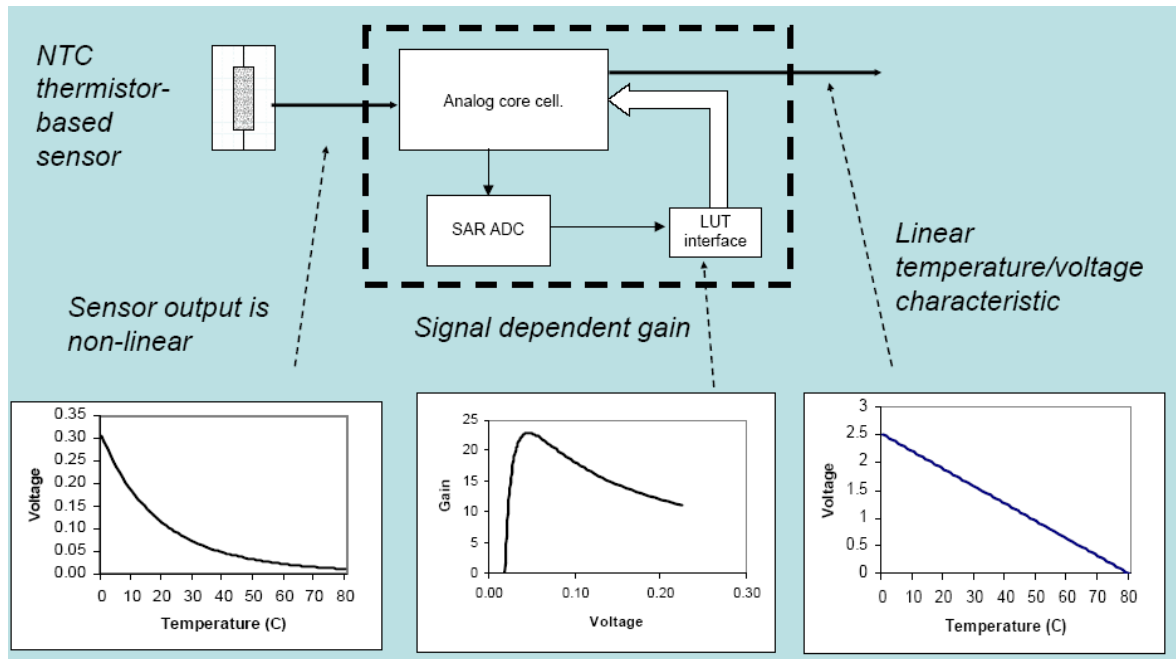


Figura 54 Linearização do sinal de um sensor [27]

No software *Anadigm Designer2*, podemos utilizar a ferramenta “Função de Transferência”, (ver Figura 55), para realizar a linearização de sensores ou correção do sinal de entrada da FPAA. Trata-se de uma tabela em que para um dado valor da entrada inserimos um novo valor corrigido, de forma a que o sinal lido seja proporcional a uma grandeza física que está a ser medida.

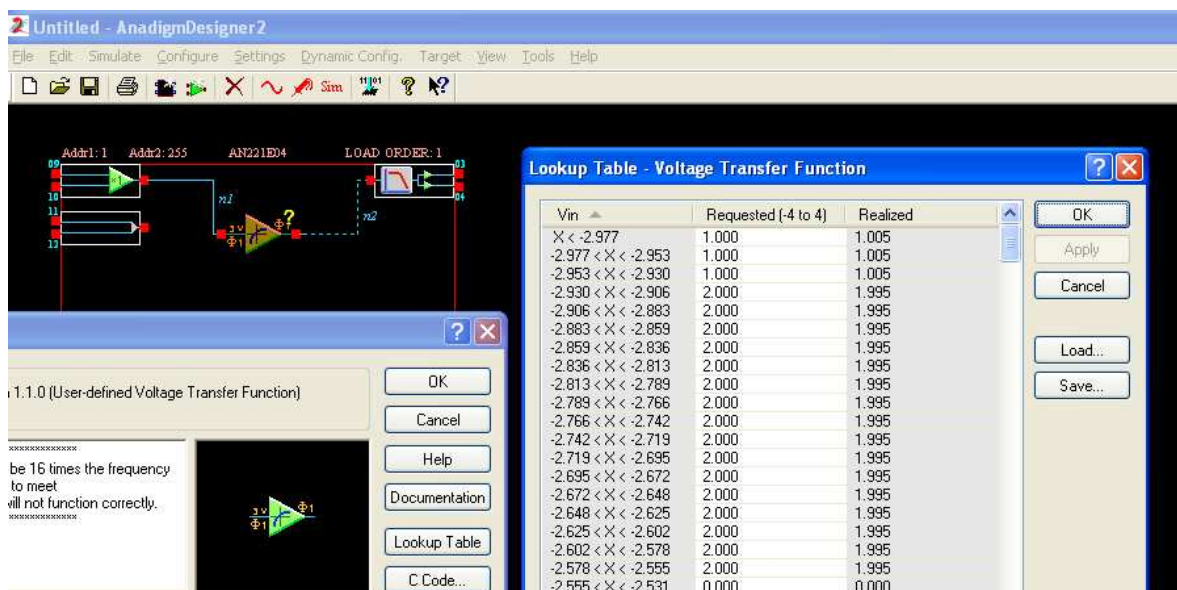


Figura 55 Função de transferência, software *Anadigm Designer2*

### 3.1.4. FUNÇÕES DE CONDICIONAMENTO DE SINAIS

A Figura 56 lista algumas das funções de condicionamento de sinais tipicamente disponíveis numa FPAA.

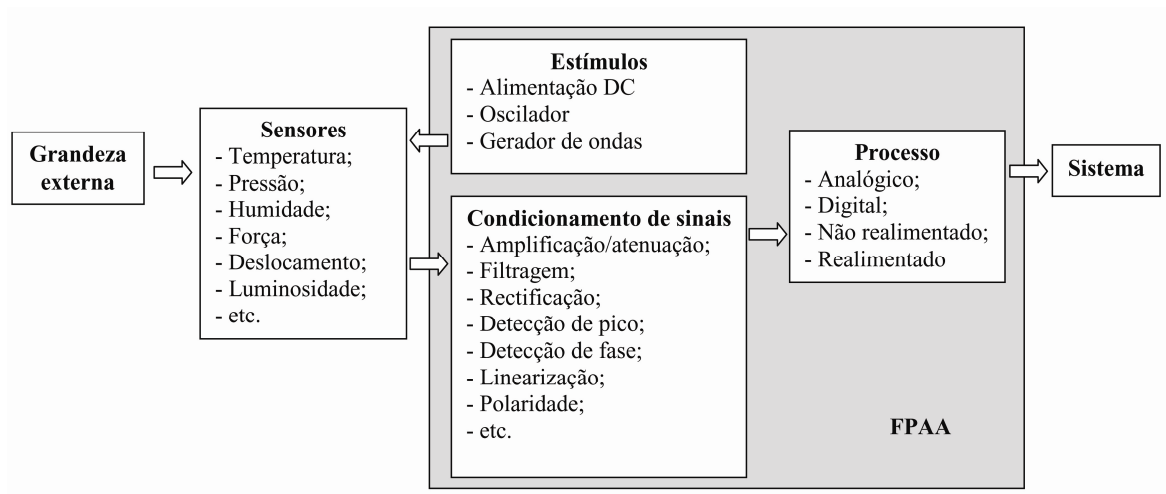


Figura 56 Funções de condicionamento de sinais tipicamente disponíveis numa FPAA

Estas funções estão já programadas sob a forma de CAMs no software Anadigm Designer2 (ver Figura 57). Para tal basta seleccionar a CAM pretendida e configurá-la (frequência de corte, frequência de relógio, inversão de sinal, ganho, etc consoante a CAM em questão).

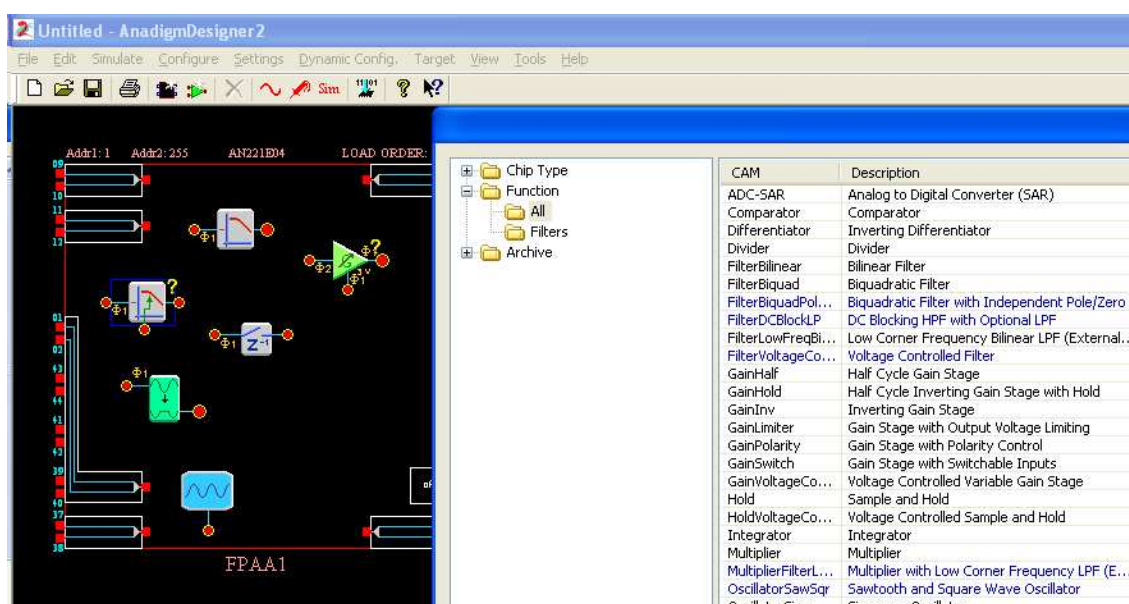


Figura 57 Funções CAM no software Anadigm Designer2

### 3.2. APLICAÇÕES COM FILTROS

A FPAA AN221E04, que é alvo de estudo neste trabalho, permite implementar de uma forma fácil, os variadíssimos tipos de filtros como: filtro passa baixo, passa alto, passa banda, rejeita banda e passa tudo.

Quanta à tecnologia, os filtros podem ser:

- Filtros passivos: construídos através de componentes passivos, tais como resistências, condensadores e bobinas;

- Filtros activos: construídos através de componentes activos como amplificadores operacionais ou transístores;

- Filtros digitais: estes filtros utilizam componentes digitais que convertem o sinal de entrada analógico num sinal digital, realizam determinado processamento com este valor digital, e convertem-no novamente para um sinal analógico, se necessário.

A FPAA em estudo implementa filtros do tipo activo, embora possua algumas funções digitais mas limitadas.

Com a AN221E04 podemos implementar os seguintes filtros em relação à sua função-resposta: *Butterworth*, *Chebyshev*, *Bessel* e Elípticos.

A utilização de uma FPAA para implementação de funções de filtragem tem todas as vantagens dos filtros activos:

- Amplificação do sinal de entrada (ganho);
- Eliminação de indutâncias, as quais em baixas frequências são volumosas, pesadas e caras;
- Facilidade na associação em cascata e flexibilidade na sua utilização em projectos.

Como desvantagens, a implantação de filtros activos requer uma fonte de alimentação, possuem uma resposta em frequência limitada à capacidade de resposta dos amplificadores operacionais e não pode ser aplicado directamente a sistemas de média e alta potência, ou seja, requerem interfaces de potência.

### 3.2.1. APLICAÇÕES DE FILTROS EM ÁUDIO

Os sistemas de áudio requerem a utilização de filtros para a filtragem de ruídos, pré-amplificação, distorção, equalizadores, *subwoofers*, correcção de alinhamento e fase de microfones, mistura de som, controlo de *fade*, etc.

Com a utilização das FPAA, muitos dos tradicionais filtros volumosos e caros passaram a ser substituídos.

Apesar de hoje em dia, devido às tecnologias existentes, o áudio estar cada vez mais a ser trabalhado de uma forma digital e não analógica, a aquisição e reprodução de som continua a ser analógica, o que faz com que a utilização de FPAA na área do áudio tenha ainda um grande peso.

Na Figura 58 podemos visualizar um sistema que utiliza uma FPAA para condicionamento e filtragem de um sinal de áudio que, posteriormente, é convertido num sinal digital. O pré-amplificador que faz a interface entre o microfone e a FPAA pode ser implementado internamente na FPAA. O facto de ser externo à FPAA deve-se à necessidade de realizar uma pré-amplificação junto ao microfone de forma a que o sinal enviado para a FPAA (por um cabo provavelmente longo) não esteja tão vulnerável a ruídos.

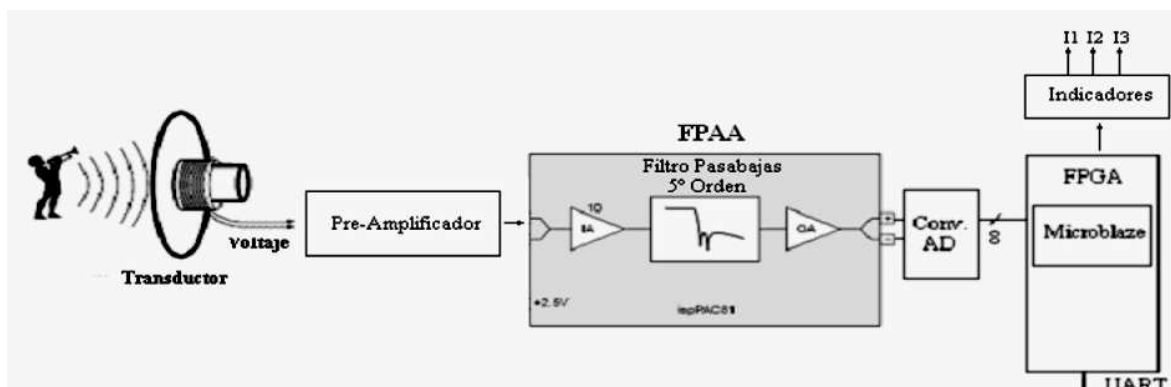
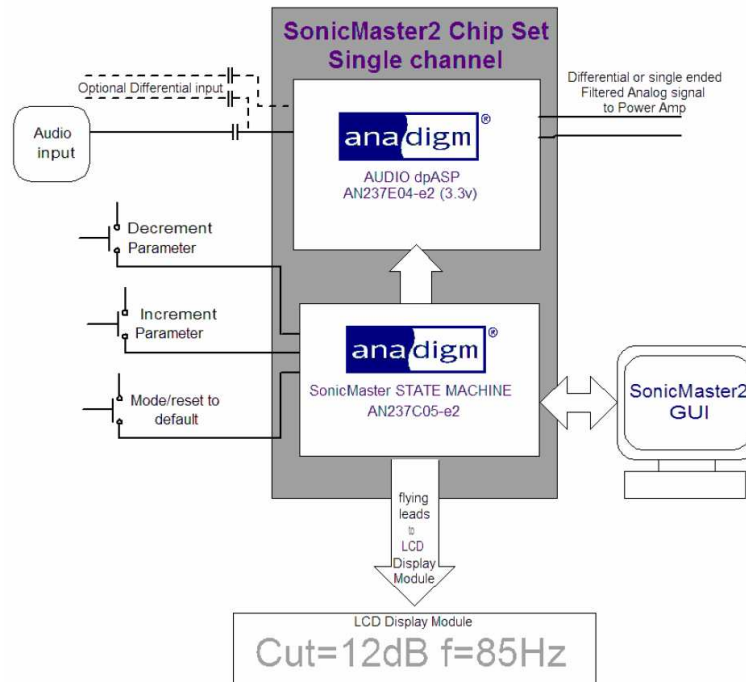


Figura 58 Utilização de uma FPPA para aquisição e filtragem de sinais de áudio [31]

A Figura 59 mostra a estrutura do circuito integrado *SonicMaster2* da Anadigm, especialmente desenvolvido para o processamento de sinais de áudio. Este é composto por uma FPAA AN237E04 e por um circuito integrado dedicado, o AN237C05, que permite ligar interruptores ou sinais externos para uma rápida reconfiguração dinâmica da FPAA.



**Figura 59 Estrutura de um integrado SonicMaster2 da Anadigm**

O integrado SonicMaster2 foi desenvolvido para as seguintes aplicações de áudio:

- Áudio automóvel: Pré-amplificação, filtragem, processamento dinâmico, controlo de colunas activas do tipo *crossover*.
- Áudio doméstico: Correção de fase e alinhamento de tempo para colunas, *Subwoofer*, *crossovers*, pré-amplificação.
- Mesas de mistura: Equalização, filtragem e processamento dinâmico; mistura de sinais, amplificação, controlo de *fader*, distorção de guitarras.
- Sintetização musical: Osciladores (analógicos e *look-up table*), filtros ressonantes, funções de transferência não lineares, facilidade de interface a software de controlo musical (conexões analógicas com capacidade de *plug-in*, interface *Midi*).
- Efeitos em guitarras: *Overdrive* e distorção, compressão, desfasamentos, equalizador paramétrico, amplificação.

### 3.2.2. APLICAÇÕES EM TECNOLOGIA RFID

As FPAA's começam a ser largamente aplicadas nos sistemas de identificação por rádio frequência (RFID). Trata-se de um método de identificação automática através de sinais de rádio.

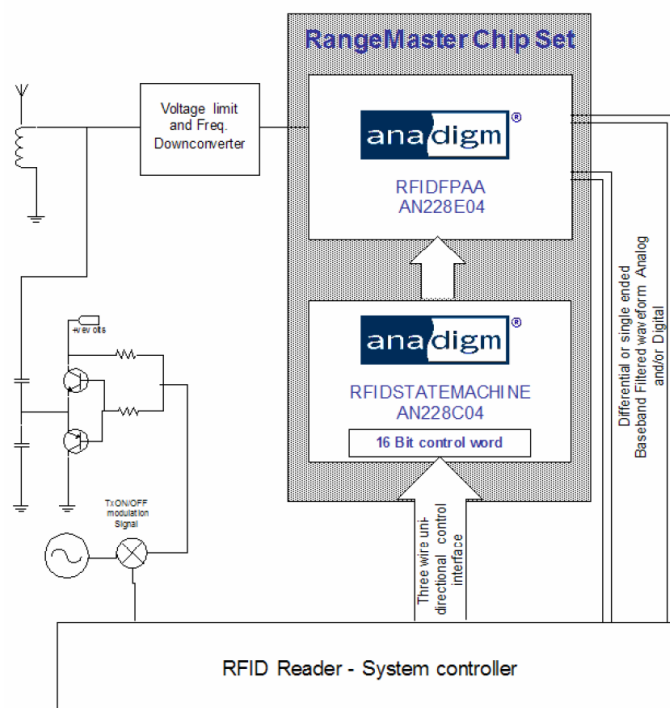
Uma etiqueta RFID, (ver Figura 60), considerado um *transponder*, é um pequeno objecto que pode ser colocado num equipamento, embalagem ou produto, etc. Esta etiqueta, ou sensor, contém um dispositivo de silício e antenas que lhe permite responder aos sinais de rádio enviados por uma base transmissora.

A FPAA é utilizada no circuito electrónico da base transmissora para filtragem dos sinais de rádio frequência de resposta do sensor.



**Figura 60** Aspecto de um sensor RFID

A Figura 61 mostra a estrutura dos dispositivos *RangeMaster*, da Anadigm, que é um processador de sinais analógicos programável para utilização em sistemas RFID, com uma FPAA AN228E04.



**Figura 61** RangeMaster chip set da Anadigm [29]

### 3.2.1. FILTROS - PLACA DE DESENVOLVIMENTO DA ANADIGM

Com o objectivo de ajudar os projectistas de circuitos analógicos, a Anadigm criou uma placa de desenvolvimento (Figura 62) para teste de filtros universais de programação dinâmica.

Esta permite criar filtros, passa baixo, passa banda, passa alto ou rejeita faixa de 6ª ordem, que podem ser configurados como filtros de aproximação em resposta a *Butterworth*, *Bessel*, *Chebyshev* e *Chebyshev* inverso.

Duas das entradas da FPAA incorporadas nesta placa de desenvolvimento podem ser configuradas, utilizando externamente resistências e condensadores, para permitir outras funções como: atenuação de ganhos, nivelamento de sinais, conversão de sinais não diferenciais para sinais diferenciais, assim como filtros passa alto ou passa baixo de 1ª ordem. A FPAA possui ainda um filtro de 6ª ordem que pode ser programado por um registo de 16 bits gravado em memória, programado por *hardware* de forma estática, ou por um conjunto de 16 interruptores ligados a um integrado dedicado, ou ainda programado de uma forma dinâmica por um microcontrolador externo.

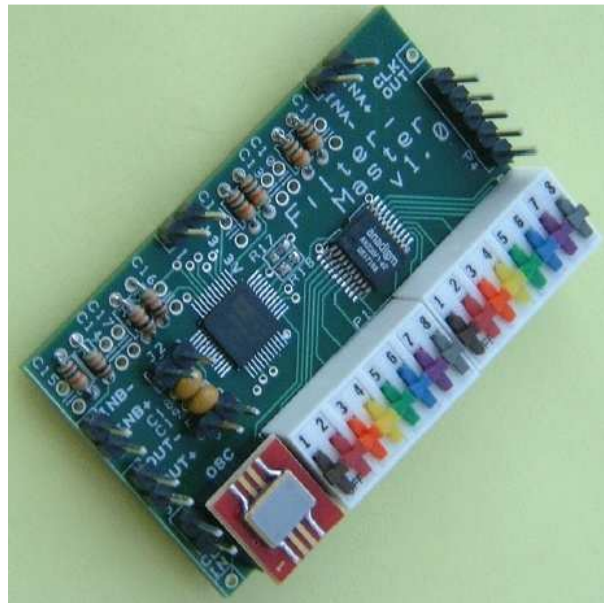
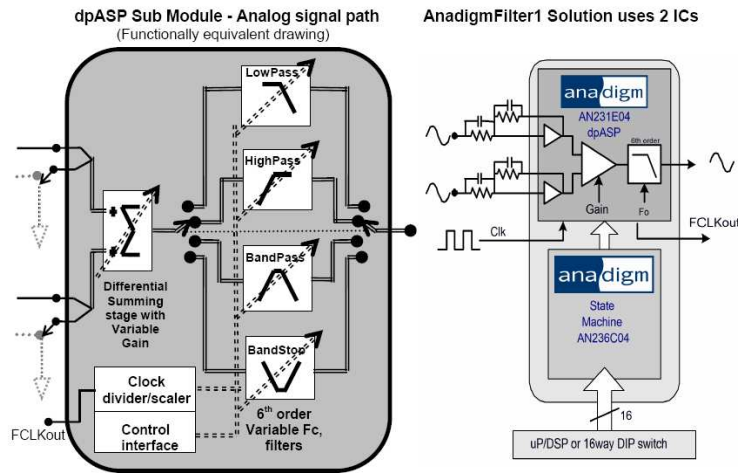


Figura 62 Placa de desenvolvimento Anadigm Filter1 [28]

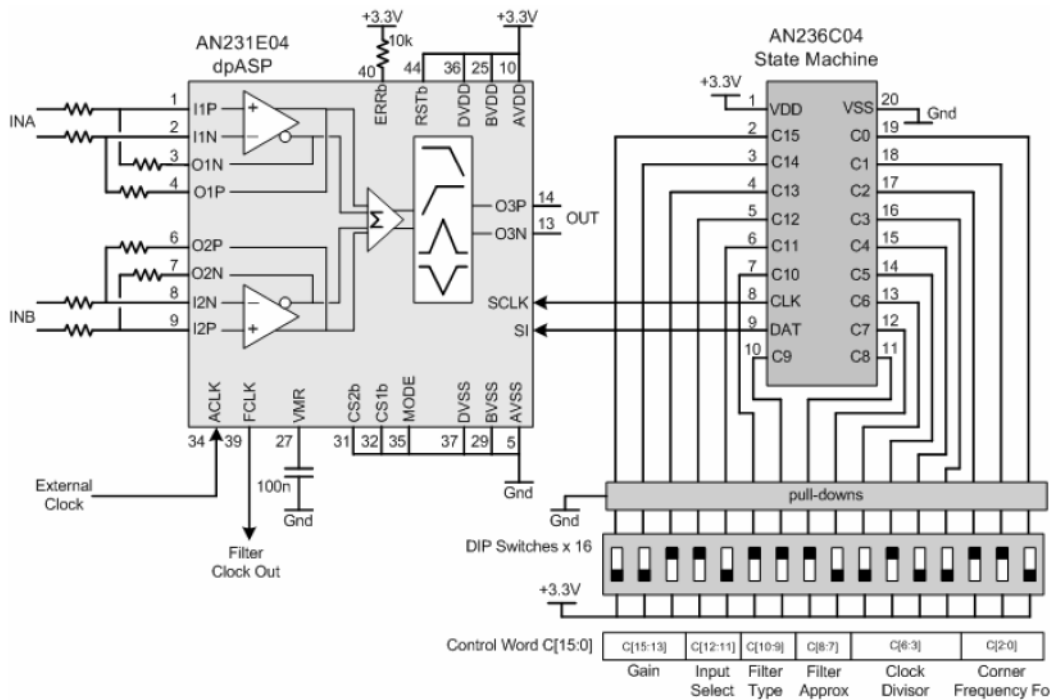
Possui tipicamente uma potência de funcionamento de 200 mW e baixas correntes em modo de *standby*.

Na Figura 63 podemos ver a estrutura da placa de desenvolvimento AnadigmFilter1.



**Figura 63 Estrutura interna da AnadigmFilter1 [28]**

Esta placa de desenvolvimento é composta por uma FPAAs AN231E04, responsável pela implementação dos filtros, e por um integrado dedicado AN236C04, da Anadigm, que faz a leitura das suas 16 entradas ligadas a interruptores e grava os estados num registo de 16 bits que serão enviados para a FPAAs pelo seu pino de SI (programação série) (Figura 64). Este registo de 16 bits permite reprogramar dinamicamente a FPAAs, conforme mostra a tabela 3.



**Figura 64 Esquema da placa de desenvolvimento AnadigmFilter1 [28]**

**Tabela 3 Registo de controlo para reprogramação dinâmica da FPAA**

Bit	[0:2]	[3:6]	[7:8]	[9:10]	[11:12]	[12:15]
Função	Frequência de corte	Divisor de relógio	Tipo de aproximação de filtro	Tipo de filtro	Seleção de entradas	Ganho

Na Tabela 4 podemos visualizar as possibilidades de configuração entre as topologias de filtros e suas possíveis funções de resposta.

**Tabela 4 Possibilidade de configurações entre topologia de filtro e sua função/resposta [28]**

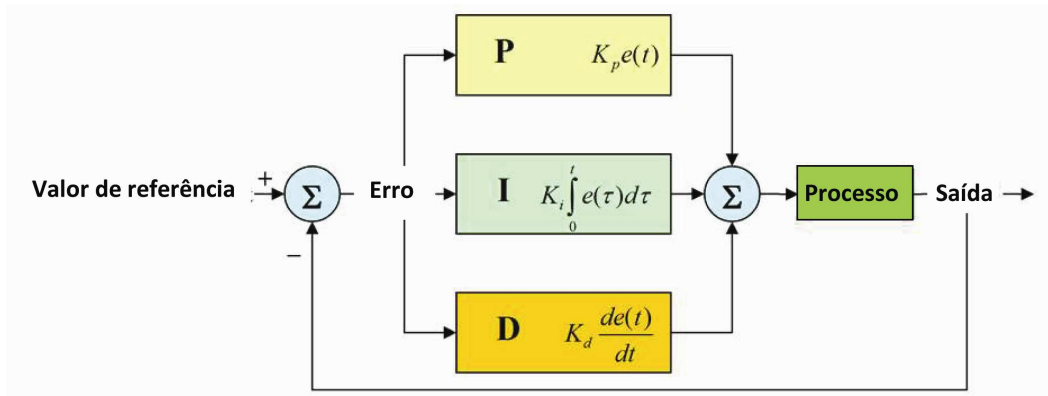
Topologia de filtro e sua função/resposta	Passa baixo	Passa alto	Passa banda	Rejeita banda
<i>Butterworth</i>	✓	✓	--	--
<i>Bessel</i>	✓	✓	✓	✓
<i>Chebyshev</i>	✓	✓	--	--
<i>Chebyshev invertido</i>	--	--	✓	✓
Máxima frequência de corte (kHz)	500	100	600	120

### 3.3. APLICAÇÕES INDUSTRIAIS – CONTROLO PID

A complexidade dos sistemas de produção industrial obriga a que os sistemas de automação tenham uma resposta rápida e eficaz no tratamento de dados de sinais analógicos, tais como controlo de temperatura, controlo de níveis, controlo de posicionamento, etc.

#### 3.3.1. O CONTROLO PID

O controlo PID (Proporcional, Integral e Derivativo) é o tipo de controlo em malha fechada mais utilizado na indústria. A Figura 65 ilustra o diagrama de blocos de um sistema com controlador PID.



**Figura 65** Diagrama de blocos de um sistema de controle com um controlador PID

Um controlador PID calcula o erro entre o valor medido na saída de um sistema e um valor de referência. Este erro deverá ser minimizado através do ajuste de três parâmetros, o ganho proporcional, o ganho integral e o ganho derivativo.

O controlo proporcional determina a reacção do sistema ao erro apresentado, o controlo integral determina a reacção do sistema baseado na soma das leituras de erros recentes e o controlo derivativo determina o valor derivado da reacção baseado na taxa instantânea de variação do erro.

A soma ponderada destas três acções de controlo é utilizada para ajustar o processo que se está a controlar, através da actuação de um elemento de posicionamento, uma válvula de controlo, sistemas de alimentação de um elemento de aquecimento, etc.

Os valores apresentados pelas acções P, I e D podem, heurísticamente, ser interpretados no tempo como: P – depende do erro presente, I – depende da acumulação de erros passados, D é uma previsão de erros futuros baseada na taxa actual de actualização.

Da soma dos valores dos três termos de correcção do controlo PID obtêm-se uma variável de saída ( $u(t)$ ) dada por:

$$u(t) = P_{out} + I_{out} + D_{out} \quad (11)$$

em que  $P_{out}$ ,  $I_{out}$ , e  $D_{out}$  são as contribuições das acções de controlo P, I e D,

$$P_{out} = K_p \times e(t) \quad (12)$$

$$I_{out} = K_i \times \int_0^t e(\tau) d\tau \quad (13)$$

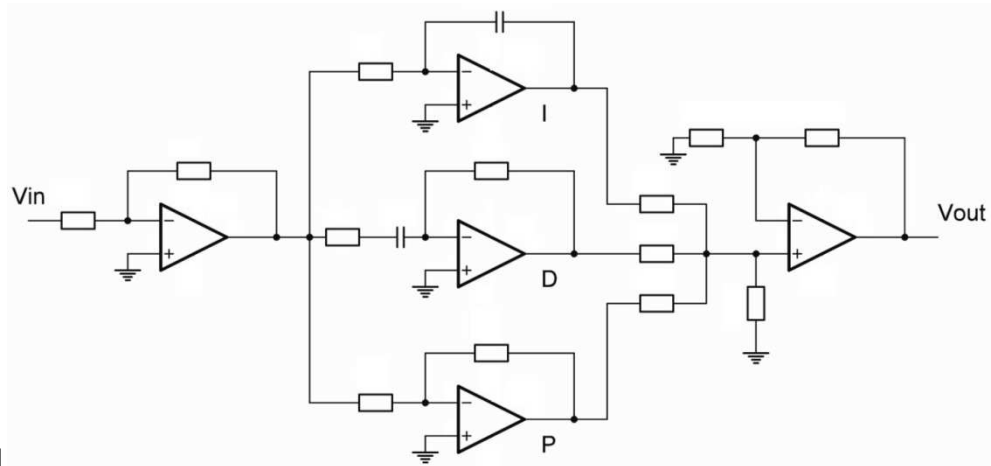
$$D_{out} = K_d \times \frac{d}{dt} e(t) \quad (14)$$

Ou seja:

$$u(t) = K_p \times e(t) + K_i \times \int_0^t e(\tau) d\tau + K_d \times \frac{d}{dt} e(t) \quad (15)$$

Onde  $K_p$  é o ganho proporcional,  $K_i$  é o ganho integral,  $K_d$  é o ganho derivativo,  $t$  é tempo instantâneo e  $\tau$  é a variável de integração.

A implementação analógica de um controlador PID pode ser feita através do circuito electrónico apresentado na Figura 66a, construído a partir de amplificadores operacionais. O circuito é constituído basicamente por um estágio amplificador (acção proporcional), um estágio onde são implementadas as funções de integração e derivação (acções integral e derivativa) e um estágio final onde estas acções são somadas.



a) [14]

**Design Notes**

AnadigmPID implements the functionality of the PID block diagram in AnadigmDesigner2 in an optimal, but non-obvious manner.

For example, a phase delayed Half Cycle Gain CAM is used together with a SumDiff CAM to implement the "differential" function.

The FPAA implements the PID functions shown on your PID Block Diagram using the following PID constants:

$$K_p = (G_2 - G \cdot G_1) \quad (K_p = G_2 \text{ for P and PI options})$$

$$K_i = K \cdot G_3$$

$$K_d = (G \cdot G_1) \cdot F_c$$

Where:

- G is the gain of the "PID component 4" (GainHalf) CAM,
- G1, G2 and G3 are input gains in the "PID component 1" (SumDiff)

PID Constants			
	Min	Requested	Max
P:		1	
I:		1	1/us
D:		0.25	ms

b)

Figura 66 a) PID com AMPOPS convencionais, b) PID implementado em FPAA

Dado este circuito ser basicamente constituído por AMPOPS, é facilmente desenvolvido numa FPAA, com a vantagem de um fácil ajuste dos ganhos.

A Tabela 5 mostra qual o comportamento de um sistema com controlo PID em função dos ganhos.

**Tabela 5** Efeitos no aumento independente dos parâmetros de um controlador PID [13]

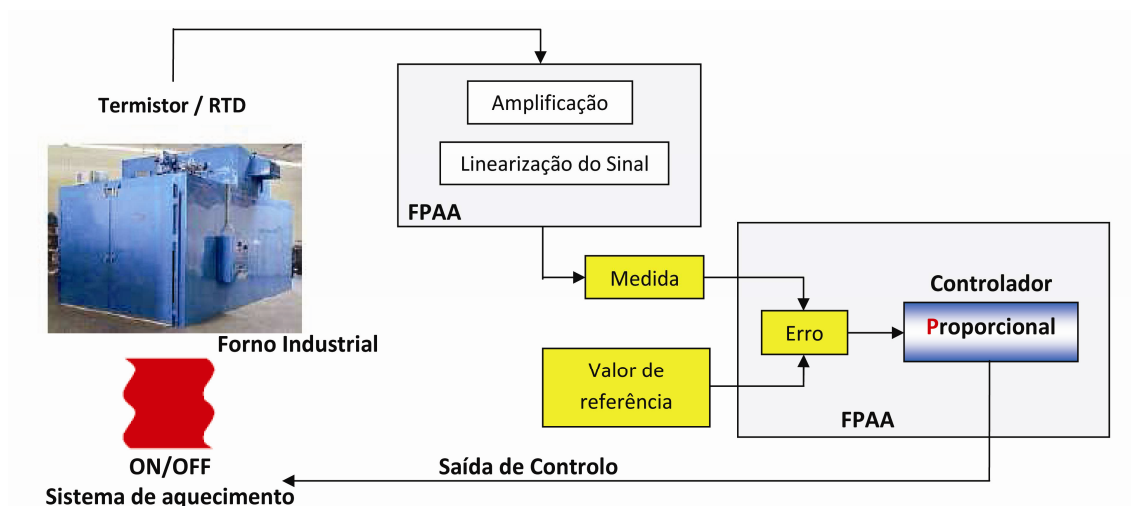
Parâmetro	Tempo de subida	Overshoot	Tempo de estabelecimento	Erro em regime permanente	Estabilidade
$K_p$	Diminui	Aumenta	Pequena alteração	Diminui	Degrada-se
$K_i$	Diminui	Aumenta	Aumenta	Diminui significativamente	Degrada-se
$K_d$	Diminuição mínima	Diminui	Diminuição mínima	Teoricamente sem efeitos	Melhora

### 3.3.2. SOLUÇÕES PARA CONTROLO PID DA ANADIGM

Com vista à implementação de soluções recorrendo ao controlo PID, o fabricante da FPAA (Anadigm) apresenta alguns modelos de soluções para situações industriais [14].

#### O controlo proporcional (P)

A Figura 67 representa o fluxograma do sistema de controlo proporcional do aquecimento de um forno industrial.



**Figura 67** Fluxograma de um sistema de controlo proporcional (Adaptado de [25])

A leitura da temperatura é feita com um sensor do tipo termistor que é ligado à FPAA.

De um modo geral, o valor da tensão medida aos terminais do termistor não pode ser directamente utilizado para o processamento do controlador proporcional uma vez que o sinal gerado por este tipo de sensores não é linear. Isto faz com que o sinal do termistor antes de ser utilizado, tenha de ser amplificado e linearizado. A linearização de sensores já foi alvo de estudo na secção 3.1.3.

Após ser feito o tratamento do sinal de temperatura, o valor da temperatura medida é comparado com o valor de referência pretendido. O resultado da comparação é designado por erro ou diferença, e este valor é enviado para o controlador proporcional que será responsável por fazer ligar/desligar o sistema de aquecimento do forno.

Na Figura 68 podemos visualizar todas as funções implementadas na FPAA para o sistema de controlo proporcional anteriormente descrito. Previamente à saída de controlo, existe uma função CAM do tipo comparador que permite implementar uma função de histerese com o objectivo de prevenir um constante ligar/desligar do sistema de aquecimento quando existem variações bruscas de temperatura ou de erros de medida.

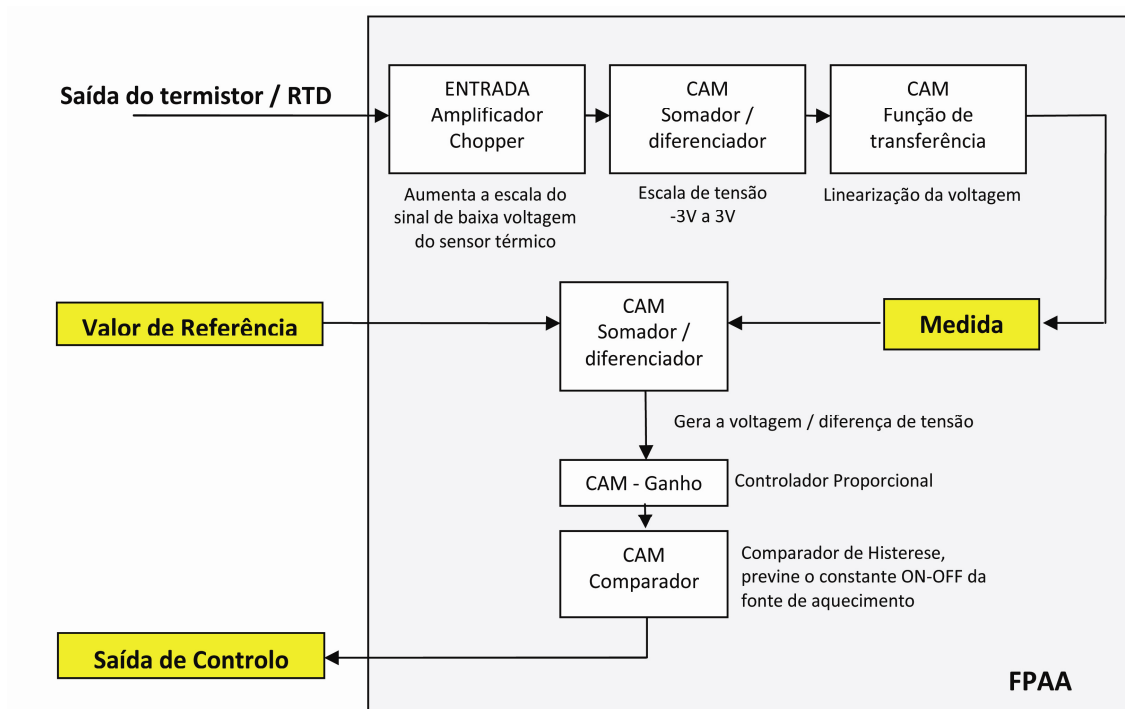


Figura 68 Fluxograma de um sistema de controlo proporcional (Adaptado de [25])

Na saída da FPAA será necessário implementar um circuito de *interface* de potência para ligar ao sistema de aquecimento de temperatura do forno, interface esta que já foi apresentada na secção 3.2.

Na Figura 69 podemos ver a implementação do fluxograma da Figura 68 no software Anadigm Designer2. Este software será alvo de estudo no Capítulo 4.

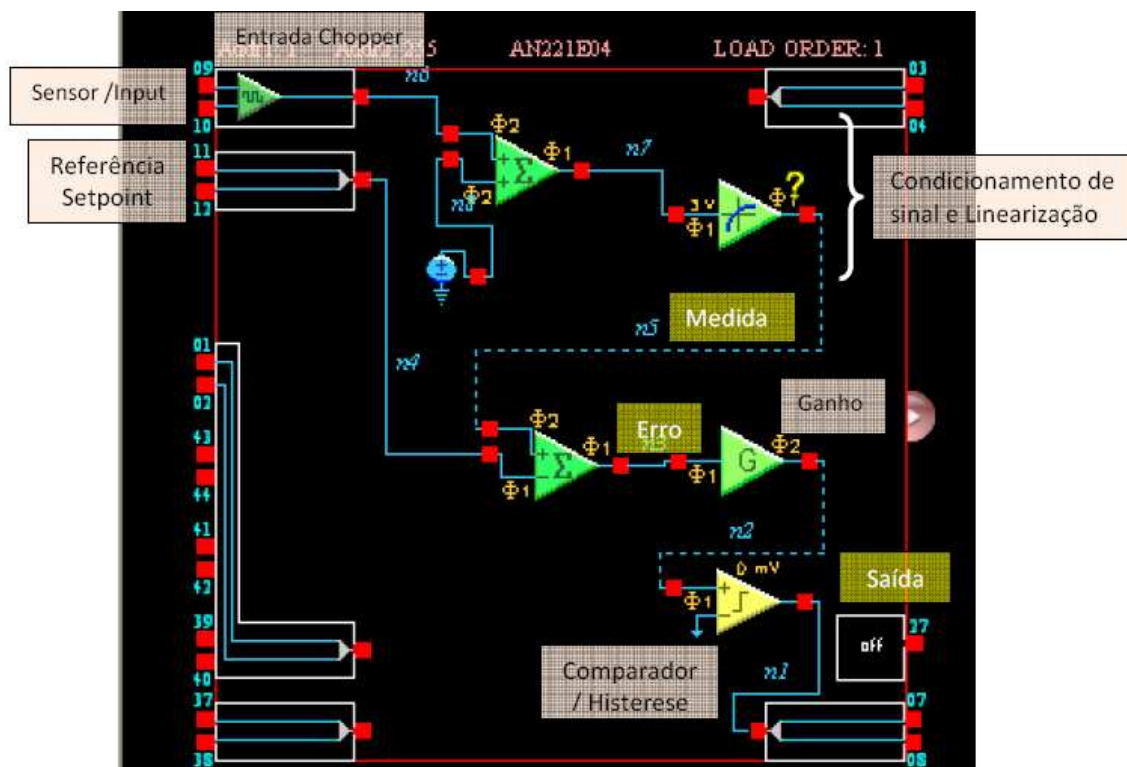
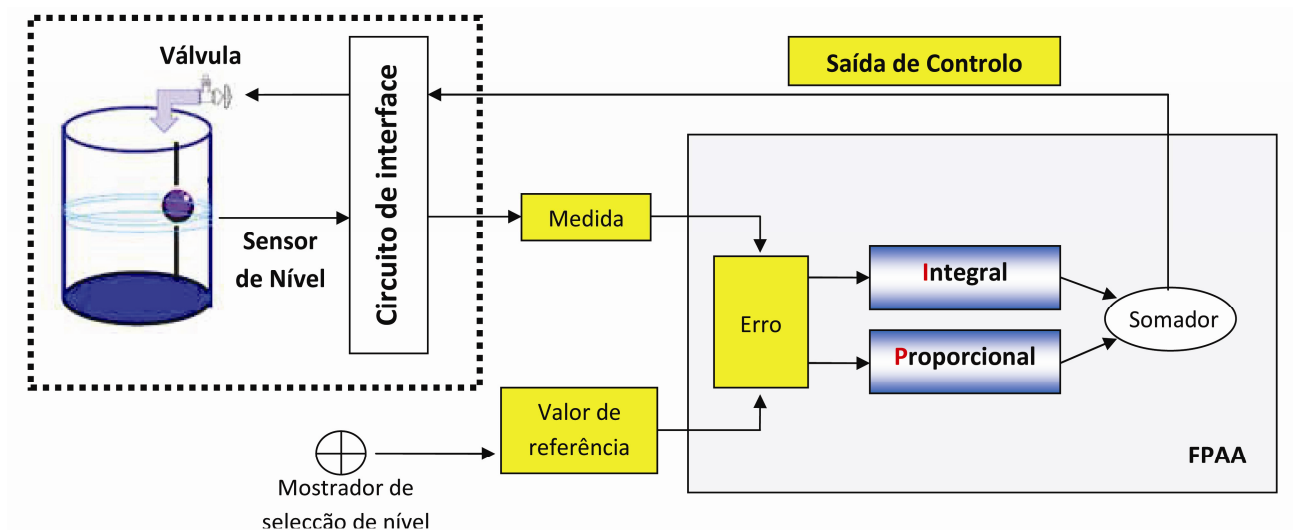


Figura 69 Implementação no software *Anadigm Designer2*

### O controlo Proporcional-Integral (PI)

A Figura 70 representa um sistema de controlo de nível num tanque de água. A válvula de enchimento e o sensor de nível estão ligados a um circuito interface. Esta interface possui um circuito de potência entre a saída de controlo da FPAA e a válvula de enchimento, assim como um condicionamento e tratamento do sinal do sensor de nível. Embora o sensor de nível esteja ligado a um circuito de condicionamento de sinal externo à FPAA, esta função poderia ser realizada internamente na FPAA no que toca à amplificação, linearização e filtragem do sinal. Na ligação de sensores à FPAA recorre-se

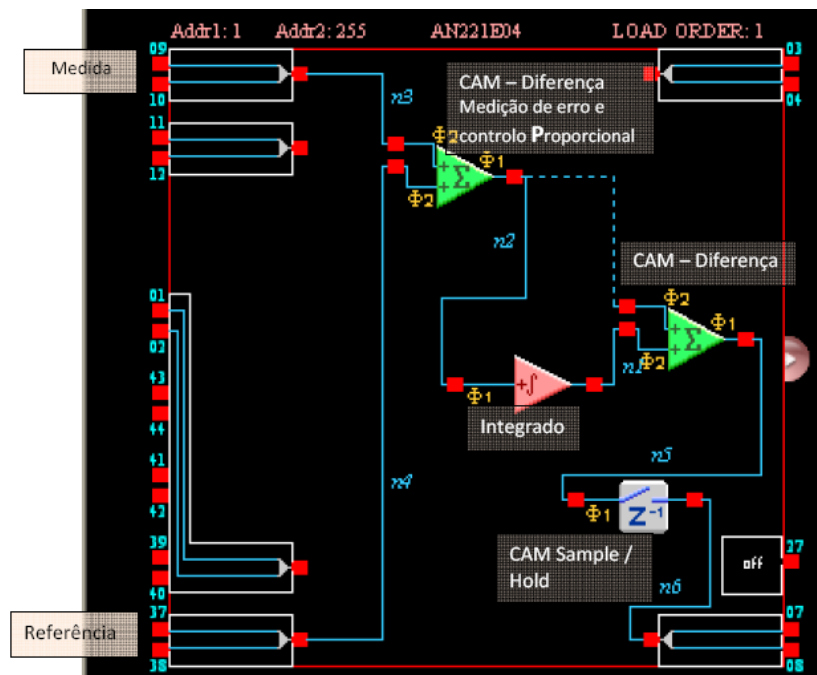
frequentemente a circuitos exteriores de interface de sensores, nomeadamente para ajustar níveis de tensão entre os sensores e as entradas da FPAA.



**Figura 70 Fluxograma de um sistema de controlo PI (adaptado de [25])**

O sinal do sensor é comparado com o valor de referência, e a diferença (erro) é enviada para o controlador proporcional e integral que farão a soma dos seus resultados para controlar o accionamento da válvula de enchimento de água.

Na Figura 71 podemos ver a implementação do fluxograma da Figura 70 no software *Anadigm Designer2*.



**Figura 71 Implementação no software *Anadigm Designer2***

A implementação de controladores analógicos PID configuráveis com FPAA, possui as vantagens do funcionamento contínuo, tal como em circuitos analógicos convencionais, assim como a possibilidade de mudar facilmente os parâmetros do controlador, ou mesmo de auto-ajuste, como no caso do controlador PID numérico (digital).

Isto faz com que o tempo de projecto e teste sejam reduzidos, uma vez que se torna simples e rápido fazer ajustes de configuração do circuito projectado sem necessidade de alteração do *hardware*. Outra vantagem é o baixo consumo de energia da FPAA devido à tecnologia S/C utilizada.

### **3.4. APLICAÇÕES NA ÁREA DA MEDICINA**

A medicina é um dos grandes impulsores do desenvolvimento tecnológico de equipamentos de medição. O diagnóstico precoce de doenças é um dos maiores desafios dos médicos, o que os leva a recorrer a tecnologias e métodos mais eficazes. Métodos estes que fazem uso de equipamentos electrónicos cada vez mais complexos.

Grande parte dos equipamentos médicos de diagnóstico recorre à leitura de sinais de resposta a estímulos eléctricos feitos ao corpo de um paciente.

Um dos casos mais típicos é o electrocardiograma, em que os sinais eléctricos obtidos permitem ao médico perceber determinadas patologias que não são visíveis a olho nu nem por métodos auditivos. Mas para que a informação obtida seja fidedigna, é necessário existir uma boa aquisição e filtragem dos sinais eléctricos obtidos.

A Figura 72 mostra um esquema electrónico utilizado para a aquisição do biopotencial, de sinais eléctricos num exame de electrocardiograma. Este é composto por um amplificador de instrumentação, filtros e conversores que permitem condicionar os sinais eléctricos.

Este circuito, quando construído apenas com componentes discretos é pouco dinâmico, permitindo apenas ajustes de ganhos e frequências de corte. Este circuito pode facilmente ser substituído por uma FPAA com as vantagens de uma redução física do tamanho dos equipamentos, maior precisão na aquisição e condicionamento de sinais, mas também novas funções dado ser um componente com reprogramação dinâmica. Desta

maneira torna possível que um aparelho de electrocardiograma seja configurável pelo técnico que o utiliza ajustando o exame médico às características do paciente através de funções pré-programadas que reprogramam dinamicamente a FPAA.

As frequências de trabalho são bastante baixas, normalmente abaixo dos 1000 Hz.

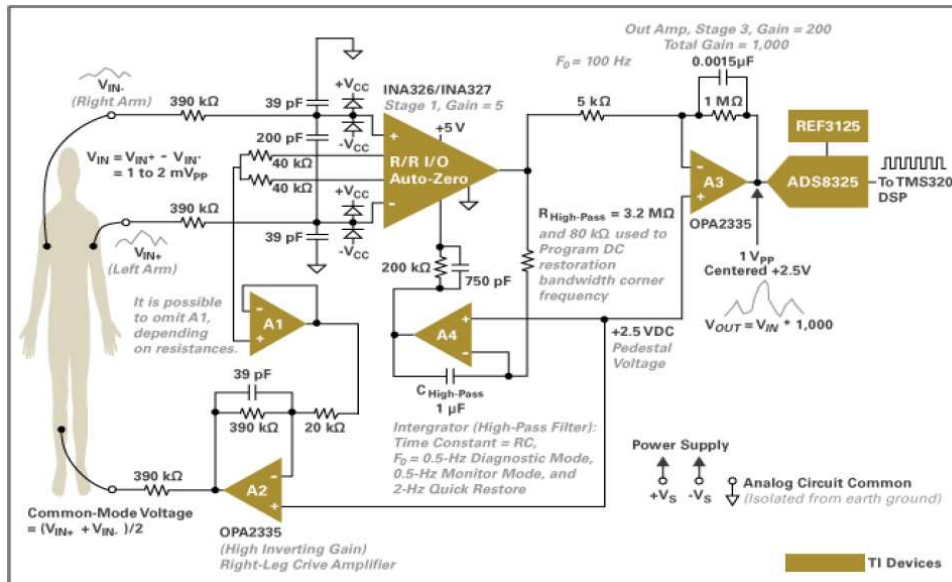


Figura 72 Aquisição de sinais eléctricos num electrocardiograma

Para se implementar este circuito numa FPAA será necessário conhecer qual a funções de todos os AMPOPs representados e seus respectivos ganhos de modo a que se possa seleccionar a CAM mais adequada para essa função.

Nos dias de hoje, os aparelhos de electrocardiograma utilizam as FPAAs, para condicionamento e conversão de sinais, associadas a um microprocessador que realiza a conversão do sinal analógico para digital, armazenando-o em memória para posteriormente ser capturado por um computador dotado de *software* específico, disponibilizando assim, as informações para análise de um profissional.

### 3.5. OBRAS, TRABALHOS E TESES PUBLICADAS COM ESTUDO E APLICAÇÕES DAS FPAAS

Na Tabela 6 faz-se um resumo de outros, trabalhos e teses com estudos e aplicações com FPAAs, que se encontram publicadas e disponíveis para consulta na Internet (que não fazem parte das referências deste trabalho).

**Tabela 6 Obras, trabalhos e teses publicadas com estudos e aplicações com FPAA**

<b>Autor</b>	<b>Obra / Trabalho / Tese</b>	<b>Resumo</b>	<b>Ano</b>
Tiago Balen	Teste de Dispositivos analógicos programáveis (FPAA)	Teste e ensaio de FPAA e suas respostas a sinais transientes.	2006
J. Batlle R. Garcia	Recent trends in FPAA devices	Aplicabilidade das FPAA e sua integração em dispositivos digitais no mesmo componente	2007
Gustavo Pereira	Teste da rede de Interconexões de Field Programmable Analogs Arrays	Teste das capacidades de interconexão interna numa FPAA e capacidades de depuração.	2005
Roque C. Grueso Jaime Medina	Diseno de circuitos analógicos usando FPAA	Estudo da metodologia de desenho de circuitos analógicos com uma FPAA assim como uma das arquitecturas existentes e sua evolução tecnológica.	2007
Joachim Becker Yiannos Manoli	A continuous time field programmable analog array (FPAA) consisting of digitally reconfigurable Cells	Estudo de FPAA reconfiguráveis dinamicamente e comparativo entre fabricantes	2004
Anadigm	Interfacing analog signals to the FPAA devices	Interface de sensores com uma FPAA	2003
Paulo Sanches André muller	Tecnologias analógicas reconfiguráveis para processamento de sinal eletromiográfico.	Utilização de uma FPAA na aquisição e filtragem de sinais electromiográficos.	2006
Ni2 designs	Changing trends with field programmable analog array (FPAA)	Estudo da FPAA e suas aplicações	2005
Lattice	Bridge measurements using in-system programmable analog circuits	Conexão de sensores em ponte de wheatstone a uma FPAA	1999
Mohamed Haji. Ali Thair A. Salih	Design and implementation of a dynamic analog matched filter using FPAA technology	Estudo da implementação de filtros em FPAA	2008
Peter mohringer	Implementation of specific equalizing filters using FPAA	Estudo da implementação de filtros em FPAA	2008
Bogdan Pankiewicz Marek Wojcikowski	A field programmable analog array for CMOS continuous time filter applications	Aplicações de filtros com FPAA de tempo contínuo.	2002
A. Castillo Atoche J. Vázquez Castillo	Sistema remoto de adquisicion para el control de ruído ambiental com FPGA e FPAA	Projecto de um sistema de aquisição de ruído ambiental utilizando FPPA em conexão com uma FPGA	---
Gyorg Gyorok Margit Makó	Acoustic noise elimination by FPAA	Estudo e eliminação de ruídos em sistemas som, utilizando uma FPAA	---
Filipe Fazarano Marconi Madrid	Implementação e análise de sistemas Caóticos em Hardware Analógico Reconfigurável	Estudo da FPAA e seu comportamento com sinais periódicos, não periódicos e caóticos.	---
Adrian Bratt Ian Macbeth	Design and implementation of a field programmable analogue array.	Estudo da aplicabilidade da FPAA	---
Tyson S. Hall Paul Hasler	Field-programmable analog arrays enable analog signal processing education	Estudo do impacto da utilização de FPAA no ensino universitário de circuito analógicos	---
Luis Gustavo Variani	Holter de ECG utilizando tecnologia FPAA	Aquisição de sinais de um electrocardiograma utilizando uma FPAA	2006
Karl Reib	Optimization of performance of dynamically reconfigurable mixed-signal hardware using field programmable analog array technology	Estudo da FPAA em mistura de sinais e aplicação de filtros de 2ª ordem.	1999
Felipe Damiani	Proposta de Protótipo de um Oxímetro de Pulso Empregando Tecnologia FPAA.	Estudo de um dispositivo não invasivo de medida indirecta da saturação de oxigénio na corrente sanguínea humana, empregando em sua construção a tecnologia FPAA	2010
Puxuan Dong	Controlling a Path-tracking Unmanned Ground Vehicle with a FPAA	Controlo de alinhamento de veículos utilizando uma FPAA	2005

# 4. ENSAIO DA FPAA

Este capítulo tem como objectivos:

- Estudo do *software Anadigm Designer 2* que será usado para a programação da FPAA AN221E04 a ser utilizada neste trabalho;
- Estudo do *kit* de desenvolvimento e realização de testes para melhor compreender a programação e funcionamento da FPAA;
- Aplicação de um sistema de medição e controlo de temperatura recorrendo a um sensor não linear (usando a linearização do sensor) e sensor linear, com controlo do elemento de aquecimento por ON/OFF, PWM e PID;
- Aplicação de um sistema de controlo de velocidade de um motor, com controlo do tipo ON/OFF, PWM e PID.

## 4.1. SOFTWARE DE PROGRAMAÇÃO – ANADIGMDESIGNER2

A FPAA que será utilizada neste trabalho, AN221E04, será programada através de um *software* específico fornecido pelo fabricante, denominado *Anadigm Designer 2*.

Trata-se de uma ferramenta com interface gráfico de fácil utilização que permite escolher módulos programáveis pré-concebidos (CAMs).

Esta interface gráfica permite utilizar blocos/módulos programáveis de uma forma simples mas restrita, ou seja, podemos programar parâmetros como frequências de corte e ganhos no caso de um filtro, mas sem acesso directo aos componentes internos de um CAB da FPAA. Isto é, não podemos programar directamente os valores de resistências e condensadores (tecnologia S/C).

A Figura 73 ilustra a programação dos parâmetros de um filtro *biquad* com o *software Anadigm Designer 2*. Este pode ser programado como filtro passa baixo, passa alto, passa banda ou rejeita banda.

Em função do tipo de filtro escolhido é pedido ao utilizador que configure parâmetros associados a este, como frequência de corte, ganho, etc.

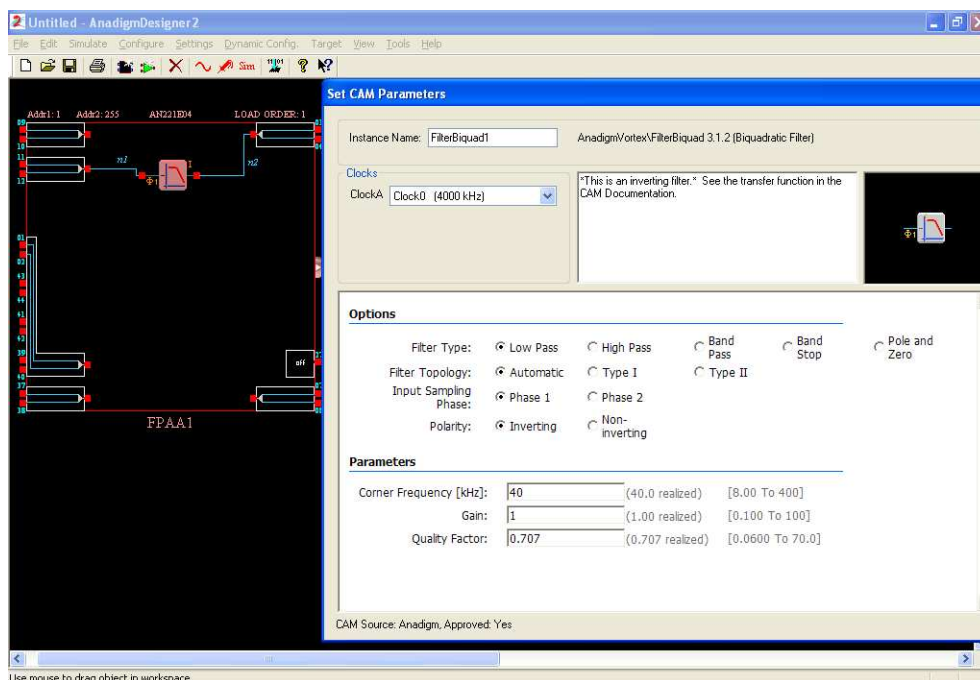


Figura 73 Exemplo de programação de um filtro com o *software Anadigm Designer 2*

#### 4.1.1. MÓDULOS ANALÓGICOS CONFIGURÁVEIS

Os módulos analógicos configuráveis (CAMs) são representados sob a forma de um símbolo abstraído a um nível funcional de programação.

Os CAMs disponíveis são de circuitos/funções simples, mas a interligação de vários CAMs permite criar circuitos mais complexos.

Na Figura 74 podemos ver um circuito em que um sinal é condicionado por um conjunto de CAMs, filtro passa alto, retificador de ½ onda, filtro passa baixo, inversão de ganho e comparador com tensão de referência.

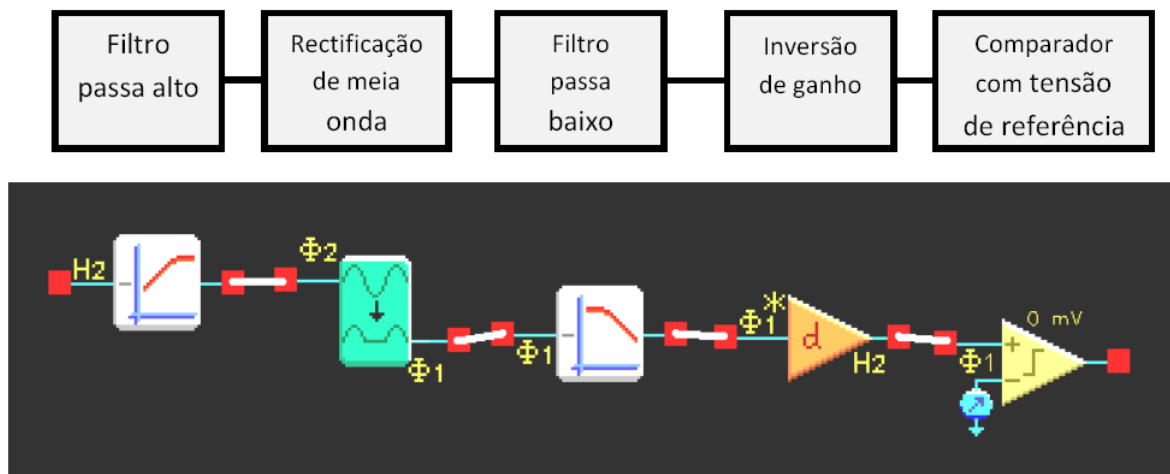


Figura 74 Interligação de vários CAMs

O software *Anadigm Designer 2* disponibiliza os seguintes CAMs:

- SAR – ADC (Conversor A/D);
- Comparador diferencial;
- Diferenciador inversor;
- Divisor;
- Inversor;
- Filtro Bilinear;
- Filtro *Biquad*;
- Estágios de ganhos em meio ciclo e ciclo completo;
- Alimentação de tensão DC;
- Estágio de ganhos com controlo de polaridade;
- Gerador de ondas sinusoidais;
- Gerador de onda dente de serra;
- Gerador de ondas triângulares e quadradas;
- Integrador;
- Derivador;
- Multiplicador;
- Rectificador com filtro passa baixo;
- Amostragem e retenção de sinais (*Sample and hold*);
- Oscilador de onda sinusoidal periódica e não periódica;
- Amplificador de transimpedância;
- Integrador somador/diferencial;
- Função raiz quadrada;
- Detecção de zero.

Este *software* permite ainda desenhar e simular circuitos com interligação entre várias FPAAs (Figura 75).

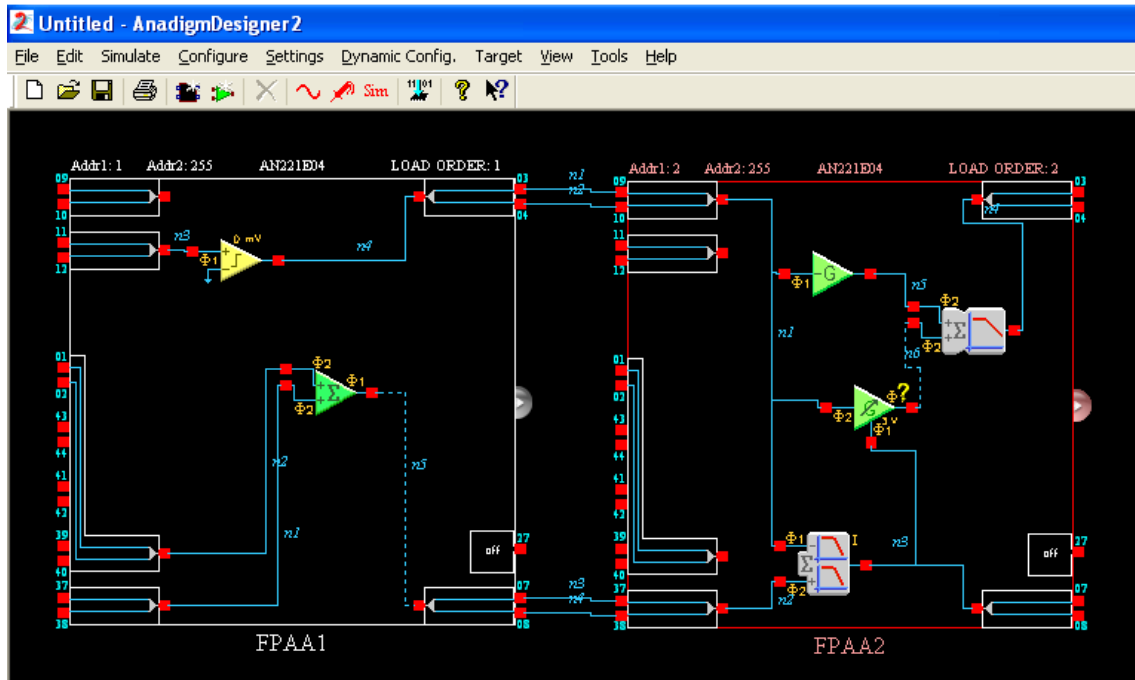


Figura 75 Interligação de várias FPAA

#### 4.1.2. SIMULAÇÃO

Com o objectivo de testar o simulador do *software Anadigm Designer 2*, implementou-se um circuito que recebe um sinal sinusoidal que será filtrado e rectificado conforme os dados da Figura 76.

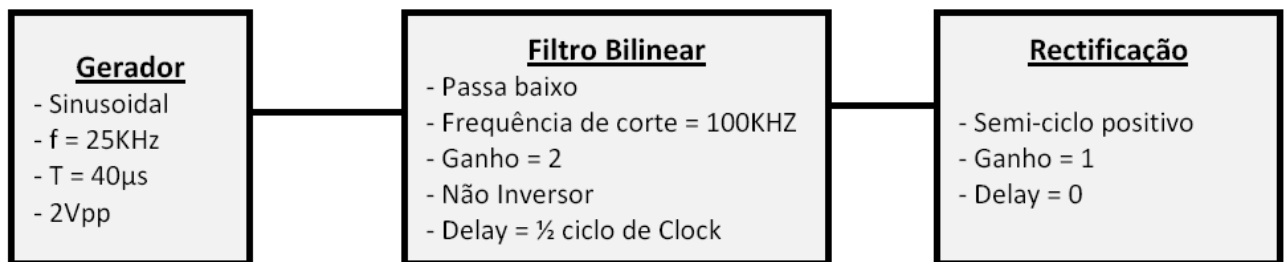


Figura 76 Sistema a simular no *software Anadigm Designer 2*

Na Figura 77, pode-se ver a implementação do sistema no *software da Anadigm Designer 2*. Para verificar os resultados da simulação, foram colocadas 3 pontas de prova que, recorrendo à função de osciloscópio, irão mostrar o sinal do gerador, o sinal de saída do filtro e da saída do rectificador de meia onda.

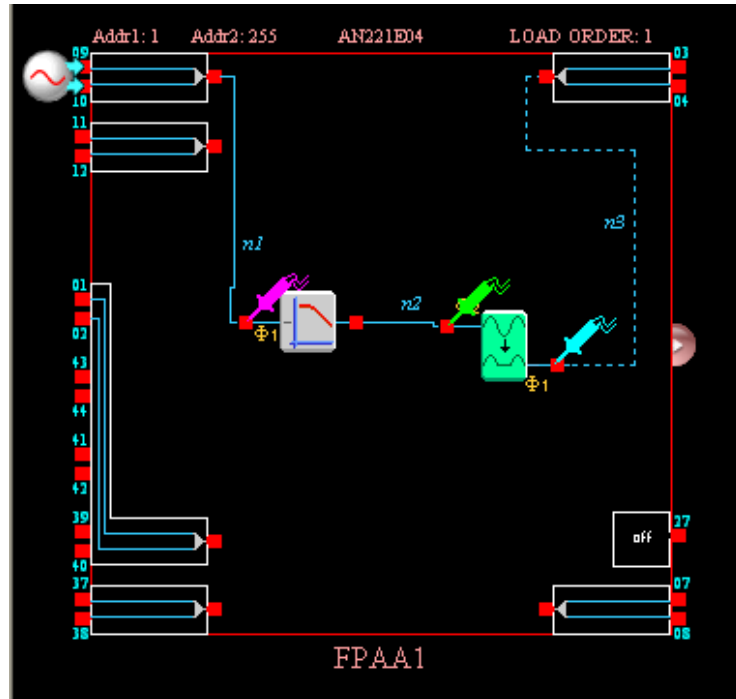


Figura 77 Circuito para simulação implementado no software Anadigm Designer 2

A onda de cor-de-rosa refere-se à onda do gerador, a onda verde à onda de saída do filtro e a onda azul o resultado na saída do rectificador de  $\frac{1}{2}$  onda (Figura 78).

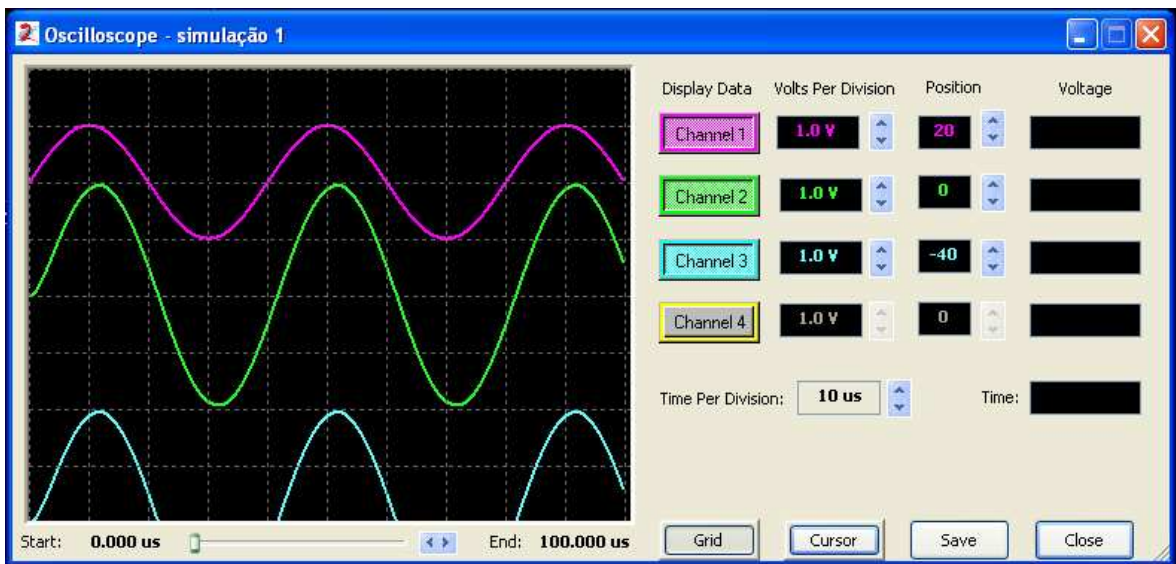
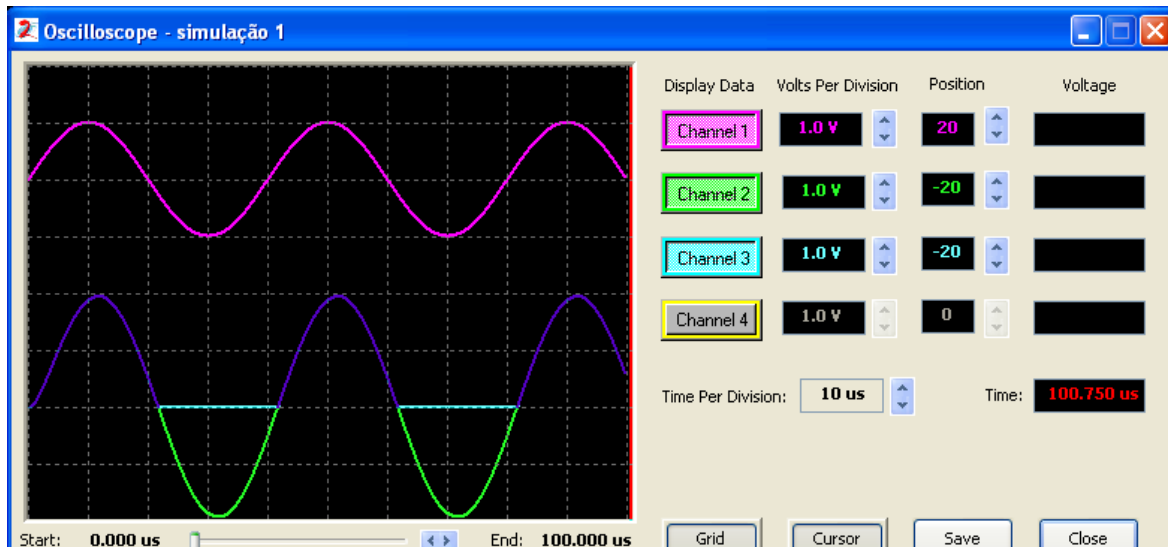


Figura 78 Resultados da simulação

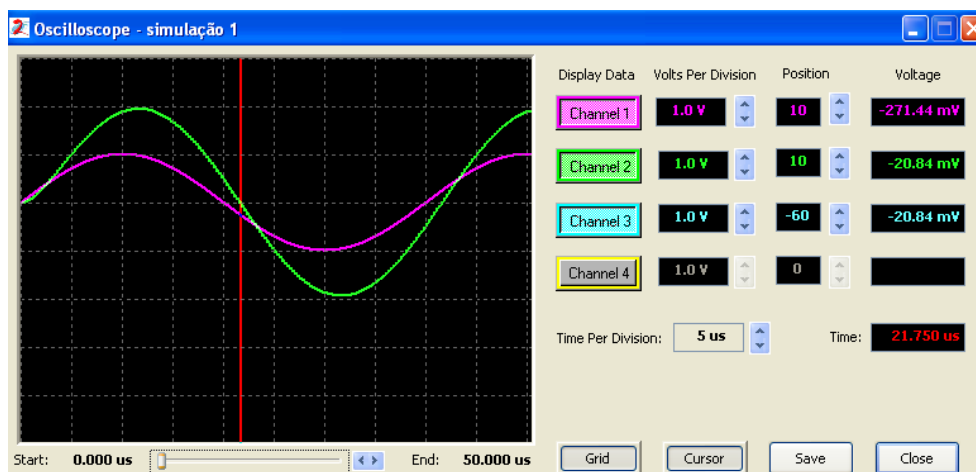
Na Figura 79, sobrepõe-se a onda de saída do filtro e do rectificador (contorno azul escuro) e podemos verificar que as duas ondas no seu semi-ciclo positivo possuem a mesma amplitude e um desfasamento nulo entre elas.



**Figura 79 Resultados da simulação - Sobreposição de ondas**

Entre a onda gerada pelo gerador introduzido para a simulação (onda cor-de-rosa) e a onda de saída do filtro (verde) pode-se verificar que existe um desfaseamento (Figura 80).

Segundo o tutorial do *software Anadigm Designer 2*, este filtro quando utilizado no modo de inversão de sinal não possui qualquer desfaseamento de tempo entre o sinal de entrada e de saída. Quando utilizado como montagem não inversora o sinal de saída é desfasado do sinal de entrada do filtro de um ciclo de relógio.



**Figura 80 Resultados da simulação - Desfasamento e amplitude**

Na simulação da Figura 80 o filtro bilinear foi programado com um ganho de 2. Deste modo a amplitude do sinal de saída do filtro deveria de ser o dobro da amplitude do sinal amostrado (1 V de pico), mas não é isso que se verifica dado que apenas se obtém uma amplitude máxima de 1,94 V na saída do filtro.

Este filtro passa baixo possui a seguinte função de transferência:

$$\frac{V_{out}(S)}{V_{in}(S)} = \pm \frac{2\pi f_0 G}{s + 2\pi f_0} \quad (16)$$

onde  $G$  é o ganho do filtro e a frequência de corte  $f_0$ , é a frequência para o ganho de -3 dB.

O circuito implementado internamente nos CABs da FPAA, e que representa esta CAM, é dado pela Figura 81.

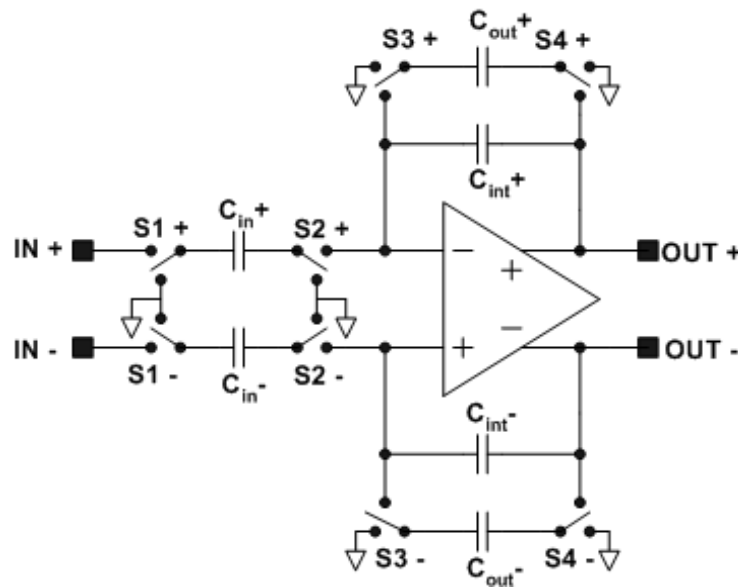


Figura 81 Circuito implementado pelos CABs

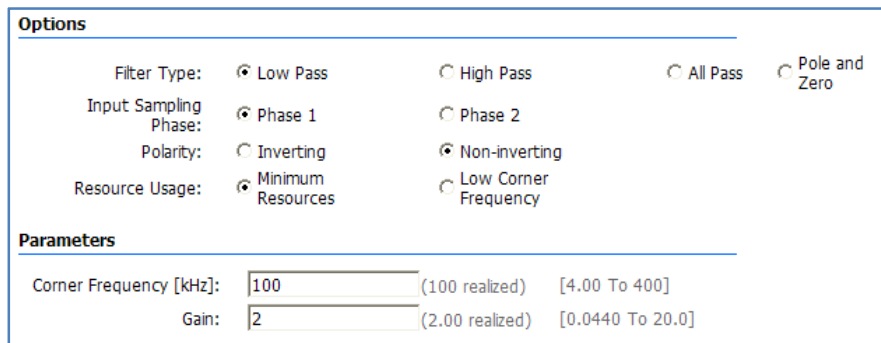
Os valores dos condensadores são escolhidos de forma a obter a melhor razão entre condensadores e que satisfazem as seguintes relações:

$$f_0 = \frac{f_0}{\pi} \frac{C_{out}}{(2C_{int} + C_{out})} \quad (17)$$

$$G = \frac{C_{in}}{C_{out}} \quad (18)$$

Ou seja, dada a necessidade de se satisfazerem as relações anteriores faz com que não seja possível atribuir a este filtro qualquer ganho ou qualquer frequência de corte.

Consoante a programação que escolhermos para o filtro, o *software* (Figura 82) ajusta automaticamente a gama de frequências e de ganhos que podemos seleccionar de modo a cumprir as condições das expressões 17 e 18.



The image shows a software interface for configuring a filter. It is divided into two main sections: 'Options' and 'Parameters'.  
**Options:**  
- Filter Type: Radio buttons for Low Pass (selected), High Pass, All Pass, and Pole and Zero.  
- Input Sampling Phase: Radio buttons for Phase 1 (selected) and Phase 2.  
- Polarity: Radio buttons for Inverting and Non-inverting (selected).  
- Resource Usage: Radio buttons for Minimum Resources (selected) and Low Corner Frequency.  
**Parameters:**  
- Corner Frequency [kHz]: A text input field containing '100', followed by '(100 realized)' and a range '[4.00 To 400]'.  
- Gain: A text input field containing '2', followed by '(2.00 realized)' and a range '[0.0440 To 20.0]'.

**Figura 82** Parâmetros de configuração do filtro

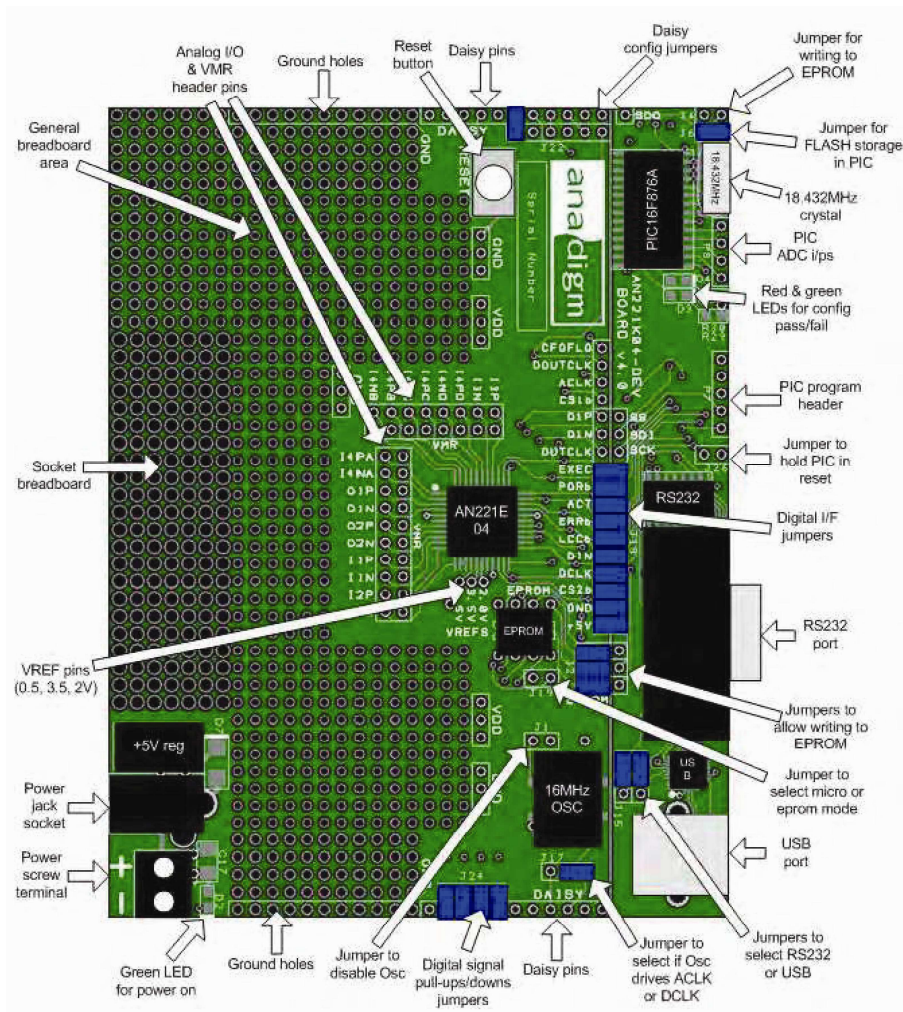
## 4.2. APLICAÇÃO DA FPAA – KIT DE ENSAIO E MAQUETA

Com vista a testar as funcionalidades da FPAA e verificar as suas vantagens face à implementação dos tradicionais circuitos analógicos, nesta secção serão feitos alguns testes simples no sentido de melhor perceber o seu funcionamento, testar o *software* e verificar a necessidade de interfaces para as entradas e saídas da FPAA.

A Figura 83 mostra o aspecto da placa de desenvolvimento AN221K04-DVLP2, da Anadigm, equipada com uma FPAA AN221E04-e2 da família *dpASP*.

Esta placa de desenvolvimento está equipada com a FPAA, microcontrolador de programação, EEPROM, porta RS232 e USB para programação, pinos de acesso às entradas e saídas da FPAA, terminais de controlo bem como uma área para implementação de *hardware* externo (*breadboard*).

No caso de se pretender uma aplicação com várias FPAA podem-se adquirir várias placas de desenvolvimento e ligá-las em cascata.

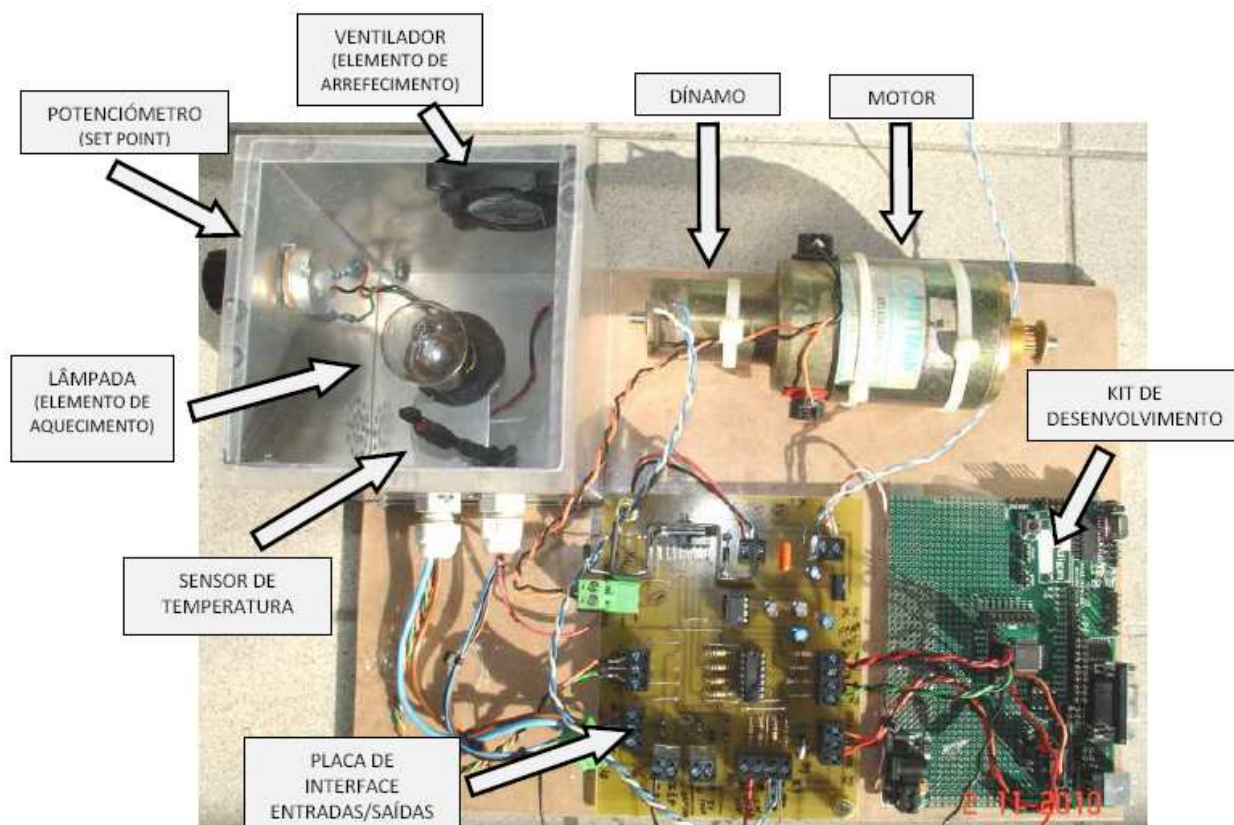


**Figura 83** Placa de desenvolvimento da Anadigm

A Figura 84 mostra a maquete desenvolvida para as aplicações que irão ser desenvolvidas e ensaiadas.

Esta maquete é constituída pelo *kit* de desenvolvimento da *Anadigm*, uma placa para interface das entradas e saídas da FPAA, um motor DC com dínamo para medição de velocidade, um forno com sensor de temperatura e uma lâmpada que será utilizada como elemento de aquecimento.

Fixado na estrutura do forno existe um potenciômetro que será utilizado para definir o valor de referência (*setpoint*) quer para o sistema de controlo de temperatura, quer para o controlo de velocidade do motor.

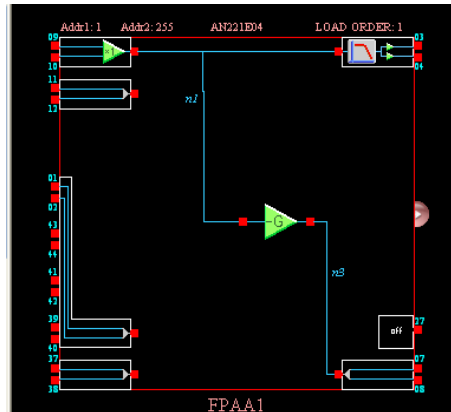


**Figura 84** Maqueta de desenvolvimento

### **4.3. APLICAÇÃO DA FPAA – ESTUDO DO KIT DE DESENVOLVIMENTO**

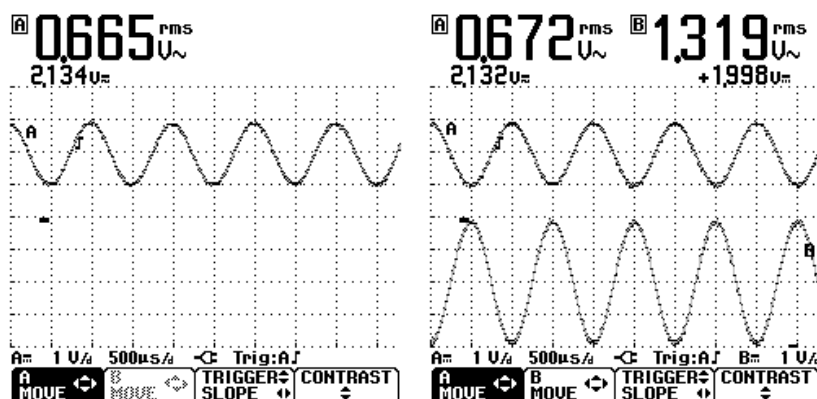
Com vista ao estudo do *kit* de desenvolvimento foram realizados alguns testes para melhor compreender a programação e funcionamento da FPAA.

Como primeiro teste foi criada uma aplicação no *software Anadigm Designer* um circuito, Figura 85, que permitisse receber um sinal na entrada 1 da FPAA e replicasse esse mesmo sinal na saída 1 e o amplificasse ( $\text{Ganho} = 2$ ) com inversão de fase na saída 2 da FPAA. Foi colocado na entrada da FPAA um sinal sinusoidal com  $2 V_{pp}$  e uma frequência de 1 kHz.



**Figura 85** 1º Teste – Implementação no *software Anadigm Designer*

Na Figura 86 à esquerda podemos visualizar o sinal colocado na entrada da FPAA medido com o osciloscópio. Na mesma figura à direita podemos verificar que o sinal da saída 1 da FPAA (canal A do osciloscópio) é uma réplica do sinal de entrada em amplitude, frequência e fase. O canal B do osciloscópio foi utilizado para medir o sinal na saída 2 da FPAA em que podemos verificar que o sinal possui a mesma frequência, o dobro da amplitude e oposição de fase, tal como era de esperar.



**Figura 86** 1º Teste – Sinal na entrada e nas saídas da FPAA

Como segundo teste foi criada uma aplicação que recebe um sinal de entrada e envia esse sinal filtrado para uma das saídas. Na outra saída o sinal tem uma limitação de amplitude em um 0,6 V de pico a pico (Figura 87).

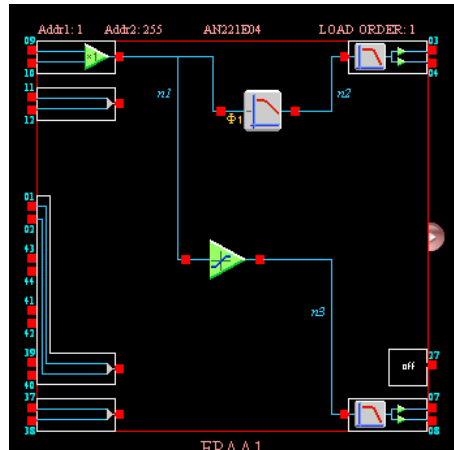


Figura 87 2º Teste – Implementação no software Anadigm Designer

Na Figura 88 à esquerda podemos visualizar o sinal colocado na entrada da FPAA medido com o osciloscópio (igual ao sinal do 1º teste). Na mesma figura à direita podemos verificar o sinal na saída 1 da FPAA (canal A do osciloscópio) após ser filtrado por um filtro bilinear passa-baixo com frequência de corte de 500 Hz. Pode-se verificar que o sinal foi fortemente atenuado. O canal B do osciloscópio foi utilizado para medir o sinal na saída 2 da FPAA, em que este está limitado para uma amplitude de 0,6 V de pico a pico.

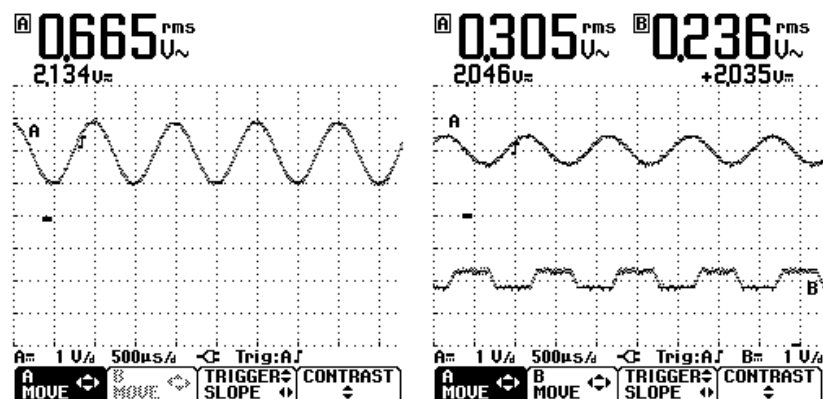


Figura 88 2º Teste – Sinal na entrada e nas saídas da FPAA

A Figura 89 (esquerda e direita) mostra respectivamente o sinal na saída da FPAA com frequências de corte do filtro de 1 kHz e 2 kHz. Com o filtro programado para uma frequência de corte de 1 kHz verifica-se uma ligeira atenuação do sinal (cerca de 3 dB).

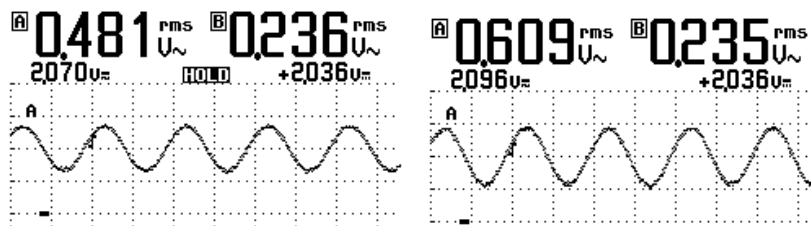


Figura 89 2º Teste – Sinal nas saídas da FPAA com  $F_c=1$  kHz e  $F_c=2$  kHz

Estes dois testes serviram para testar algumas funcionalidades da FPAA, mas acima de tudo, permitiu perceber o funcionamento do *kit* de desenvolvimento.

#### 4.4. APLICAÇÃO DA FPAA – CONTROLO DE TEMPERATURA

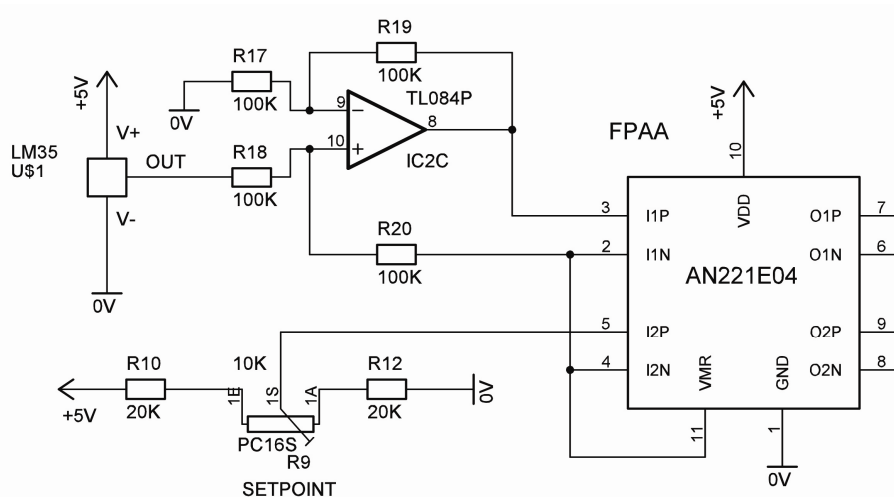
Nesta secção vai-se apresentar os resultados obtidos numa implementação efectuada para controlo de temperatura. Para tal foi necessário um sensor de temperatura e um elemento de aquecimento. Como elemento de aquecimento foi utilizado uma lâmpada que permite além de aquecer mostrar (através do brilho da lâmpada) a reacção do sistema.

Foram simulados três tipos de controlo, ON/OFF, PWM e PID, com dois tipos de sensores, um linear e outro não linear.

##### 4.4.1. CONTROLO DE TEMPERATURA COM SENSOR LINEAR

Nesta aplicação foi utilizado o sensor LM35 que gera um sinal de tensão proporcional à temperatura,  $10 \text{ mV}/^\circ\text{C}$ , em que  $0 \text{ mV}$  corresponde a  $0^\circ\text{C}$  e  $1 \text{ V}$  a  $100^\circ\text{C}$ .

Uma vez que a tensão de referência para as entradas da FPAA é  $+2 \text{ V}$  (VMR) tornou-se necessário elevar a tensão de saída do sensor em  $2 \text{ V}$ . Para tal foi utilizado um AMPOP externo à FPAA referenciado ao terminal VMR ( $+2 \text{ V}$ ), como demonstra a Figura 90. Esta referenciação poderia ser feita internamente na FPAA mas evitou-se utilizar recursos internos para o efeito.



**Figura 90** Controlo temperatura – Entradas da FPAA

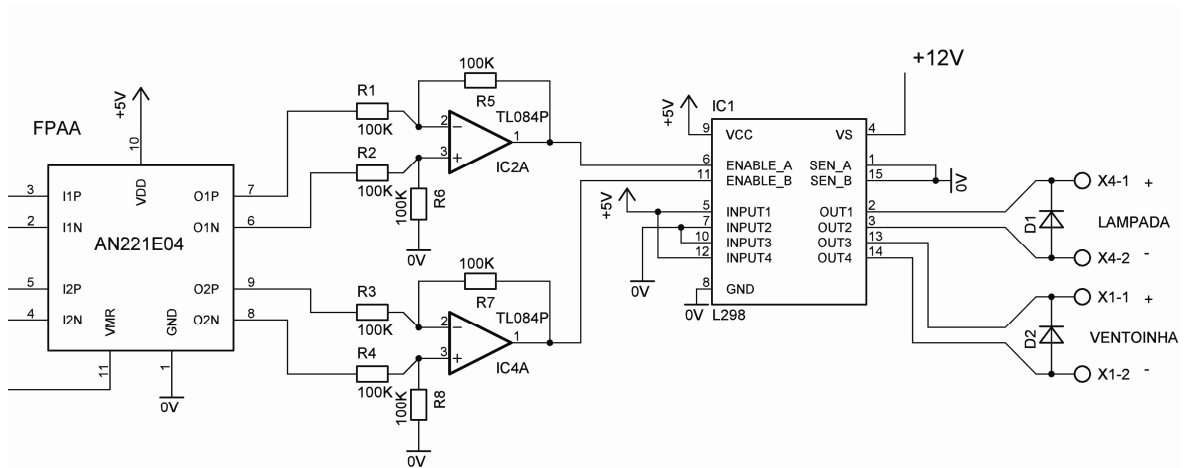
Foi ainda utilizado um potenciómetro para regulação do *setpoint* (temperatura desejada). Como mostra o circuito, o potenciómetro foi colocado no meio de uma malha com duas resistências alimentadas a um potencial de 5 V. A conjugação das resistências permite que na saída do potenciómetro apareça uma tensão regulável entre 2 a 3 V, e uma vez que a FPAA tem as entradas referenciadas a VMR, resulta num sinal interno de 0 a 1V.

Este circuito foi dimensionado de modo a que o potenciómetro regulado para o mínimo corresponda a 0 °C (0 V) e quando regulado para o máximo corresponda a 100 °C (1 V).

Como *drive* de potência para controlar a lâmpada utilizou-se um L298 que possui duas pontes H.

Uma vez que um sistema de aquecimento possui uma inércia elevada, utilizou-se a segunda ponte H para controlar um ventilador que será accionado sempre que uma alteração do *setpoint* obrigue a um decréscimo de temperatura.

Dado que as saídas da FPAA não possuem potência suficiente para alimentar as entradas de controlo do L298 foi necessária a utilização de AMPOP como *buffer* (Figura 91).



**Figura 91** Controlo de temperatura – Saídas da FPAA

As montagens com AMPOPs das entradas e saídas da FPAA possuem ganho unitário. A escolha de ganho unitário deve-se ao facto de não existir necessidade de amplificar sinais assim como a mesma montagem servir para outras aplicações testadas neste trabalho.

### 1- Controlo de temperatura ON/OFF

A Figura 92 mostra a implementação feita no *software Anadigm Designer2* para a implementação do controlo ON/OFF. Foi utilizado um comparador que recebe o sinal do sensor e o valor de referência (*setpoint*), e que faz ligar/desligar a lâmpada consoante a temperatura medida pelo sensor é menor ou maior, respectivamente, que o valor de referência.

Uma segunda saída da FPAA foi usada para o accionamento de um ventilador sempre que se pretenda uma diminuição da temperatura. O sinal de accionamento do ventilador é gerado por um comparador que toma o valor ON sempre que a temperatura medida pelo sensor seja superior ao valor de referência em cerca de 10%. Para tal, ao sinal medido pelo sensor, foi aplicado um ganho de 0,9.

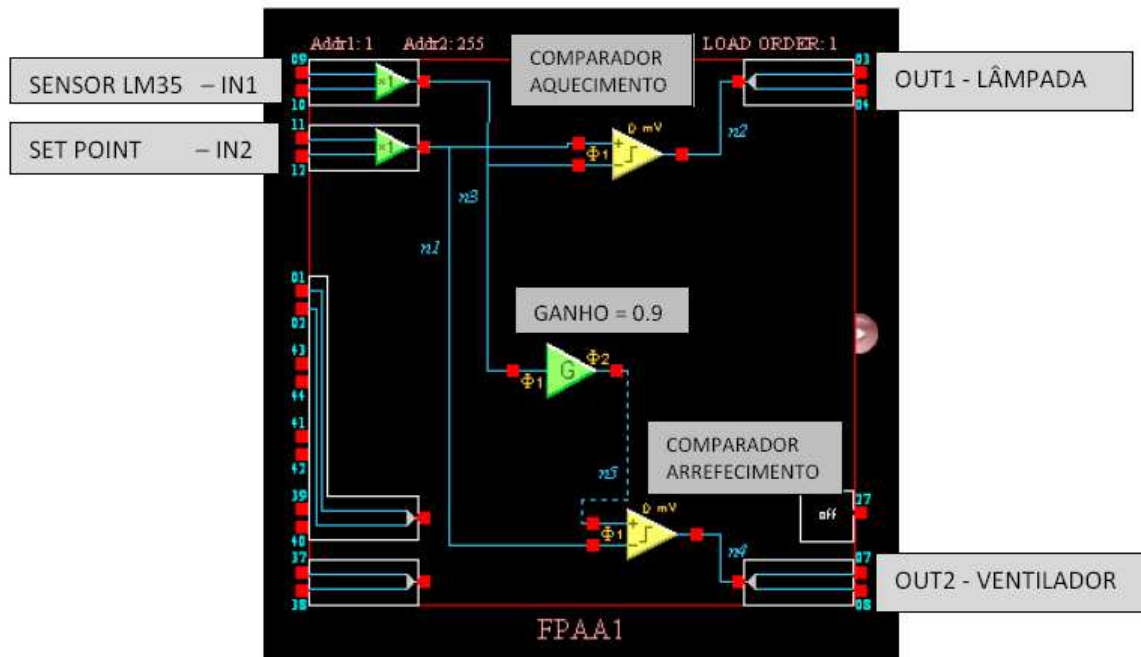


Figura 92 Implementação em FPAA do controlo ON/OFF

Este tipo de controlo não é muito eficaz uma vez que sempre que a temperatura se aproxima do valor de referência, o comparador que faz accionar a lâmpada gera impulsos com frequência aleatória notando-se um cintilar brusco na luminosidade da lâmpada (Figura 93).

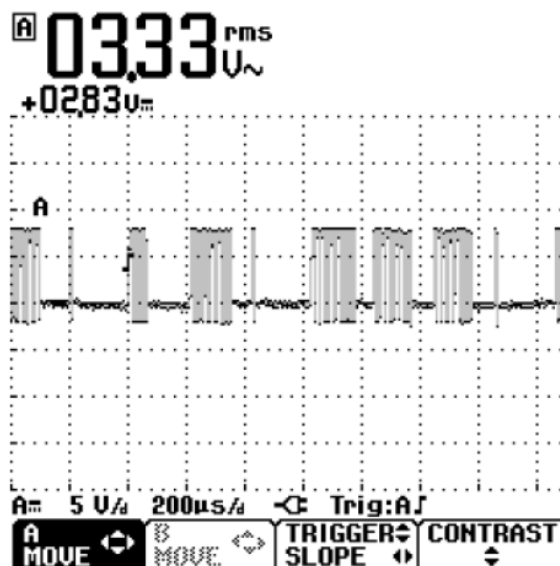


Figura 93 Controlo ON/OFF - Tensão aos terminais da lâmpada (obtido por osciloscópio)

A Figura 94 mostra a resposta da temperatura do sistema no tempo onde podemos verificar um acréscimo de tensão de 50 mV que corresponde a um acréscimo de 5 °C.

Não se verifica qualquer tipo de *overshoot* ao atingir a temperatura de referência, uma vez que para este acréscimo de 5 °C o sistema demorou 45 segundos a responder, ou seja, uma inércia muito elevada.

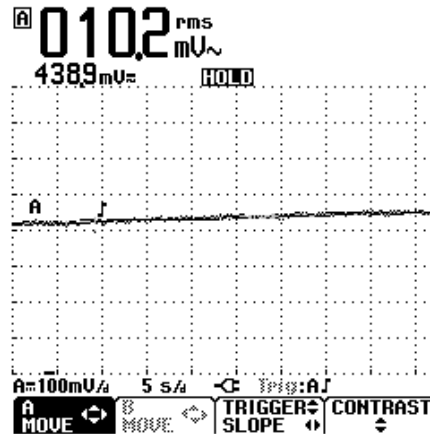


Figura 94 Controlo ON/OFF – Resposta da temperatura no tempo

## 2- Controlo de temperatura por PWM

Este tipo de controlo difere do anterior no facto de se utilizar um subtractor que mede a diferença entre o sinal de temperatura medido e o valor de referência. A diferença medida (erro) é comparada com um sinal do tipo dente-de-serra gerando um sinal PWM proporcional ao erro medido (Figura 95).

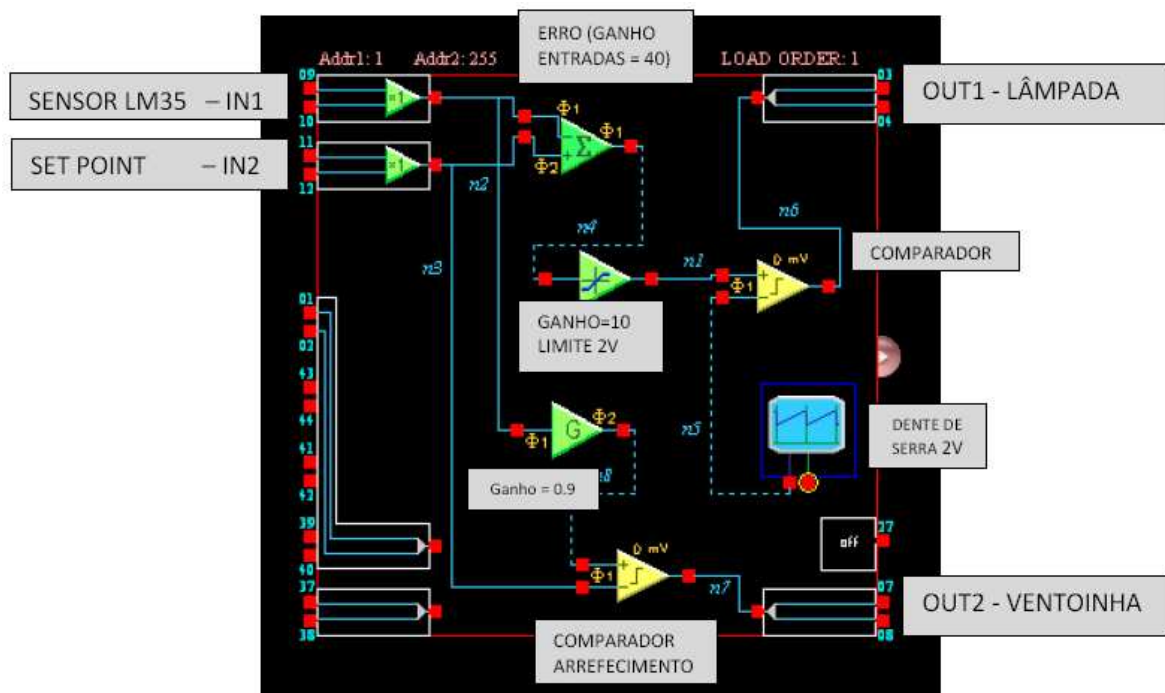


Figura 95 Implementação em FPLA do controlo PWM com sensor LM35

Este tipo de controlo é mais eficiente que o anterior uma vez que o brilho da lâmpada é inversamente proporcional ao erro (diferença entre a temperatura medida e o valor de referência).

A Figura 96 mostra o comportamento deste tipo de controlo (tensão aos terminais da lâmpada) sempre que a temperatura se aproxima do valor de referência. Pode-se visualizar que consoante a temperatura se aproxima do valor de referência, existe uma diminuição do valor de *duty-cycle* aplicado.

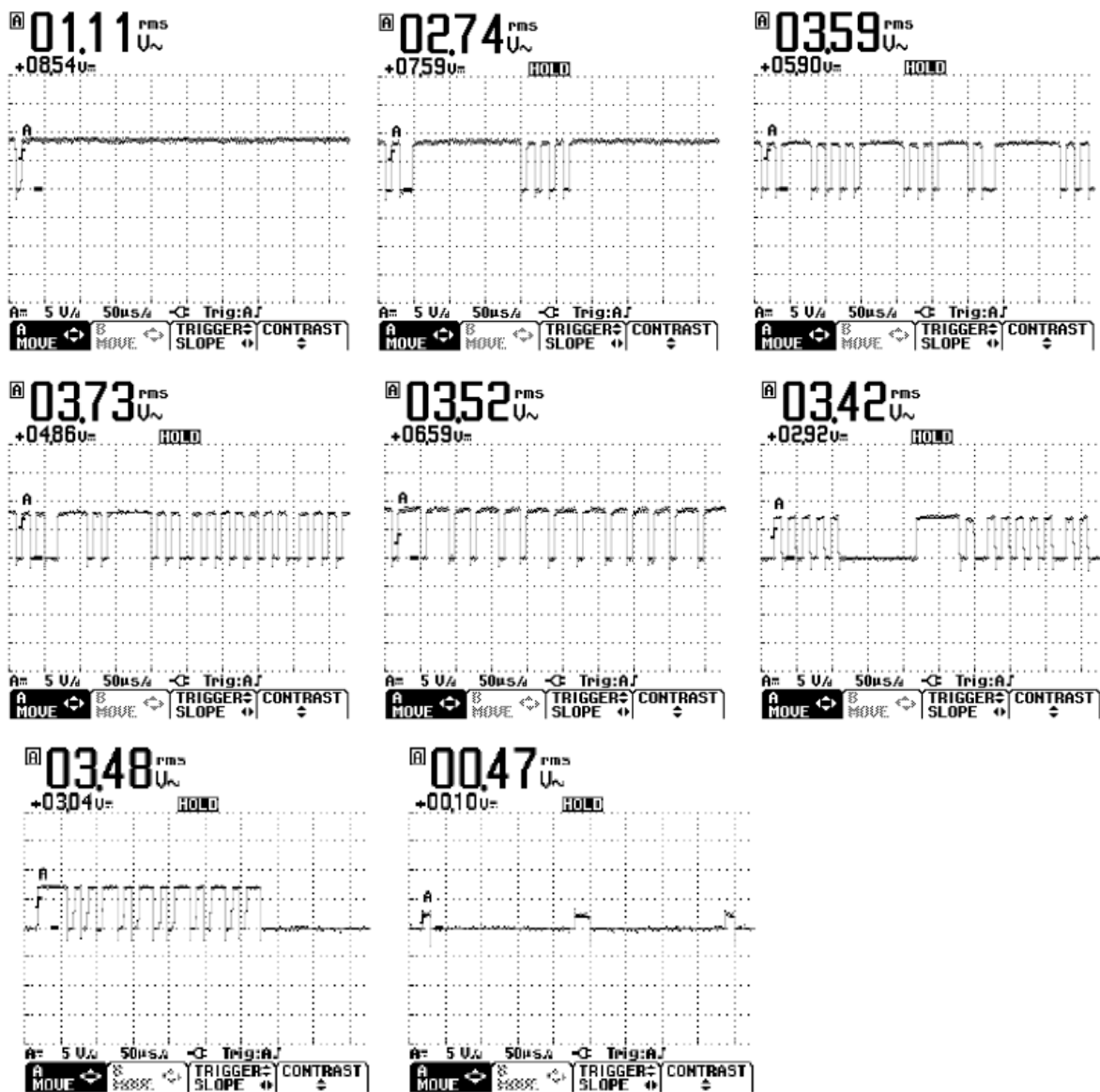


Figura 96 Controlo PWM - Tensão aos terminais da lâmpada

Com este tipo de controlo, verificou-se uma diminuição do cintilar da lâmpada. A frequência do sinal de PWM que controla a lâmpada é de 40 kHz, o que faz com que não

fosse possível verificar o cintilar da lâmpada ao olho humano. A verdade é que se verificou um cintilar que se deve ao facto do sensor LM35 possuir uma taxa de actualização lenta comparativamente ao sinal PWM gerado.

O ventilador é accionado da mesma forma que no sistema de controlo anteriormente descrito, ON/OFF.

O comportamento da resposta em temperatura do sistema é idêntica ao controlo anterior, ON/OFF.

### 3- Controlo de temperatura por PID

A Figura 97 mostra a implementação em FPAA do accionamento da lâmpada por um controlo PID. Para tal foi utilizada a função PID do *software Anadigm Designer2*, Figura 98, que gera um conjunto de CAMs em que apenas será necessário programar os ganhos das acções P, I e D. O sinal de saída do controlador PID é comparado com um sinal dente-de-serra de forma a gerar um sinal PWM para o accionamento da lâmpada.

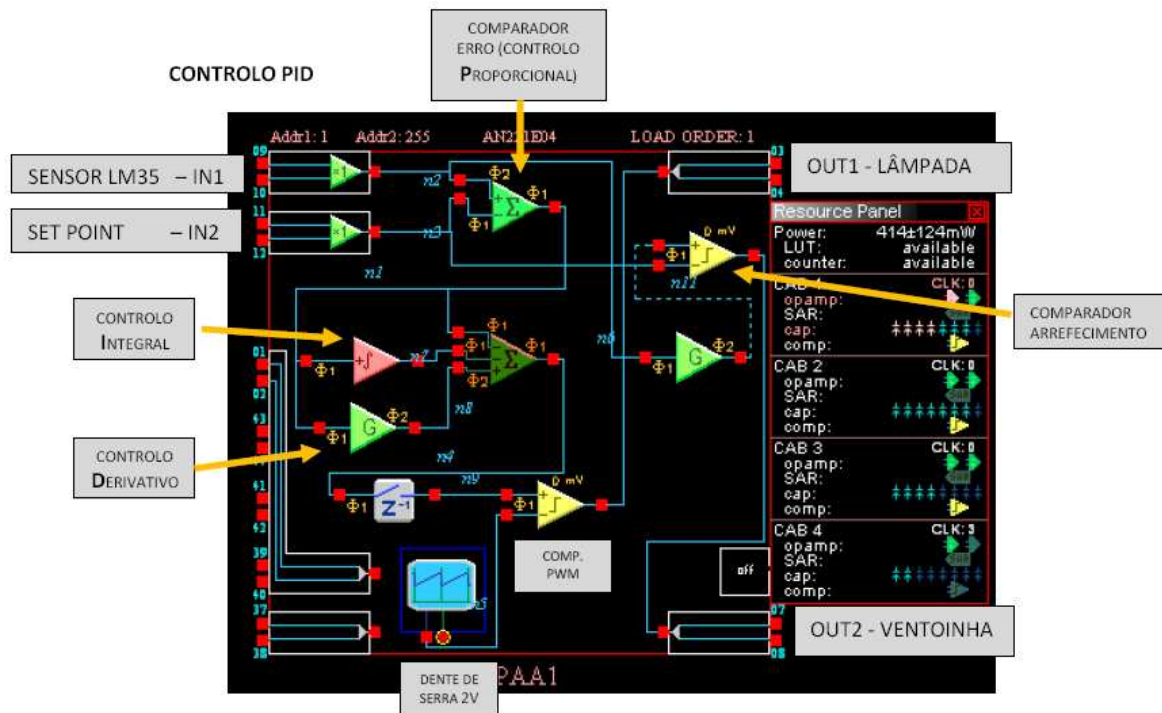


Figura 97 Implementação em FPAA do controlo PID

O ventilador é accionado da mesma forma que nos sistemas de controlo anteriormente descritos, ON/OFF e PWM.

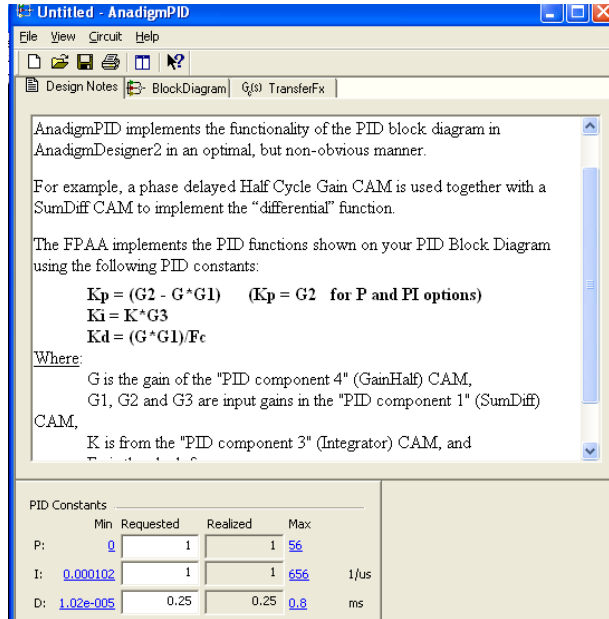


Figura 98 Função PID do software Anadigm Designer 2

A Figura 99 mostra o conjunto de CAMs geradas pela função PID do software Anadigm Designer, identificadas por CAM1 (somador/diferenciador de 3 entradas), CAM2 (Comparador de 2 entradas), CAM3 (integrador) e CAM4 (CAM de ganho).

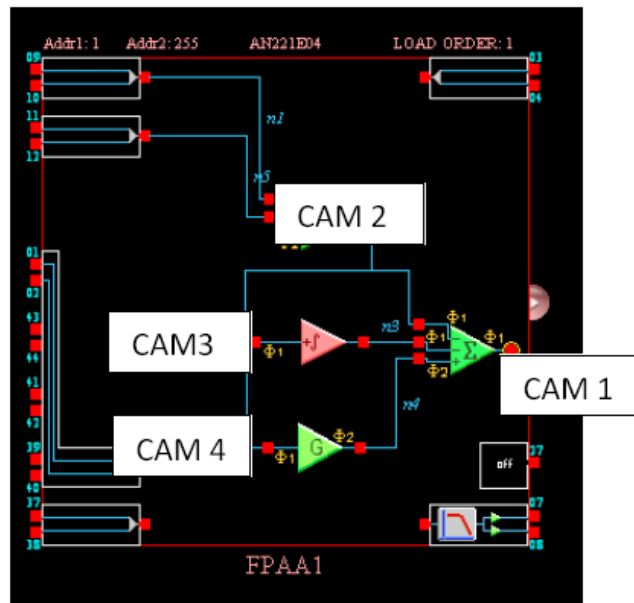


Figura 99 CAMs geradas pela Função PID do software Anadigm Designer 2

Os ganhos das acções Proporcional ( $K_p$ ), Integral ( $K_i$ ) e Derivativa ( $K_d$ ) são dados pelas expressões:

$$K_p = G_2 - G \times G_1 \quad (19)$$

$$K_i = K \times G_3 \quad (20)$$

$$K_i = \frac{G \times G_1}{F_c} \quad (21)$$

Onde:

- $G$  é o ganho da CAM4;
- $G_1$ ,  $G_2$  e  $G_3$  são os ganhos das entradas da CAM1;
- $K$  é a constante da CAM3 (integração);
- $F_c$  é a frequência de relógio.

Os ganhos programados foram:  $G=1$ ,  $G_1=50$ ,  $G_2=25$ ,  $G_3=1$ ,  $K=4$ ,  $F_c=100$  kHz.

Estes valores foram obtidos através de ensaios práticos

A três imagens da Figura 100 mostram a diferença de resultados obtidos com a programação de ganhos 5, 25 e 50, respectivamente, no ganho  $G_2$  do controlo PID anteriormente descrito.

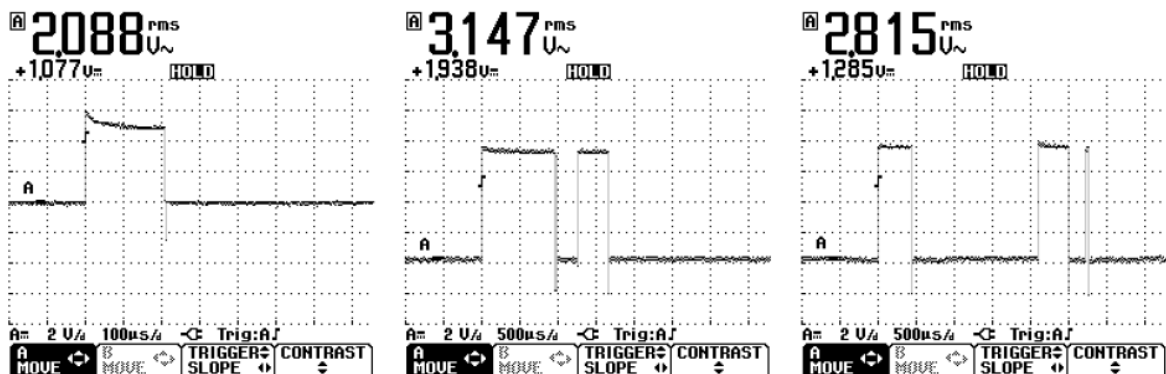


Figura 100 Controlo PID - Tensão aos terminais da lâmpada

Verificou-se ainda que a anulação da acção Diferencial não afectava o comportamento do sistema, mas ganhos elevados degradavam o seu funcionamento.

Devido à inércia do sistema, o comportamento da resposta em temperatura do sistema (medida com osciloscópio) é muito similar aos controlos anteriores, ON/OFF e PWM. Embora não se possa tirar uma conclusão correcta uma vez que o tempo necessário para captar a resposta em temperatura do sistema é elevado é demasiado longo o que faz com que se perca precisão na medida feita pelo osciloscópio.

Contudo, no controlo PID verifica-se visualmente pelo brilho da lâmpada que a aproximação à temperatura de referência é mais suave e progressiva.

#### 4.4.2. CONTROLO DE TEMPERATURA COM SENSOR NÃO LINEAR

Dado que em muitas aplicações existe a necessidade de utilizar sensores não lineares para a medição de grandezas físicas, nesta secção desenvolveu-se um sistema de controlo de temperatura idêntico ao controlo PWM descrito na secção anterior (Figura 101). Foi utilizado um sensor de temperatura não linear do tipo NTC (*Negative Temperature Coefficient*) do fabricante AVX (referência ND06).

Para fazer a linearização do sinal medido aos terminais do sensor, foi utilizado uma CAM “*transfer function*” do *software Anadigm Designer*. Trata-se de uma função que lê uma tabela inserida na LUT em que inserimos quais os valores da tensão pretendidos em função da tensão na entrada da FPAA. A tabela de linearização utilizada encontra-se no Anexo C deste relatório. Para construir essa tabela foi necessário interpolar alguns valores uma vez que o fabricante apenas disponibiliza a resistência da NTC para valores de temperatura de 5 em 5 °C.

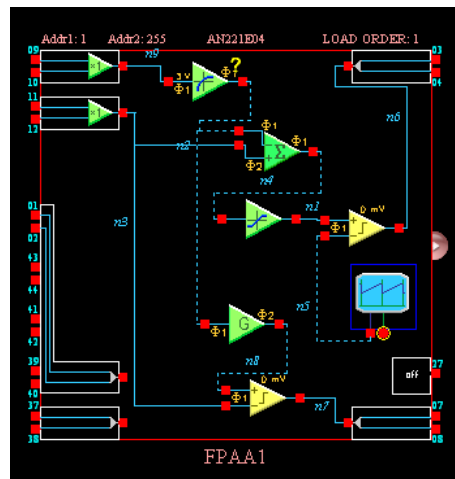


Figura 101 Utilização da função de transferência para linearização de sinal

A Figura 102 mostra o esquema de ligação do sensor NTC à entrada da FPAA. Este foi ligado numa malha com mais duas resistências que permite obter uma tensão de 2 a 3,4V na entrada da FPAA para uma gama de temperaturas de 0 a 100°C. Uma vez que a tensão de referência é de 2V (VMR), o sinal obtido no interior a FPAA varia entre 0 a 1,4V para a respectiva gama de temperaturas.

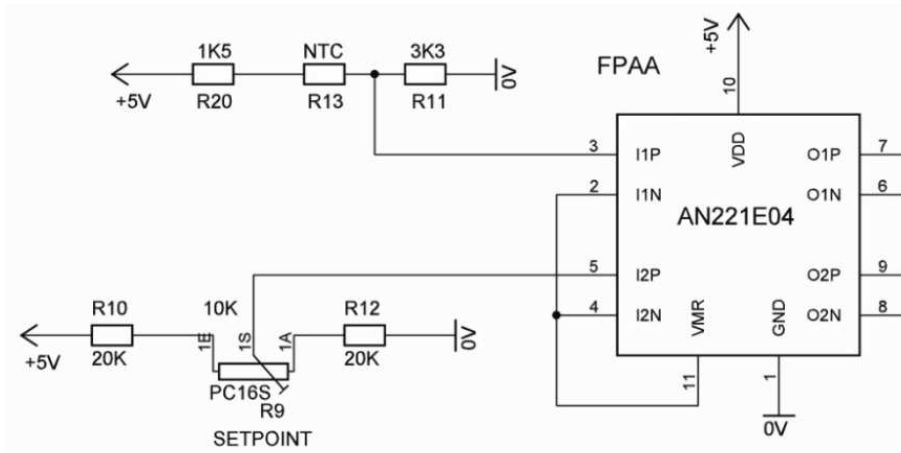


Figura 102 Esquema de ligação da NTC à FPAA

A Figura 103 mostra o preenchimento da tabela de linearização da CAM “transfer function”.

Vin	Requested (-4 to 4)	Realized
0.023 < X < 0.047	0.010	0.012
0.047 < X < 0.070	0.010	0.012
0.070 < X < 0.094	0.020	0.024
0.094 < X < 0.117	0.030	0.035
0.117 < X < 0.141	0.030	0.035
0.141 < X < 0.164	0.040	0.035
0.164 < X < 0.188	0.050	0.047
0.188 < X < 0.211	0.060	0.059
0.211 < X < 0.234	0.060	0.059
0.234 < X < 0.258	0.070	0.071
0.258 < X < 0.281	0.080	0.082
0.281 < X < 0.305	0.080	0.082
0.305 < X < 0.328	0.090	0.094
0.328 < X < 0.352	0.090	0.094
0.352 < X < 0.375	0.100	0.106
0.375 < X < 0.398	0.110	0.106
0.398 < X < 0.422	0.120	0.118
0.422 < X < 0.445	0.130	0.129
0.445 < X < 0.469	0.140	0.141
0.469 < X < 0.492	0.140	0.141
0.492 < X < 0.516	0.150	0.153
0.516 < X < 0.539	0.160	0.165
0.539 < X < 0.563	0.170	0.165
0.563 < X < 0.586	0.180	0.176

Figura 103 Tabela de linearização

Este sistema de controlo de temperatura, por PWM, com sensor não linear apresenta resultados e comportamento do sistema em tudo idênticos ao controlo PWM com sensor linear descrito na secção anterior.

#### 4.5. APLICAÇÃO DA FPAA – CONTROLO DE VELOCIDADE DE UM MOTOR

Nesta secção apresentam-se os resultados obtidos numa implementação efectuada para controlo de velocidade de um motor DC com um dínamo acoplado para medição de velocidade (conforme esquema de funcionamento da Figura 104).

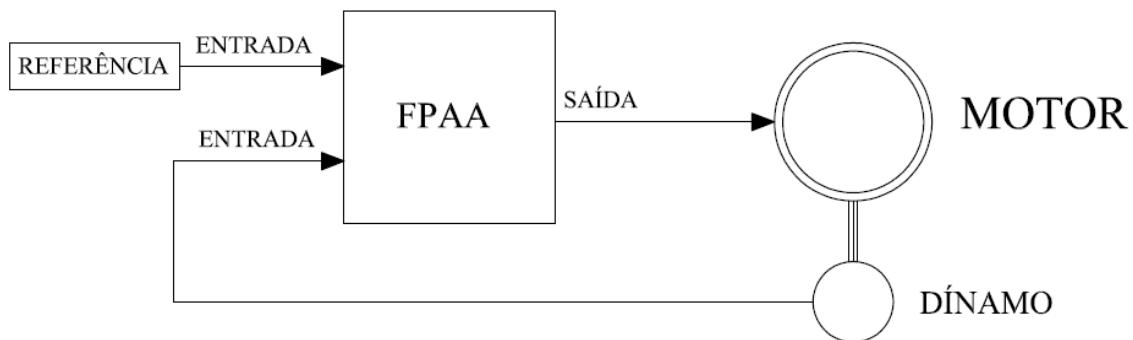


Figura 104 Controlo de velocidade - Esquema de funcionamento

Nesta implementação serão implementados e simulados três tipos de controlo, ON/OFF, PWM e PID.

As Figura 105 e Figura 106 mostram o esquema de ligação das entradas e saídas da FPAA respectivamente. Estes esquemas são em tudo idênticos aos utilizados para o controlo de temperatura, diferindo apenas na utilização de um dínamo para a medição da velocidade do motor e na utilização de apenas uma saída da FPAA, para controlo do motor.

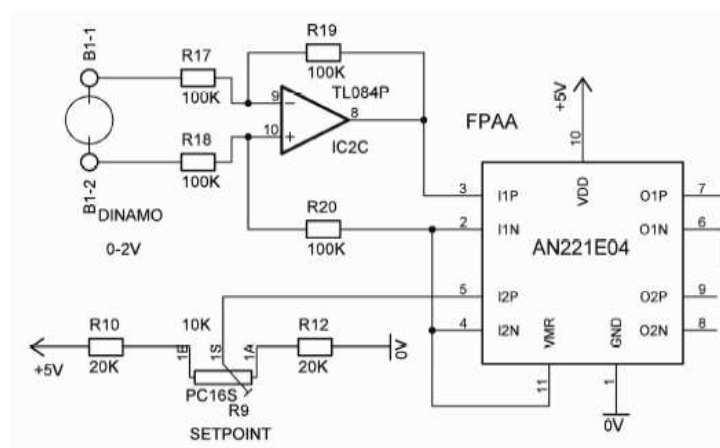


Figura 105 Controlo de velocidade – Entradas da FPAA

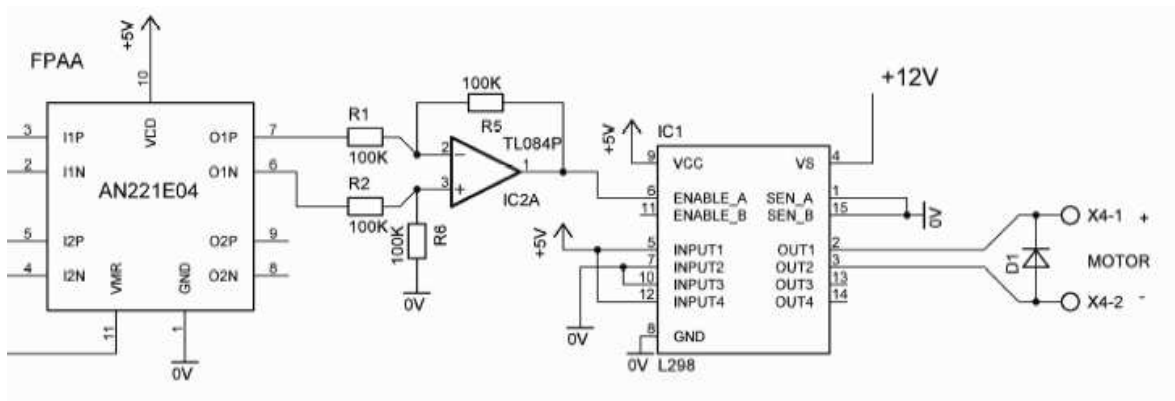


Figura 106 Controlo de velocidade – Saídas da FPAA

### 1- Controlo de velocidade ON/OFF

A Figura 107 mostra a implementação feita no *software Anadigm Designer2* para a implementação do controlo de velocidade por um método de comparação resultando num sinal ON/OFF consoante o resultado da comparação da velocidade medida e o valor de referência.

Tal como na implementação do controlo de temperatura, um controlo do tipo ON/OFF, não é muito eficaz uma vez que sempre que a velocidade se aproxima ou se afasta do valor de referência, o comparador faz com que o motor desacelere ou acelere bruscamente.

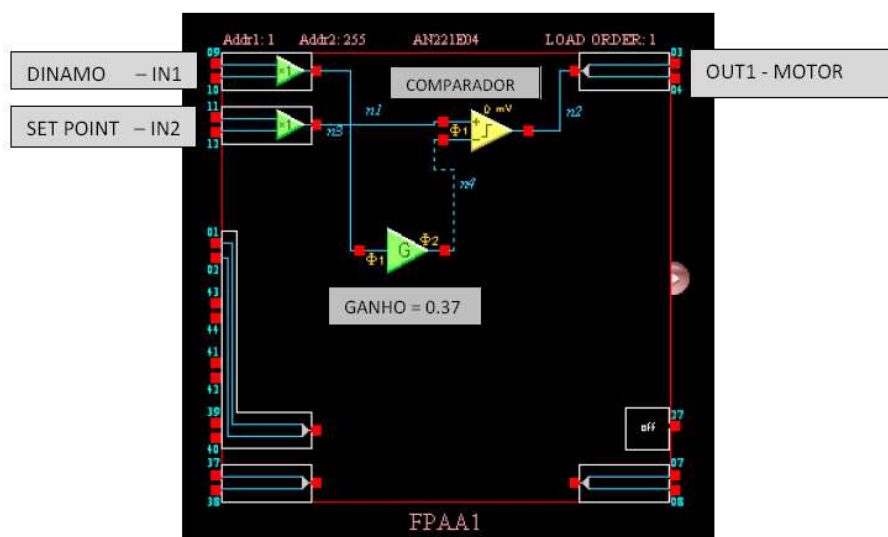


Figura 107 Controlo de velocidade - Implementação em FPAA do controlo ON/OFF

Para testar o comportamento deste tipo de controlo, colocou-se o motor a rodar deixando atingir a velocidade de referência (Figura 108 à esquerda) e depois aplicou-se

uma carga ao motor de modo a que este perdesse velocidade (a carga aplicada foi travar manualmente o veio do motor). Como resposta, o sistema de controlo aplica uma tensão contínua (Figura 108 à direita) para tentar acelerar o motor. Esta variação de tensão aplicada ao motor é brusca o que faz com que se verifique elevados *overshoots* na velocidade logo após o motor conseguir recuperar a velocidade para o valor de referência.

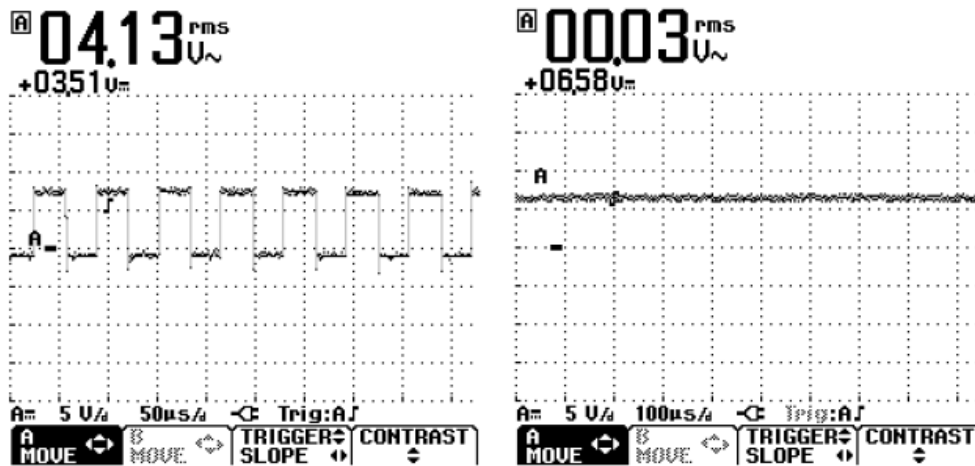


Figura 108 Controlo ON/OFF - Tensão aos terminais do motor

A Figura 109, mostra a resposta da velocidade do motor no tempo. Pode-se verificar que ao atingir a velocidade de referência existe um pequeno *overshoot*, mas que rapidamente é corrigido.

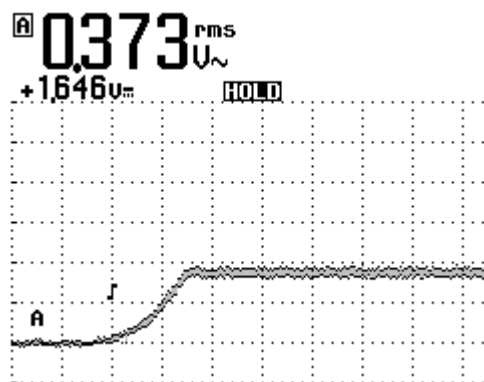


Figura 109 Controlo ON/OFF – Resposta da velocidade no tempo

Neste tipo de controlo não é possível controlar a velocidade do motor a baixa rotação uma vez que na saída do comparador que mede o sinal de referência e o sinal real de velocidade geram-se impulso de comandos aleatórios de alta frequência não permitindo um controlo eficaz do motor. Proporciona ainda um aquecimento excessivo da drive de potência que comanda o motor uma vez que as frequências de comutação são elevadas.

## 2- Controlo de velocidade por PWM

Este tipo de controlo difere do anterior no facto de se utilizar um subtrator que mede a diferença entre a velocidade medida e o valor de referência. A diferença medida (erro) é comparada com um sinal do tipo dente-de-serra gerando um sinal PWM proporcional ao erro medido (Figura 110).

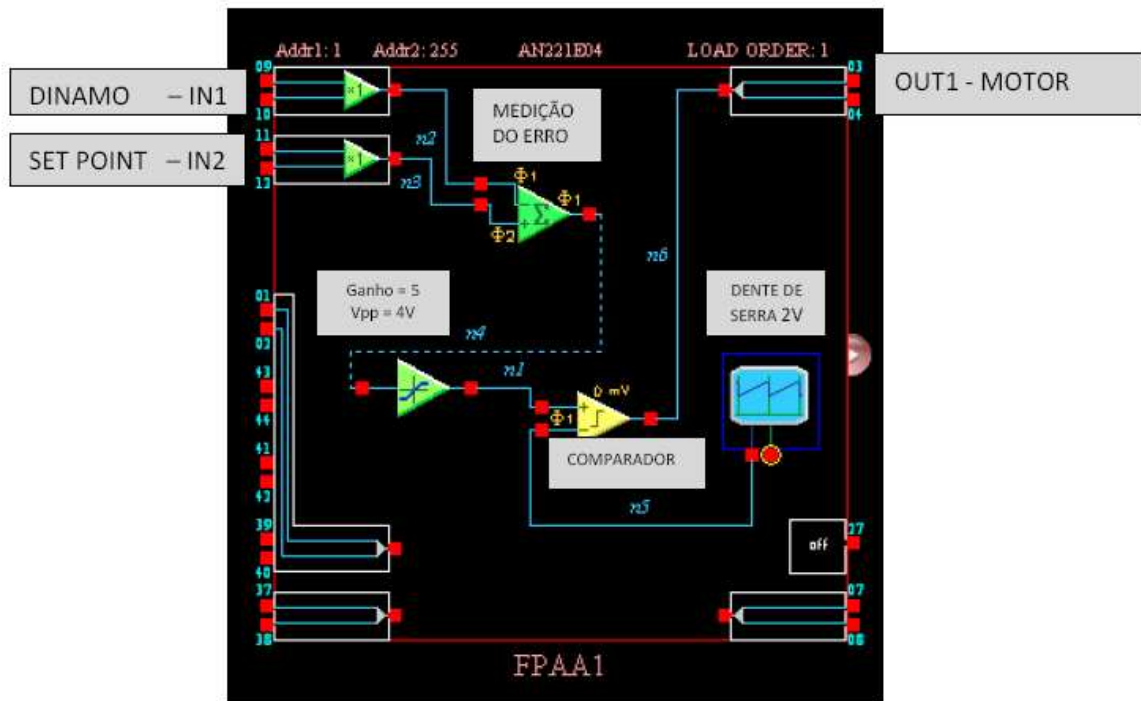


Figura 110 Controlo de velocidade - Implementação em FPAAs do controlo PWM

Este tipo de controlo é mais eficiente que o anterior uma vez que o motor possui melhor comportamento em alta e em baixa rotação.

A Figura 111 mostra a forma de onda aplicada ao motor quando este está a rodar em baixa rotação. Os impulsos são gerados a uma frequência de 20 kHz o que faz com que o motor não provoque vibrações assim como não é audível a vibração das bobinas do motor a esta frequência.

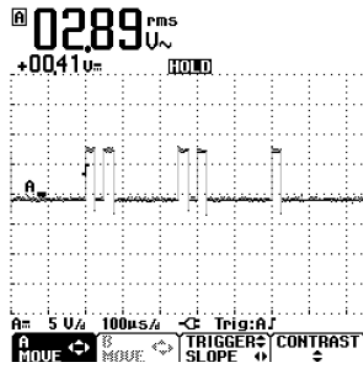


Figura 111 Controlo de velocidade – PWM gerado para baixa velocidade

Mais uma vez, para testar o comportamento deste tipo de controlo, colocou-se o motor a rodar deixando atingir a velocidade de referência (1ª imagem da Figura 112) e depois aplicou-se uma carga ao motor de modo a que este perdesse velocidade (a carga aplicada foi travar manualmente o veio do motor). Como resposta, o sistema de controlo aumenta o *duty-cycle* da tensão aplicada ao motor de modo a aumentar o binário do motor para que este consiga recuperar a velocidade. Nas restantes imagens da Figura 112, dado que o motor não consegue recuperar a velocidade, podemos ver o aumento progressivo do *duty-cycle* até que o sistema de controlo aplica ao motor uma tensão contínua.

Quando retiramos a carga ao motor, verifica-se um processo contrário, ou seja, uma diminuição do *duty-cycle* até atingir o valor de referência.

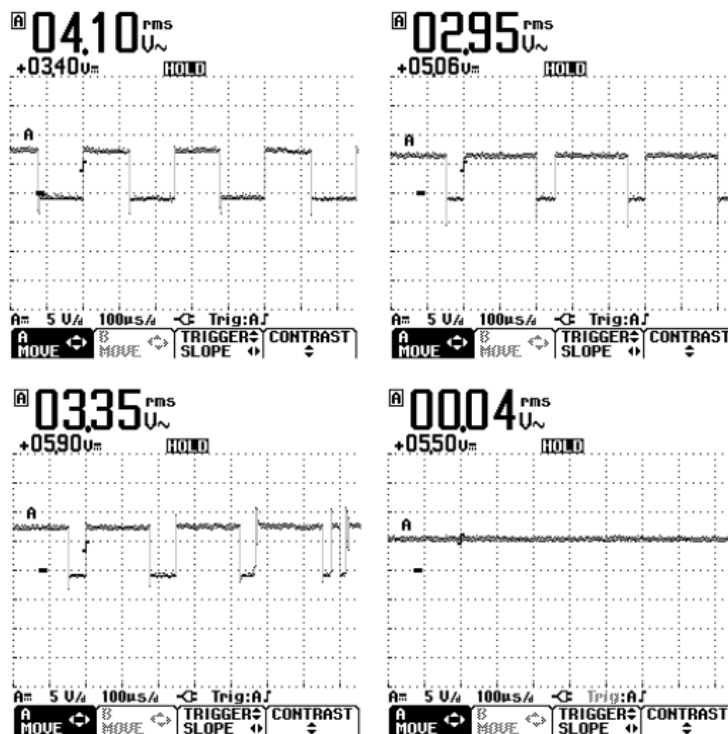


Figura 112 Controlo de velocidade – PWM gerado quando se aplica uma carga ao motor

A Figura 113 mostra a resposta da velocidade do motor no tempo. Pode-se verificar que ao atingir a velocidade de referência não existe *overshoot*.

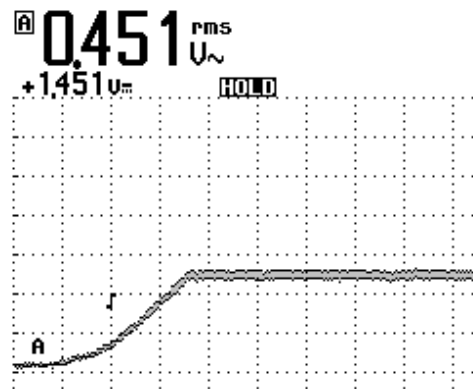


Figura 113 Controlo PWM – Resposta da velocidade no tempo

### 3- Controlo de velocidade por PID

A Figura 114 mostra a implementação em FPAA do controlo de velocidade do motor por um controlo PID. Para tal foi mais uma vez utilizada a função PID do *software Anadigm Designer2* que gera um conjunto de CAMs em que apenas será necessário programar os ganhos das acções P, I e D. O sinal de saída do controlador PID é comparado com um sinal dente-de-serra de forma a gerar um sinal PWM para o accionamento do motor.

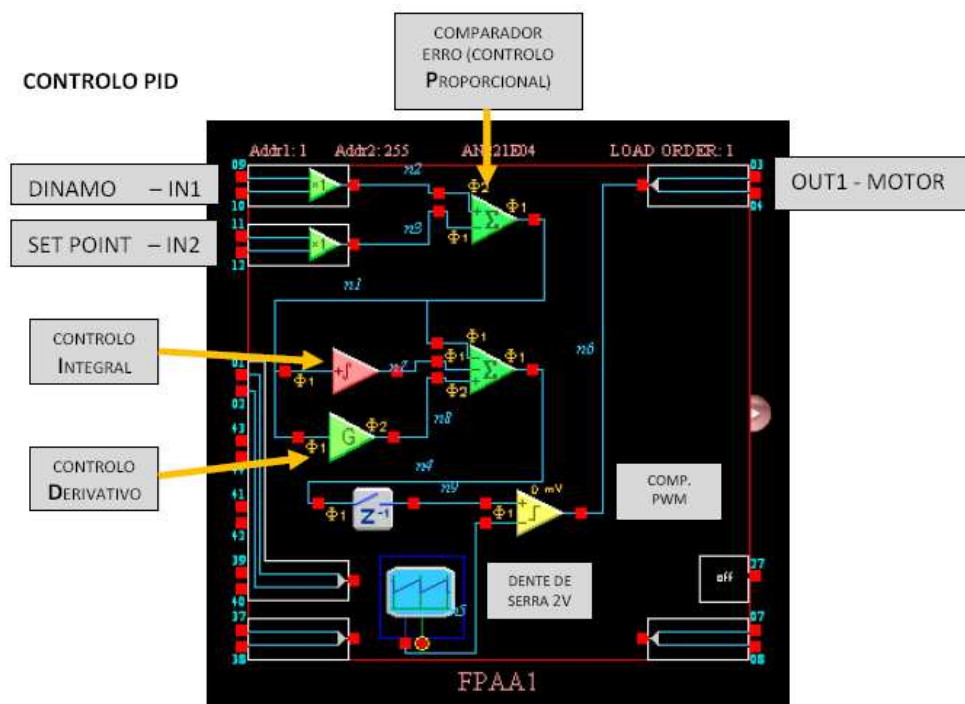


Figura 114 Controlo de velocidade – Implementação em FPAA do controlo PID

Os ganhos obtidos para o melhor comportamento no controlo do motor foram:  $G=1$ ,  $G1=40$ ,  $G2=25$ ,  $G3=1$ ,  $K=1$ ,  $F_c=100$  kHz.

Verificou-se ainda que a anulação da acção Diferencial não afectava o comportamento do sistema, mas elevados ganhos degradavam o seu funcionamento.

Na Figura 115 podemos ver o comportamento do sistema para diferentes ganhos  $K$  da CAM integradora.

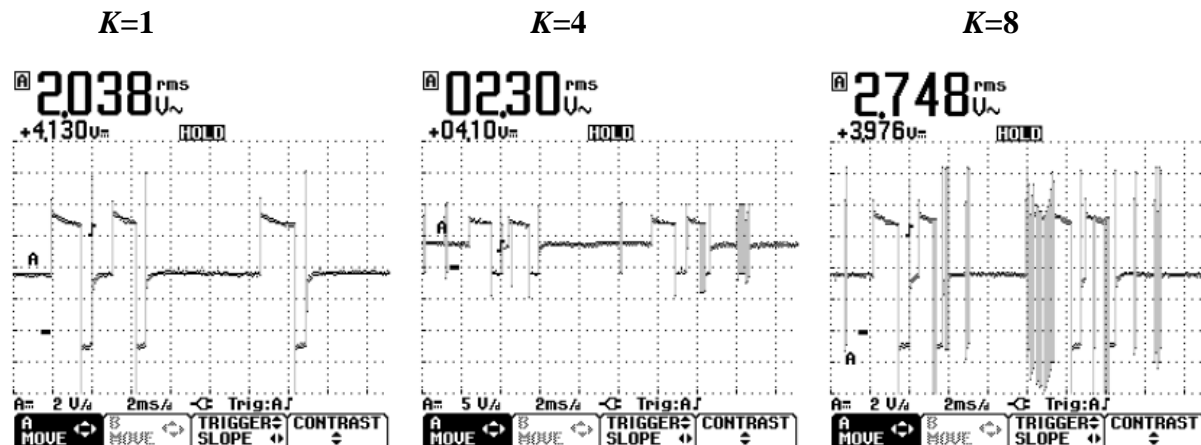
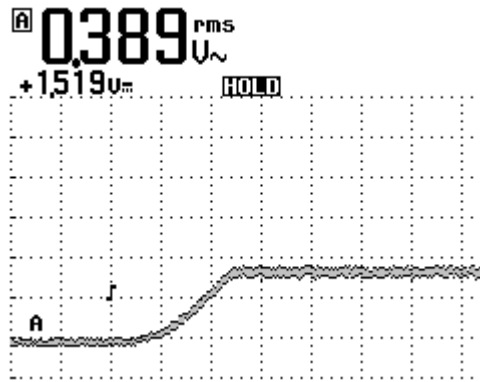


Figura 115 Controlo de velocidade por PID – Tensão aos terminais do motor

Podemos concluir que o melhor ganho  $K$  para a CAM integradora é  $K=1$ , uma vez que tenta corrigir a velocidade do motor de uma forma mais suave evitando demasiados impulsos de comutação do L298 diminuindo assim o ruído electromagnético gerado (audível). No caso de utilizarmos uma constante de tempo maior na acção Integral, temos de utilizar aos terminais do motor um díodo *freewheeling* de maior capacidade de forma a eliminar a contra-polarização dos transístores internos do L298. O díodo utilizado como *freewheeling* nesta aplicação foi o 1N4004.

A Figura 116 mostra, tal como no sistema de controlo anterior, PWM, que a resposta da velocidade do motor no tempo não possui *overshoot* ao atingir a velocidade de referência.

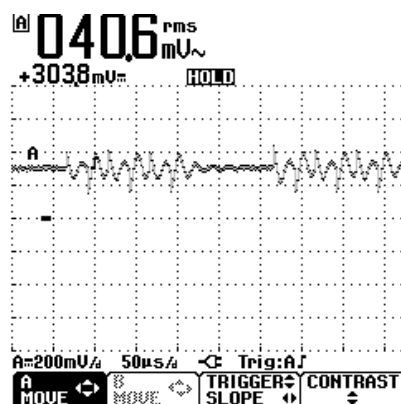


**Figura 116 Controlo PID – Resposta da velocidade no tempo**

Comparativamente com os controlos anteriores, ON/OFF e PWM, o controlo PID é o mais eficaz no controlo de velocidade do motor em altas e baixas rotações.

Neste controlo verifica-se um maior ruído no funcionamento do motor devido ao facto de se terem utilizado mais recursos internos da FPAA o que limitou a frequência de comutação gerada para controlar a drive de potência que alimenta o motor. Uma vez que esta frequência é de 15 kHz torna audível a comutação na alimentação das bobinas do motor.

Nos três métodos de controlo de velocidade do motor anteriormente descritos, verificou-se que sempre que se pretende uma velocidade baixa no motor o sistema tem um comportamento irregular devido ao dínamo acoplado ao motor, que faz a medição de velocidade, apresentar uma tensão oscilante quando roda a baixa velocidade, tal como se pode verificar na Figura 117. Nesta figura podemos visualizar a forma de onda gerada pelo dínamo quando o motor se encontra em baixa rotação. As irregularidades que se verificam devem-se à comutação das escovas nas lâminas do colectador do rotor do dínamo.



**Figura 117 Tensão aos terminais do dínamo - Sem filtragem**

Para corrigir esta situação foi colocado aos terminais do dínamo um condensador que eliminasse essas interferências. Após a colocação de um condensador de 10 nF

verificou-se que em baixa rotação estas oscilações são atenuadas (Figura 118 à esquerda) mas em alta rotação (Figura 118 à direita) as oscilações voltam a aparecer (no entanto, menores que no caso sem filtragem) uma vez que a frequência destas oscilações é superior e necessitaria de um condensador com um valor mais elevado.

A tensão de saída do dínamo é de 0 V para a velocidade nula e de cerca de 2 V para a velocidade máxima (quando alimentado a 12 VDC) e que corresponde a uma velocidade de 1000 rpm.

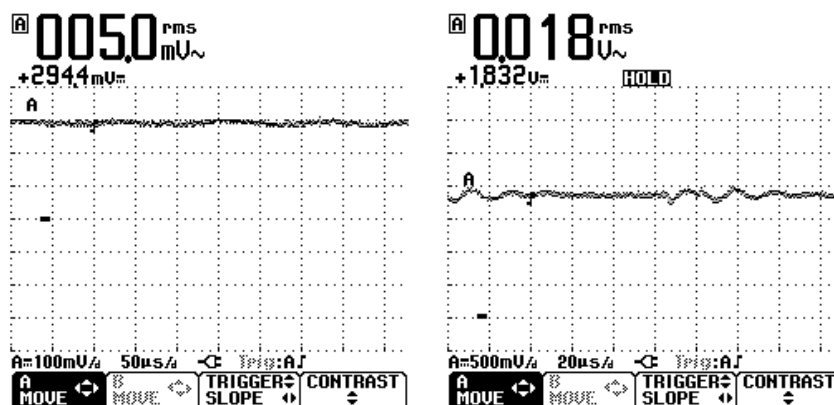


Figura 118 Tensão aos terminais do dínamo - Com filtragem

A situação anteriormente descrita poderia ser corrigida internamente na FPAA com a aplicação de filtros, mas não foi possível nesta aplicação com controlo PID uma vez que a FPAA utilizada não possuía capacidade para utilizar mais recursos internos.

#### 4.6. COMENTÁRIOS E ANÁLISE DOS RESULTADOS

Após a implementação dos sistemas de controlo de temperatura e do sistema de controlo de velocidade foram tiradas as seguintes conclusões:

- O controlo do tipo ON/OFF, embora seja um controlo simples e “arcaico”, apresenta resultados satisfatórios no controlo de temperatura uma vez que a inércia do sistema é elevada. No caso do controlo de velocidade de um motor, este método é ineficaz uma vez que torna o sistema instável;

- O controlo do tipo PWM apresenta bons resultados. No caso de um sistema de controlo de temperatura em que a inércia é elevada este método é bastante eficaz tornando o sistema bastante estável. No caso do controlo de velocidade de um motor, este tipo de controlo apresenta bons resultados, embora no caso de variações bruscas de velocidade gere alguma instabilidade do sistema;

- O controlo do tipo PID apresenta os melhores resultados. No caso do controlo de temperatura, a resposta em temperatura do sistema parece não evidenciar essas vantagens, mas visualmente podemos verificar pelo brilho e cintilar da lâmpada que este controlo é mais eficaz, progressivo e estável. No caso do controlo de velocidade do motor, o controlo PID evidencia as suas vantagens sempre que geramos uma variação brusca na velocidade de referência ou quando introduzimos uma carga no motor;

- Verificou-se que a anulação da acção Diferencial quer no controlo de temperatura quer no controlo de velocidade não afectava significativamente o comportamento do sistema, mas elevados ganhos degradavam o seu funcionamento;

- A implementação do controlo PID na FPAA, utilizou bastantes recursos internos do dispositivo, o que limita a implementação de sistemas mais complexos, ou seja, encontrou-se neste ponto uma certa limitação da FPAA. No caso do dínamo que mede a velocidade, verificou-se uma necessidade de filtrar o sinal, mas dado que a FPAA no controlo PID não tinha espaço para a implementação de filtros, essa filtragem teve de ser feita exteriormente à FPAA;

- O desempenho dos CABs da FPAA depende muito das frequências de funcionamento destes, uma vez que ao seleccionarmos a frequência automaticamente a gama de ganhos disponível é ajustada, o que por vezes torna necessário ponderar entre a rapidez e o nível de controlo.



## 5. CONCLUSÕES

Após a conclusão deste trabalho pode-se afirmar que se encontra nesta nova tecnologia, FPAA, uma grande facilidade e agilidade no desenvolvimento de sistemas que utilizem como base os Amplificadores Operacionais.

Neste projecto foram utilizados alguns recursos do dispositivo, sem explorar a plena diversidade de configurações deste. A implementação do controlo PID na FPAA, utilizou bastantes recursos internos do dispositivo, limitando a implementação de sistemas mais complexos, ou seja, encontrou-se neste ponto uma certa limitação da FPAA.

Em termos práticos, foram obtidos bons resultados na utilização desta tecnologia na construção de um controlador de temperatura e de velocidade. Embora os sistemas de controlo realizados pudessem ser facilmente implementados com electrónica analógica convencional, a utilização da FPAA permite reduzir significativamente a dimensão física dos projectos, reduzir o tempo de projecto e ensaio assim como torna mais simples a implementação de sistemas de controlo PID e filtros em que podemos facilmente alterar parâmetros sem alterações físicas do projecto. Face ao ambiente competitivo dos dias de hoje, os aspectos anteriormente descritos são muito importantes para encontrar soluções rápidas e fiáveis.

Por vezes torna necessário ponderar entre a rapidez e o nível de controlo dado que o desempenho dos CABs da FPAA depende muito das frequências de funcionamento destes, uma vez que ao seleccionarmos a frequência automaticamente a gama de ganhos disponível é ajustada.

Como perspectiva de melhoramento futuro deste trabalho seria a implementação do controlo de velocidade do motor DC com uma carga real para que se possa ajustar com mais precisão o controlo PID.

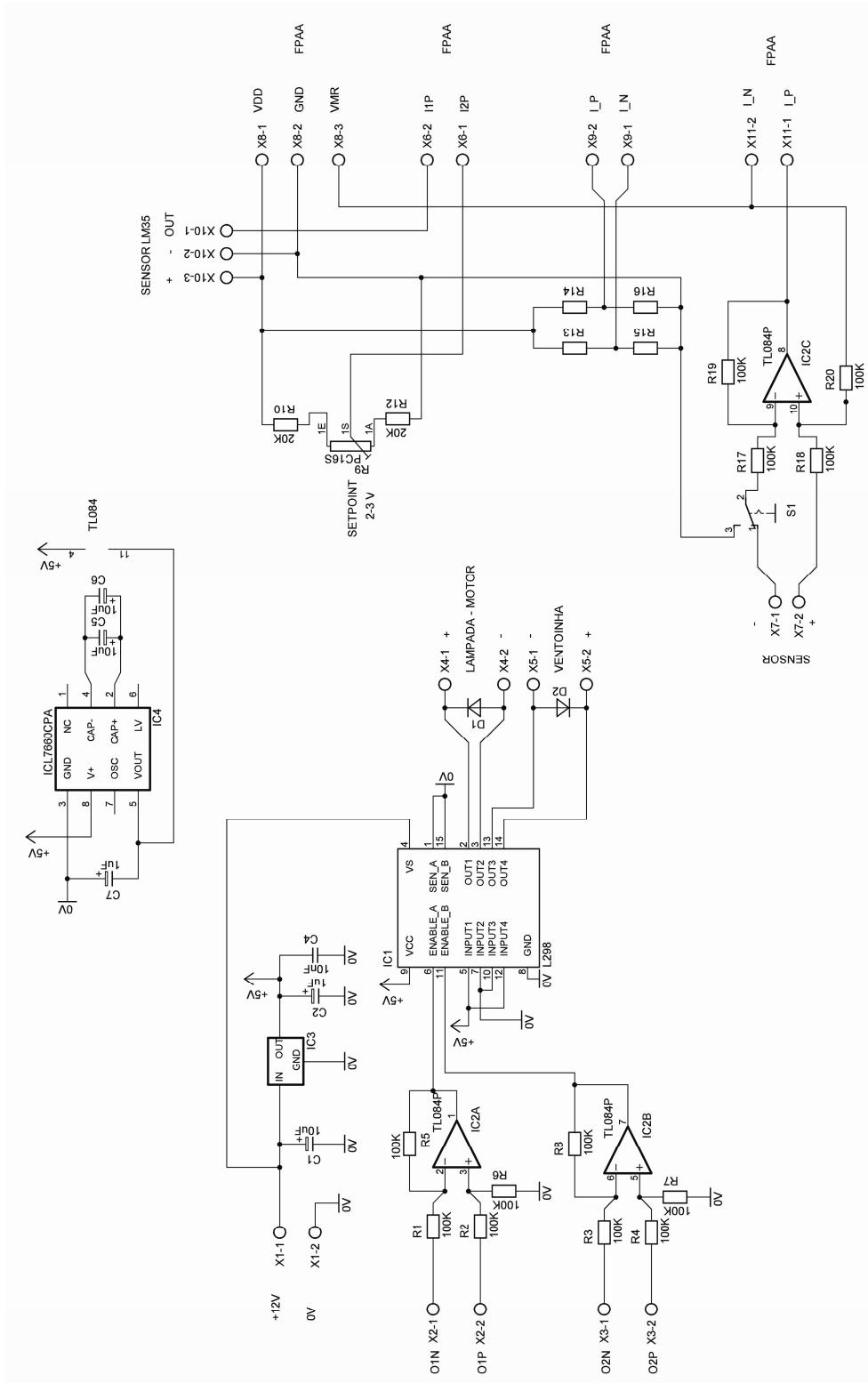
Num futuro breve espera-se que as FPAAs comecem a ser comercializadas com um maior número de CABs, para que esta possa ser encarada como uma alternativa viável na maioria das aplicações analógicas complexas, assim como permitirem frequências de trabalho superiores.

## Referências Documentais

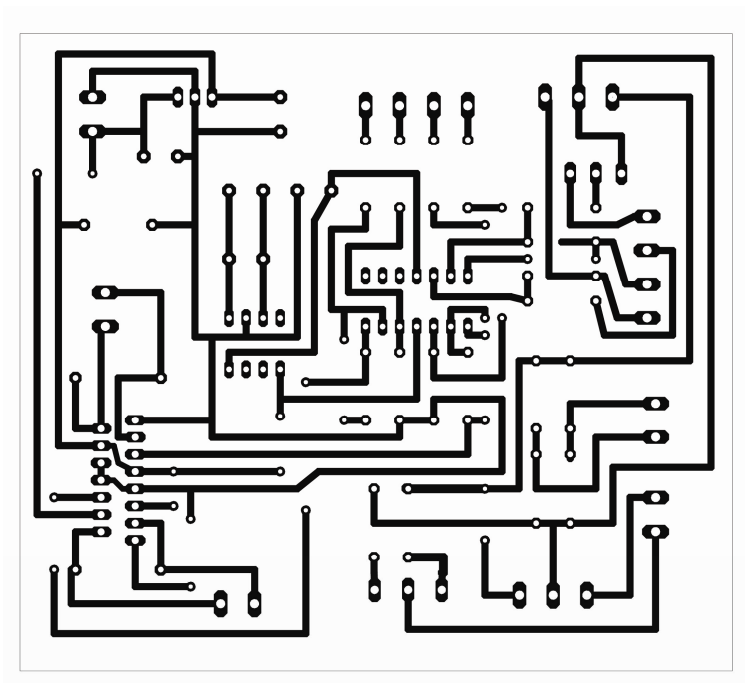
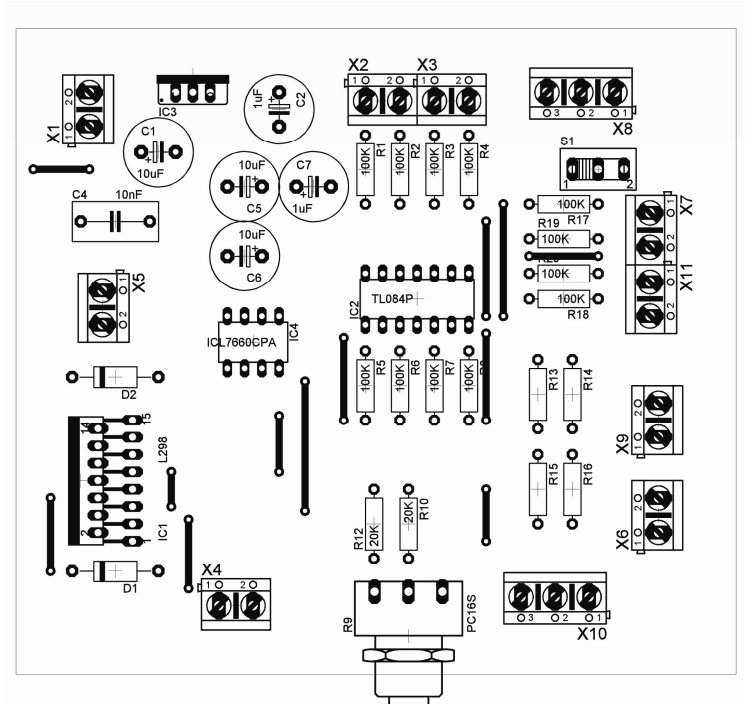
- [1] BIRKNER, J. M. e Chua, H.-T. - *Programmable array logic circuit*. U.S. Patent No. 4,124,899.
- [2] BROWN, D. Stephen; Francis, J. Robert; Rose, Jonathan; Vranesic, G. Zvonko – *Field Programmable Gate Array*. Kluwer Academic Publishers, 1992.
- [3] WAKERLY, J. F., *Digital Design: Principles and Practices, ch. 5: Combinational logic design practices*, New Jersey: Prentice Hall, 3ª edição., 1999.
- [4] GULAK, P. G., - *Field programmable analog arrays: past, present and future perspectives*, em IEEE Region 10 International Conference on Microelectronics and VLSI, Nov. 1995.
- [5] SIVILOTTI, Massimo Antonio, - *Wiring considerations in analog VLSI systems, with application to field-programmable networks*, em <http://resolver.caltech.edu/CaltechETD:etd-07122007-134330>. Acesso em 27-12-2009.
- [6] MARSH, D. -*Programmable analogue ICs challenge spice-and-breadboard designs*, em EDN Europe, pp. 30-36, <http://www.ednmag.com>: Reed Business Information, Oct. 2001. Acesso em 27-12-2009.
- [7] HALL, Tyson S. – *Field-programmable analog arrays: a floating-gate approach*. Dissertação de doutoramento em Philosophy, orientada por Aaron Lanterman e apresentada a School of Electrical and Computer Engineering, Georgia Institute of Technology em Julho de 2004.
- [8] AMPOP, [http://pt.wikipedia.org/wiki/Amplificador\\_operacional](http://pt.wikipedia.org/wiki/Amplificador_operacional), Acesso em 28-12-2009.
- [9] REISER, Cornel – *Optimization of performance of dynamically reconfigurable mixed-signal hardware using field programmable analog array (FPAA) technology*. Dissertação de doutoramento em Electrotecnia e Medição, orientada pelo professor Karl Reib e apresentada a Universität Karlsruhe (TH), Arizona, USA, em Janeiro de 1999.
- [10] Marsh, D., - *Programmable analogue ICs challenge spice-and-breadboard designs*, EDN Europe, pp. 30-36, <http://www.ednmag.com>, Reed Business. Information, Oct. 2001. Acesso em 29-12-2009.
- [11] EMBABI, S., qUAN, X., OKI, N., MANJREKAR, A., e SANCHEZ-SNENCIO, “A field programmable analog signal processing array”, *IEEE 39<sup>th</sup> Midwest Symposium on Circuits and Systems*, vol1, pág. 151-154, Aug 1996. – <http://ieeexplore.ieee.org>, Acesso em 17-01-2010.
- [12] ANADIGM, “AN121E04 AN221E04 - Field Programmable Analog Arrays - User Manual, 2003. – download a 24-01-2010 em: <http://www.anadigm.com>.

- [13] Controlador PID, em: [http://en.wikipedia.org/wiki/PID\\_controller](http://en.wikipedia.org/wiki/PID_controller), Acesso em 03-04-2010.
- [14] ANADIGM, “*Anadigm FPAA Solutions for PID Control*”. – <http://www.anadigm.com>, Acesso a 03-04-2010
- [15] PEASE, Robert A. – *The Design of Band-Gap Reference Circuits: Trials and Tribulations*, National Semiconductor, <http://www.national.com/rap/application/0,1570,24,00.html>, Acesso em 12-08-2010.
- [16] NI2 DESIGNS, “*Changing Trends with Field Programmable Analog Array (FPAA)*”. –<http://www.ni2designs.com>, Acesso a 18-08-2010
- [17] ANADIGM, “*AN10E40 - Field Programmable Analog Arrays – Data Manual*”, 2002. – download a 19-08-2010 em: <http://www.anadigm.com>.
- [18] ANADIGM, “*AN120E04 – Data Sheet Recunfigurabile FPAA*”, 2003. – download a 19-08-2010 em: <http://www.anadigm.com>.
- [19] LATTICE, Semiconductor Corporation, “*In-System Programmable Analog Circuit ispPAC10*”, 2001. – download a 20-08-2010 em: <http://www.latticesemi.com>.
- [20] LATTICE, Semiconductor Corporation, “*In-System Programmable Analog Circuit ispPAC20*”, 2001. – download a 20-08-2010 em: <http://www.latticesemi.com>.
- [21] LATTICE, Semiconductor Corporation, “*In-System Programmable Analog Circuit ispPAC30*”, 2001. – download a 20-08-2010 em: <http://www.latticesemi.com>.
- [22] LATTICE, Semiconductor Corporation, “*In-System Programmable Integated 5<sup>TH</sup> Order Filter - ispPAC30*”, 2002. – download a 20-08-2010 em: <http://www.latticesemi.com>.
- [23] LATTICE, Semiconductor Corporation, “*In-System Programmable Power Suplly Sequencing Monitoring Chip – ispPAC Power Manager*”, 2005. – download a 21-08-2010 em: <http://www.latticesemi.com>.
- [24] CYPRESS, Perform, “*PSOC Programmable System on Chip*”, 2010. – download a 21-08-2010 em: <http://www.cypress.com>.
- [25] ANADIGM, “*Anadigm FPAA Solutions for PID Control*”, 2002. – download a 24-08-2010 em: <http://www.anadigm.com>.
- [26] ANADIGM, “*APP Note 205 – Interfacing Analog Signals to the Anadigmvortex FPAA Devices*”, 2003. – download a 25-08-2010 em: <http://www.anadigm.com>.
- [27] ANADIGM, “*Using the Anadigm FPAA to Interface With Sensors – Technical Considerations*”, 2010. – download a 25-08-2010 em: <http://www.anadigm.com>.
- [28] ANADIGM, “*AnadigmFilter1 Universal Programable Filter 6<sup>th</sup> Order, DC up to 600kHz with Dain – Product Brief*”, 2009. – download a 26-08-2010 em: <http://www.anadigm.com>.
- [29] ANADIGM, “*Range Master Datasheet – Complet Solution for a Universal RFID tag Reader System*”, 2009. – download a 26-08-2010 em: <http://www.anadigm.com>.
- [30] ANADIGM, “*Sonic Master2 – Advanced product brief*”, 2009. – download a 26-08-2010 em: <http://www.anadigm.com>.
- [31] ATOCHE, A. Castillo, “*Sistema remoto de adquisición para el control del ruido ambiental con fpga y fpaa*, pág. 3.

# Anexo A. Esquema da placa de interface de entradas e saídas da FPAA



## Anexo B. *Layout* e pistas da placa de interface de entradas e saídas da FPAA



## Anexo C. Tabela de linearização para a NTC utilizada nesta tese

T °C	R (NTC)	R interpolação	V_IN (V)	V desejado
0	3120	3108	0,082	0,000
1		2972,40009	0,119	0,010
2		2842,10144	0,155	0,020
3		2716,95729	0,192	0,030
4		2596,82304	0,228	0,040
5	2499	2481,55625	0,263	0,050
6		2371,01664	0,299	0,060
7		2265,06609	0,334	0,070
8		2163,56864	0,368	0,080
9		2066,39049	0,402	0,090
10	1937	1973,4	0,435	0,100
11		1884,46769	0,468	0,110
12		1799,46624	0,500	0,120
13		1718,27049	0,532	0,130
14		1640,75744	0,563	0,140
15	1543	1566,80625	0,593	0,150
16		1496,29824	0,622	0,160
17		1429,11689	0,651	0,170
18		1365,14784	0,679	0,180
19		1304,27889	0,706	0,190
20	1238	1246,4	0,732	0,200
21		1191,40329	0,757	0,210
22		1139,18304	0,782	0,220
23		1089,63569	0,806	0,230
24		1042,65984	0,829	0,240
25	1000	998,15625	0,851	0,250
26		956,02784	0,872	0,260
27		916,17969	0,892	0,270
28		878,51904	0,911	0,280
29		842,95529	0,930	0,290
30	813	809,4	0,948	0,300
31		777,76689	0,965	0,310
32		747,97184	0,981	0,320
33		719,93289	0,996	0,330
34		693,57024	1,011	0,340
35	665	668,80625	1,025	0,350
36		645,56544	1,038	0,360
37		623,77449	1,050	0,370
38		603,36224	1,062	0,380
39		584,25969	1,073	0,390
40	541	566,4	1,083	0,400
41		549,71849	1,093	0,410
42		534,15264	1,102	0,420
43		519,64209	1,111	0,430
44		506,12864	1,119	0,440
45	453	493,55625	1,126	0,450
46		481,87104	1,133	0,460
47		471,02129	1,140	0,470
48		460,95744	1,146	0,480
49		451,63209	1,152	0,490
50	377	443	1,157	0,500
51		435,01809	1,162	0,510
52		427,64544	1,166	0,520
53		420,84329	1,171	0,530
54		414,57504	1,175	0,540
55	315	408,80625	1,178	0,550
56		403,50464	1,181	0,560
57		398,64009	1,184	0,570
58		394,18464	1,187	0,580
59		390,11249	1,190	0,590
60	265		1,242	0,600
65	224		1,269	0,650
70	190		1,292	0,700
75	162		1,311	0,750
80	138		1,328	0,800
85	119		1,341	0,850
90	103		1,352	0,900
95	89		1,362	0,950
100	77		1,371	1,000

