

Lógica sequencial, registos e contadores

3.ª Parte

Flip-flops T

Os *flip-flops* do tipo T são *flip-flops* com uma única entrada (T). O comportamento deste tipo de *flip-flops* é equivalente ao comportamento de um *flip-flop* do tipo J-K com as entradas J e K unidas. Deste modo, se a entrada T apresentar uma entrada de nível baixo "0" o dispositivo encontra-se no seu modo de memória, mas pelo contrário, se a entrada T se encontrar a um nível alto "1" o dispositivo muda de estado, isto é, a saída alterna. Na Figura 19 mostra-se a sua representação simbólica e a tabela de verdade característica de um *flip-flop* T.

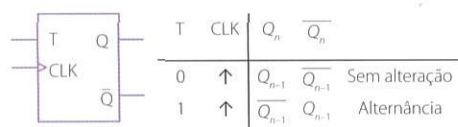


Figura 19. Símbolo lógico do *flip-flop* T e respetiva tabela de verdade.

Na Figura 20 apresenta-se o comportamento das ondas de entrada e de saída de um *flip-flop* do tipo T.

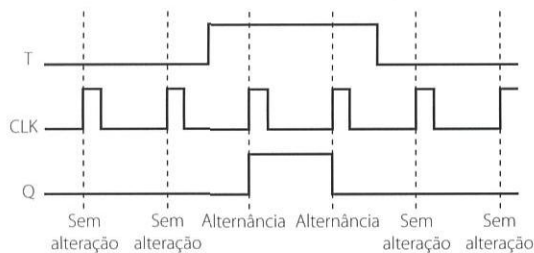


Figura 20. Exemplo de formas de onda das entradas e saídas de um *flip-flop* T.

Na Figura 21 apresenta-se uma versão simplificada do circuito interno de um *flip-flop* do tipo T.

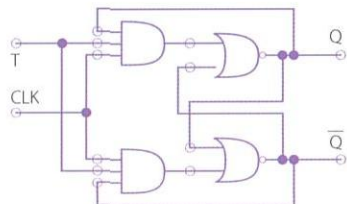


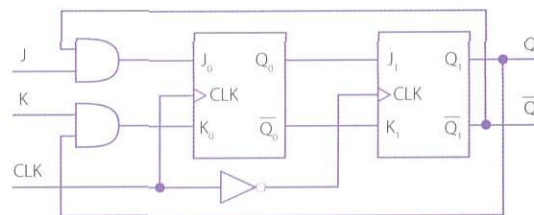
Figura 21. Versão simplificada do circuito interno de um *flip-flop* T.

Flip-flops master-slave

Outras classes de *flip-flops* podem ser definidas. Nestas classes poderemos encontrar os *flip-flops* ativados por impulso, ou seja, *flip-flop master-slave* (mestre-escravo) que têm sido substituídos progressivamente pelos *flip-flops* ativados por flanco. Neste tipo de *flip-flops* biestáveis os dados são introduzidos pelo flanco ascendente do impulso do relógio, mas a sua saída não refletirá o estado correspondente às entradas enquanto não for detetado

o flanco descendente do relógio. Isto quer dizer que não será permitido variar os dados de entrada enquanto o impulso do relógio se encontrar ativo.

Os *flip-flops master-slave* são constituídos por dois *flip-flops* biestáveis ligados em série em que o primeiro atua como *master* e o segundo como *slave*. Este tipo de *flip-flop* pode ser encontrado nos modelos R-S, D e J-K. Na Figura 21 apresenta-se uma versão simplificada do circuito interno de um de *flip-flop master-slave* bem como a sua tabela de verdade.



J	K	CLK	Q_n
0	0	↓	Q_{n-1}
0	1	↓	0
1	0	↓	1
1	1	↓	\bar{Q}_{n-1}
X	X	0	Q_{n-1}

Figura 22. Versão simplificada do circuito interno de um *flip-flop master-slave* e respetiva tabela de verdade.

Entradas de inicialização e exclusão assíncronas

A maioria dos sistemas digitais são principalmente sistemas síncronos, uma vez que a maioria dos sinais mudará de estado em sincronismo com as transições de relógio. Por isso, referimo-nos a estas entradas de controlo como síncronas pois o seu funcionamento encontra-se sincronizado com a entrada do relógio. No entanto, em muitos casos, haverá a necessidade de colocar as saídas destes sistema a 0 ou a 1 em qualquer momento, independentemente do sinal do relógio, a partir de um sinal externo que é sincronizado com o relógio, ou seja, um sinal assíncrono. Os sinais assíncronos ocorrem, frequentemente, como resultado da ação de um operador humano através do acionamento de uma chave de entrada em algum tempo aleatório em relação ao sinal de relógio. Essa aleatoriedade pode produzir resultados imprevisíveis e indesejáveis.

Neste sentido, alguns destes sistemas, *flip-flops* do tipo R, J, K, D e T, possuem entradas adicionais que permitem realizar estas ações. Estas entradas adicionais recebem o nome de entradas assíncronas que serão ativadas aleatoriamente, independentemente do estado do relógio. Entre estas entradas pode-se referir a entrada PRESET (PRE), que quando ativada coloca a saída a nível alto ($Q=1$) e a entrada CLEAR (CLR), que quando ativada coloca a saída a um nível baixo ($Q=0$). Assim sendo, como ocorre com as restantes entradas, estas podem ser ativadas

das a
ambas
simultã
de ent
assíncr

tamb
do 201
A
Relógio

Figura 2

Aplica

Os *flip-flops* ve
aplicaçã
cia de
se toda
tos des
Um circ
sequênc
cada v
3 das a

1. Ar

mu
ma
(bi

estr qu
zon po
um

um
à e
do

um en
do da

no:
ent
a u

-flo
sim

sim

sim

sim

sim

Figura 2

das a um nível alto ou baixo assegurando-se, no entanto, que ambas as entradas assíncronas não se encontram ativadas em simultâneo. A Figura 23 apresenta o comportamento das ondas de entrada e de saída de um sistema ativado por uma entrada assíncrona.

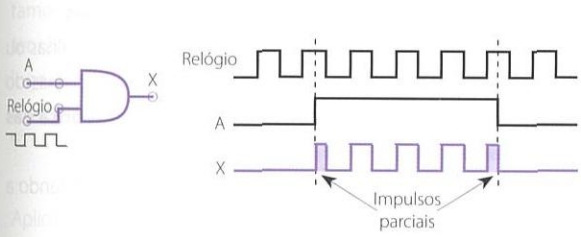


Figura 23. Sinal assíncrono produz impulsos parciais na saída X da porta lógica.

Aplicações dos flip-flops

Os flip-flops acionados por um flanco (com relógio) são dispositivos versáteis que podem ser usados numa ampla variedade de aplicações, incluindo contagem, armazenamento e transferência de dados binários de um local para outro e muito mais. Quase todas essas aplicações usam o relógio como operador e muitos destes enquadram-se na categoria dos circuitos sequenciais. Um circuito sequencial é aquele em que as saídas seguem uma sequência predeterminada de estados, com um novo estado de cada vez que o relógio é ativado. Seguidamente descrevem-se 3 das aplicações mais comuns dos flip-flops:

1. Armazenamento de dados: um dos requisitos mais comuns dos flip-flops é o armazenamento de dados ou informações. Os dados podem representar valores numéricos (binários, codificação binária decimal - BCD) ou um qualquer dado, de uma grande variedade de tipos de dados, que possam ser codificados em binário. Na Figura 24 mostra-se um circuito que permite armazenar (registrar) 4 bits. Cada uma das 4 linhas de dados (D_0, D_1, D_2 e D_3) estão ligadas à entrada D de um flip-flop. As entradas de relógios (CLK) dos 4 flip-flops encontram-se unidas de modo que todos se encontrem sincronizados com o mesmo sinal de relógio. Os dados da entrada D são armazenados, simultaneamente, nos flip-flops através do flanco ascendente do relógio. As entradas assíncronas de colocação a zero (CLR) são ligadas a uma linha comum que inicialmente coloca todos os flip-flops a zero. Este é um exemplo de um circuito de registo simples para o armazenamento de dados.

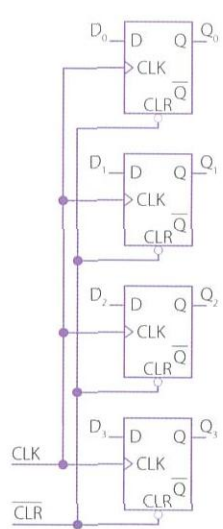


Figura 24. Circuito de registo de 4 bits, armazenamento de dados.

2. Divisão de frequência: quando se aplica uma série de impulsos na entrada de um relógio de um flip-flop J-K, ligado em modo alternativo, com as entradas a operar a um nível alto ($J = K = 1$), a saída Q apresenta um sinal quadrático cuja frequência é metade da frequência do sinal de entrada do relógio. Caso sejam ligados n flip-flops deste mesmo modo (saída de um flip-flop à entrada de relógio do seguinte) podemos obter divisões sucessivas da frequência do relógio ($f = f_{CLK} / 2^n$), como visualizamos na Figura 25.

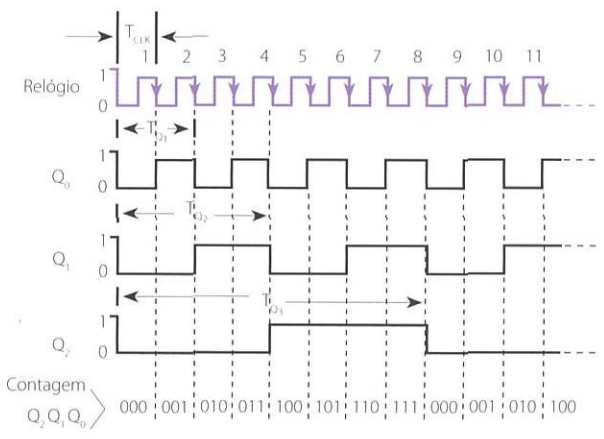


Figura 25. Formas de onda resultantes da divisão sucessiva da frequência.

3. Contadores: outras das aplicações principais dos flip-flops é a sua utilização como elementos de contagem. O contador terá como objetivo contar as alterações do nível de impulsos gerando uma determinada sequência de códigos. Para que este possa executar esta tarefa, o contador deve recordar o número atual, para passar adequadamente ao número seguinte. O circuito apresentado na Figura 26 para além de funcionar como um divisor de frequência, também pode operar como um contador binário. Note-se que as entradas \overline{PRE} e \overline{CLR} deverão estar a nível alto.

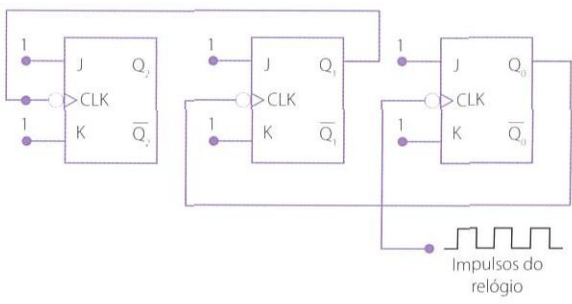


Figura 26. Interligação de flip-flops J-K para contagem binária para três bits.

REFERÊNCIAS

- Martínez, J. Molina e Valles, F. Soto – *Lógica secuencial. Registros de desplazamiento y contadores*. In Canales, António Ruiz y Martínez, José Molina – *Automatización y Telecontrol de Sistemas de Riego*. Barcelona. Editora Marcombo, 2010. ISBN 9788426716347. Cap. 14.
- Ronald J. Tocci, Neal S. Widmer e Gregory L. Moss. *Digital Systems – Principles and Applications* – 10th ed. Pearson Prentice Hall, 2007. ISBN: 0-13-172579-9.
- Santos, Adriano A. e Silva, António F. da. *Automação Integrada*, 2.ª Ed. Porto Editora Publindústria, 2015. ISBN 9789897231278.

