

## Testando...

Manuel G. Gericota, Gustavo R. Alves, Miguel L. Silva, José M. Ferreira

Os dispositivos lógicos reconfiguráveis, nomeadamente as FPGAs (*Field Programmable Gate Arrays*), conheceram uma considerável expansão nos últimos anos. A utilização deste tipo de componentes permite uma poupança de espaço nas placas de circuito impresso e uma mais rápida transição do projecto para o mercado, com um nível inigualável de flexibilidade quando comparado com a tradicional lógica discreta com funcionalidade pré-definida. Estas vantagens foram reforçadas pelo recente aparecimento de FPGAs dinâmica e parcialmente reconfiguráveis (de que a família *Virtex* da *Xilinx* é um exemplo), as quais permitem a adaptação dinâmica das funções implementadas pelo *hardware* a uma aplicação ou a um sistema em particular, sem interromper o funcionamento de todo o sistema, isto é, a funcionalidade destes dispositivos pode ser modificada sem que tal implique a sua paragem ou a do sistema em que se encontram inseridos. Esta nova possibilidade levanta, no entanto, uma questão: como garantir que, independentemente da funcionalidade implementada após múltiplos processos de reconfiguração, o sistema continua a operar sem falhas?

Este trabalho procura dar resposta a esta questão propondo um novo método de teste estrutural concorrente, baseado no princípio da replicação e libertação de recursos para serem testados.

A introdução nas gerações mais recentes de FPGAs da possibilidade de reconfiguração parcial do dispositivo concorrentemente com a sua operação, veio contornar uma das maiores limitações associadas às clássicas FPGAs com memória de configuração estática: a dificuldade sentida pela necessidade de reconfigurar a totalidade do dispositivo, interrompendo a sua operação (e possivelmente a operação do circuito ou sistema em que está inserido), quando se pretende alterar apenas parte da sua funcionalidade. Adicionalmente, verifica-se a perda de toda a informação contida nos registos (informação de estado) quando o componente é reprogramado. No entanto, os elevados níveis de integração e as tecnologias nanométricas usadas na fabricação desta nova geração de FPGAs conduzem à ocorrência de um elevado nível de defeitos, muitos dos quais se manifestam apenas após períodos mais ou menos longos de funcionamento, escapando por isso aos testes de fabricação [1]. Nesta situação, um elevado nível de fiabilidade só pode ser alcançado através da introdução de mecanismos de tolerância a faltas e do teste contínuo de todos os blocos da FPGA ao longo de toda a sua vida útil, em busca de defeitos emergentes que se manifestem resultado do continuado processo de reconfiguração e operação do dispositivo.

---

♦ Este trabalho é suportado pelo FCT sob o contrato POCTI/33842/ESE/2000

O método de teste estrutural concorrente proposto pelos autores reutiliza os mecanismos de reconfiguração parcial dinâmica introduzidos nestes dispositivos e a infra-estrutura *Boundary Scan*, definida na norma IEEE 1149.1 [2], como mecanismo de acesso, apresentando um *overhead* baixo, quer ao nível do circuito integrado, quer ao nível da carta de circuito impresso.

Uma FPGA é formada por um conjunto de blocos lógicos independentes, rodeados por blocos de entrada/saída e interligáveis entre si através de recursos de encaminhamento programáveis. Na maioria das situações, apenas uma parte dos recursos lógicos e de encaminhamento disponíveis é utilizada na implementação duma determinada especificação funcional, mesmo naqueles casos em que blocos de *hardware* independentes partilham o mesmo dispositivo. Como tal, é possível considerar uma estratégia de teste onde os blocos lógicos que temporariamente não estejam a ser usados são testados, enquanto os restantes blocos continuam a ser usados na implementação actual. Os blocos testados com sucesso ficam disponíveis como blocos sobresselentes, os quais podem ser usados para substituir blocos que venham a ser encontrados com defeito.

Por seu turno, cada um dos blocos lógicos actualmente ocupado, pode ser replicado num bloco livre previamente testado com sucesso. O bloco lógico replicado é então libertado para ser testado. Este método, designado por *DRAFT - Dynamically Rotate And Free for Test* [3, 4], garante a cobertura da totalidade da FPGA, deslocando dinamicamente o bloco lógico livre por entre os blocos em uso, fazendo o varrimento de toda a FPGA sem perturbar a operação do sistema. Este método só é viável em dispositivos que suportem reconfiguração parcial dinâmica, onde a replicação do bloco lógico (funcionalidade e conteúdo dos registos) e o restabelecimento das ligações são possíveis sem ocasionarem perturbações na normal operação do dispositivo.

Esta solução garante o teste continuado de toda a FPGA sem perturbar a operação do sistema, desde que pelo menos um bloco esteja permanentemente livre. A implementação de mecanismos de tolerância a faltas requer, no entanto, mais do que um bloco livre, visto um conjunto de blocos livres ter de estar continuamente disponível para substituir qualquer bloco encontrado com defeito.

Este método garante um aumento da fiabilidade do sistema com o mínimo de *overhead* e de forma completamente transparente para o utilizador.

#### Referências bibliográficas

- [1] F. Hanchek, S. Dutt, "Methodologies for Tolerating Cell and Interconnect Faults in FPGAs", *IEEE Trans. on Computers*, Vol. 47, N. 1, January 1998, pp. 15-33.
- [2] *IEEE Standard Test Access Port and Boundary Scan Architecture* (IEEE Std 1149.1), IEEE Standards Board, May 1990.
- [3] M. G. Gericota, Gustavo R. Alves, José M. Ferreira, "The RaT technique for concurrent test of dynamically reconfigurable hardware", *Proceedings of the XV Conference on Design of Circuits and Integrated Systems (DCIS'2000)*, Montpellier, France, November 2000, pp. 337-340.
- [4] M. G. Gericota, Gustavo R. Alves, José M. Ferreira, "Dynamically Rotate And Free for Test: The Path for FPGA Concurrent Test", *2<sup>nd</sup> IEEE Latin-American Test Workshop (LATW'2001) Digest of Papers*, Cancun, Mexico, February 2001, pp. 180-185.