



# APLICAÇÃO DA METODOLOGIA DMAIC A UM PROCESSO PRODUTIVO NA ÁREA DOS SEMICONDUCTORES

**HUGO RICARDO OLIVEIRA BARROS**

novembro de 2019

# **APLICAÇÃO DA METODOLOGIA DMAIC A UM PROCESSO PRODUTIVO NA ÁREA DOS SEMICONDUTORES**

Hugo Ricardo Oliveira Barros  
1160072

**2019**

Instituto Superior de Engenharia do Porto  
Departamento de Engenharia Mecânica





# **APLICAÇÃO DA METODOLOGIA DMAIC A UM PROCESSO PRODUTIVO NA ÁREA DOS SEMICONDUTORES**

Hugo Ricardo Oliveira Barros  
1160072

Dissertação apresentada ao Instituto Superior de Engenharia do Porto para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Mecânica, realizada sob a orientação do Professor Doutor João Augusto de Sousa Bastos.

**2019**

Instituto Superior de Engenharia do Porto  
Departamento de Engenharia Mecânica



POLITÉCNICO  
DO PORTO

isep

# JÚRI

## **Presidente**

Doutor António Galvão Ramos

Professor Adjunto, Instituto Superior de Engenharia do Porto

## **Orientador**

Doutor João Augusto de Sousa Bastos

Professor Adjunto, Instituto Superior de Engenharia do Porto

## **Coorientador**

Doutor Paulo António da Silva Ávila

Professor Coordenador, Instituto Superior de Engenharia do Porto

## **Arguente**

Doutor Samuel Moniz

Professor Auxiliar, Universidade de Coimbra



## AGRADECIMENTOS

O desenvolvimento deste projeto não teria sido possível sem a colaboração, estímulo e empenho de diversas pessoas. Gostaria, por este facto, de expressar toda a minha gratidão e apreço a todos aqueles que, direta ou indiretamente contribuíram para que esta tarefa se tornasse uma realidade. A todos quero manifestar os meus sinceros agradecimentos, especialmente ao meu orientador, Professor Doutor João Augusto de Sousa Bastos e ao Professor Doutor Eduardo José Rego Gil da Costa por todo o apoio e disponibilidade.

Agradeço à ATEP - *Amkor Technology Portugal, S.A*, pela disponibilidade e interesse demonstrado na realização desta dissertação dentro da empresa.

Queria deixar os meus sinceros agradecimentos aos Engenheiros da ATEP Américo Roque e César Oliveira pela aprendizagem constante e por todo o esforço dedicado na orientação do projeto.

Um especial agradecimento ao meu orientador de estágio, Eng.º Domingos Pinto pela sua ajuda, disponibilidade e incentivo na realização deste trabalho, o seu apoio foi crucial para conseguir este resultado.

Uma última nota à minha família e amigos próximos por serem o suporte mais valioso neste sucesso escolar e profissional.

A todos, um muito Obrigado.



## PALAVRAS CHAVE

*Semicondutores, Wafers, Seis Sigma, DMAIC, Resíduos de cola, Contaminações, Taguchi.*

## RESUMO

Na situação atual da economia, a competitividade e a necessidade de sobrevivência das empresas obrigam a uma busca contínua por oportunidades de redução dos custos, através da melhoria contínua da eficácia e eficiência das operações. Tal poderá traduzir-se através da capacidade das empresas em “Fazerem mais com o mesmo” ou “Fazerem o mesmo com menos”.

O presente trabalho foi realizado na ATEP - *Amkor Technology* Portugal, S.A., empresa especializada no fabrico de semicondutores, localizada em Mindelo - Vila do Conde.

O Principal objetivo deste trabalho consistiu em reduzir o número de defeitos por *Contaminations* (Contaminações) e *Tape Residues* (Resíduos de Cola) num produto específico (A) detetados num equipamento de inspeção automática de uma área de processo designada por AOIRECON (*Automated Optical Inspection Reconstruction*).

A metodologia aplicada neste trabalho foi o DMAIC (*Define, Measure, Analyze, Improve, Control*). Em cada fase do ciclo utilizaram-se várias técnicas e ferramentas para caracterizar o problema, medi-lo, analisar as suas causas potenciais, aplicar ações de melhoria e, por fim, proceder ao respetivo controlo. Para tal, recorreu-se à métrica do DMAIC para reduzir os defeitos iniciais de 5219 PPM com base nos defeitos por milhão (PPM), sendo o objetivo final de 1500 PPM.

Para finalizar serão apresentadas algumas sugestões de melhoria, bem como os métodos mais adequados para garantir o controlo do processo ao longo de tempo.



**KEYWORDS**

*Semiconductors, Wafers, Six Sigma, DMAIC, Tape Residues, Contaminations, Taguchi*

**ABSTRACT**

*In the current state of the economy, the competitiveness and the need for survival of companies, require a continuous search for opportunities to reduce costs through the continuous improvement of the effectiveness and efficiency of operations. This can translate into the ability of companies to “Do more with the same” or “Do the same with less”.*

*This work was carried out at ATEP - Amkor Technology Portugal, S.A., a company specialized in semiconductor manufacturing, located in Mindelo - Vila do Conde.*

*The main objective of this work is to reduce the number of Contaminations and Tape Residues defects in a specific product (A) detected in an automatic inspection equipment of a process area designated by AOIRECON.*

*The methodology applied in this work was DMAIC (Define, Measure, Analyze, Improve, Control). At each stage of the cycle, various techniques and tools have been used to characterize the problem, measure it, analyze its potential causes, implement improvement actions and then control it. To this end, Six Sigma metrics were used to quantify the problem (initial defects of 5219 PPM based on defects per million (PPM)), with the goal of Six Sigma reaching the 1500 PPM target.*

*Several experiments were also carried out throughout this work with the aim of ensuring zero defects in product quality as well as process control and stabilization.*

*Finally, some suggestions for improvement will be presented as well as the most appropriate methods to ensure process control over time.*



## LISTA DE SÍMBOLOS E ABREVIATURAS

### Lista de Abreviaturas

ATEP	AMKOR Portugal
AOI	<i>Automated Optical Inspection</i>
BGA	<i>Ball Grid Array</i>
CI	<i>Circuito Integrado</i>
CT	<i>Cycle Time</i>
<i>Cpk</i>	Indicador do cálculo de capacidade de processo e descentramento
EIP	<i>Experimental in Production</i>
DMAIC	<i>Define, Measure, Analyze, Improve, Control</i>
ESD	<i>Electrostatic Sensitive Device ou Electrostatic Discharge</i>
eWLB	<i>Embedded Wafer Level Ball</i>
FMEA	<i>Failure Mode and Effects Analysis</i>
FOUP	<i>Front Opening Unified Pod ou Front Opening Universal Pod</i>
GRR	<i>Gauge Repeatability and Reproducibility</i>
OSAT	<i>Outsource Service Assembly and Test</i>
PPM	Partes por Milhão
SBA	<i>Solder Ball Attach</i>
SPC	<i>Statistical Process Control</i>
SWOT	<i>Strengths Weaknesses Opportunities Threats</i>

### Lista de Unidades

°C	Graus Celsius
Min	Minutos
nm	Nanómetro
µm	Micron

### Lista de Símbolos

$\sigma$	Sigma: símbolo que representa o desvio padrão
Cu	Símbolo químico do Cobre
Al	Símbolo químico do Alumínio

## GLOSSÁRIO DE TERMOS

<i>Assembly</i>	Área de montagem
<i>AOIRECON</i>	Inspeção ótica automática
<i>Backend</i>	Designação dada à fábrica onde se montam e testam os componentes semicondutores
<i>Backside</i>	Parte inferior da <i>Wafer</i> , constituída por <i>Mold Compound</i>
<i>BGA / BOC</i>	Tipo de componentes semicondutores
<i>Bottleneck</i>	Estrangulamento /Gargalo
<i>Benchmark</i>	Referência ou modelo de sucesso
<i>Brainstorming</i>	Técnica de geração de ideias inovadoras com a participação dos colaboradores
<i>Chip</i>	Circuito integrado
<i>Cycle time</i>	Tempo necessário para executar determinada fase de um processo ou conjunto de processos, tipicamente utilizado o cumulativo considerado desde o início do primeiro processo até ao fim do último processo
<i>Debond</i>	Processo de separação entre a <i>Wafer</i> e o <i>Metal Carrier</i>
<i>Dicing</i>	Processo de corte que permite a individualização da <i>Wafer</i> em <i>Dies</i>
<i>Dicer</i>	Equipamento que corta a <i>Wafer</i> individualizando as unidades
<i>Dies</i>	Chip (um único chip retangular) já com revestimento polimérico
<i>eWLB</i>	Designação dada a uma tecnologia específica de fabricação de componentes semicondutores.
<i>Fan-In</i>	Tecnologia de distribuição dos contactos eléctricos circunscrito à dimensão do <i>die</i>
<i>Fan-Out</i>	Tecnologia de distribuição dos contactos eléctricos exteriores à dimensão do <i>die</i>
<i>Frame</i>	Moldura para suporte da <i>Wafer</i>
<i>Frontend</i>	Designação dada à fábrica onde são desenhados os circuitos em <i>Wafers</i> de silício.
<i>Foup</i>	Sistema de transporte e acondicionamento de <i>Wafers</i>
<i>Fuse Cover</i>	Primeira camada de dieléctrico
<i>Grinder</i>	Equipamento que reduz a espessura da <i>Wafer</i>
<i>Ishikawa</i>	Diagrama de causa-efeito que permite organizar o raciocínio
<i>Know-how</i>	Conhecimentos, aptidões, competências adquiridas pelo saber-fazer
<i>Laminator</i>	Equipamento que coloca uma <i>tape</i> protetora na parte ativa da <i>Wafer</i>
<i>Laser Mark</i>	Área de marcação a laser
<i>Layer</i>	Nível de camada referente por exemplo às várias existentes nos PCB, nos <i>Dies</i> ou redistribuição de contactos

<i>LBS</i>	Designação da área final do processo: marcação, soldadura de bolas nos contactos e individualização das unidades moldadas
Litografia	Processo usado na microfabricação de padrões de filmes finos. É utilizada uma luz para transferir um padrão geométrico num polímero sensível à luz. Uma série de tratamentos químicos posteriores revelam o padrão desenhado, permitindo depois a deposição de um novo material apenas nas zonas desejadas. Também denominado por fotolitografia
<i>Mold Compound</i>	Resina utilizada para o encapsulamento dos Dies
<i>Mold carrier</i>	Base metálica, com <i>tape</i> para a colocação de unidades
<i>Mounting</i>	Área de montagem das <i>Wafers</i> em <i>frames</i>
<i>Notch</i>	Zona de orientação das <i>Wafers</i>
<i>OSAT</i>	Outsourced semiconductor assembly and test (Empresa de subcontratação de serviços de montagem e teste)
<i>Package</i>	Estrutura física, tipicamente constituído por polímeros ou cerâmicos, protege o <i>die</i> de danos físicos e químicos formando uma unidade a ser incorporada num produto
<i>Pads</i>	Designação dada aos contactos das unidades
<i>Pick &amp; Place</i>	Equipamento usado para pegar componentes de <i>Wafers</i> do <i>Frontend</i> e colocar em <i>mold carriers</i> metálicos
<i>Plating</i>	Processo de eletrodeposição, transferência de metais forçada por uma corrente elétrica
<i>PPM</i>	Parte por Milhão
<i>RDL</i>	Designação da área onde se faz a redistribuição dos contactos da <i>Wafer</i>
<i>Recon</i>	Designação da área aonde se aplica o processo a partir da <i>Wafer</i> de silício para a reconstituição da <i>Wafer</i> que irá ser moldada
<i>RecWafers</i>	<i>Wafers</i> com <i>tape</i> e <i>metal carrier</i>
Salas limpas - <i>Cleanroom</i>	Sala com um ambiente controlado utilizada para a manufatura dos semicondutores. Este tipo de sala é desenhada para possuir um reduzido número de partículas no ar, evitando assim a falha dos componentes eletrónicos por contaminação por partículas. O mesmo que <i>Cleanroom</i>
<i>Singulation</i>	Designação da área aonde se processa o corte da <i>Wafer</i> e separação dos <i>Dies</i>
<i>Tape</i>	Fita adesiva de alta / baixa adesão
<i>Trays</i>	Suporte para as unidades individualizadas
<i>Test</i>	Área de teste elétrico de componentes
<i>Wafer</i>	Disco de silício, com circuitos integrados ( <i>Micro-Chips</i> )
<i>Wafer Round</i>	Processo de retificação da periferia da <i>Wafer</i> (corte de rebarbas)
<i>WaferPrep</i>	Área de preparação das <i>Wafers</i> de Silício

---

<i>Wafer Test</i>	Designação da área do processo de teste em <i>Wafer</i>
<i>Warpage</i>	Arco ou ondulações que a <i>Wafer</i> tem devido à espessura e diferentes tensões internas nos diferentes materiais que a compõem
<i>Wheel</i>	Lâmina de corte
<i>WLP</i>	<i>Wafer Level Package</i> - Processo de <i>Packaging</i> definido por originar packages com uma área inferior a 120 % da área do die nele contido e pelo <i>Packaging</i> ser produzido sobre a <i>Wafer</i> antes de ocorrer o <i>Dicing</i> da mesma
<i>KPI</i>	<i>Key Process Indicator</i> - Indicador chave do processo
<i>Yield</i>	Relação entre o número de unidades lançadas em produção e o número de unidades expedidas, i.e, percentagem de chips conformes. Um yield com uma taxa de 100% é o ideal, significa ausência de perdas

---

## ÍNDICE DE FIGURAS

FIGURA 1 - ESQUEMA DE ABORDAGEM AO CASO DE ESTUDO.....	4
FIGURA 2 - DISTRIBUIÇÃO NORMAL CENTRADA A CURTO PRAZO (FONTE: ATEP (2019)). .....	10
FIGURA 3 - DISTRIBUIÇÃO NORMAL COM MÉDIA DESLOCADA DE +- 1.5 DESVIOS PADRÃO A LONGO PRAZO (FONTE: ATEP (2019)). .....	10
FIGURA 4 - CORRESPONDÊNCIA DAS ETAPAS DO CICLO DMAIC E PDCA (FONTE: ATEP (2019)).....	11
FIGURA 5 - VOZ DO CLIENTE – VISÃO DO CLIENTE / FORNECEDOR (FONTE: ATEP (2019)).....	13
FIGURA 6 - MAPA SIPOC (FONTE: <i>ACTIO CONSULTING GROUP</i> , 2018). .....	14
FIGURA 7 - DIAGRAMA DE <i>ISHIKAWA</i> (FONTE: ATEP (2019)).....	17
FIGURA 8 - DIAGRAMA DE PARETO (FONTE: ATEP (2019)). .....	18
FIGURA 9 - DIAGRAMA DE PARETO 80-20 (FONTE: ATEP (2019)). .....	18
FIGURA 10 - VISTA GERAL DA EMPRESA ATEP (FONTE: ATEP (2019)).....	27
FIGURA 11 - LINHA TEMPORAL DO HISTÓRICO DA EMPRESA (FONTE: ATEP (2019)). .....	28
FIGURA 12 - PRODUTOS AMKOR (FONTE: ATEP (2019)). .....	29
FIGURA 13 - DISTRIBUIÇÃO PRODUTIVA (FONTE: ATEP (2019)). .....	29
FIGURA 14 - ORGANIZAÇÃO POR EDIFÍCIO (FONTE: ATEP (2019)). .....	30
FIGURA 15 - CIRCULAÇÃO DO AR (FONTE: ATEP (2019)).....	30
FIGURA 16 - SALAS LIMPAS (FONTE: ATEP (2019)).....	31
FIGURA 17 - <i>FRONTEND E BACKEND</i> (FONTE: ATEP (2019)).....	31
FIGURA 18 - PRODUTO <i>EWLB</i> (FONTE: ATEP (2019)). .....	32
FIGURA 19 - DESCRIÇÃO DO PROCESSO <i>EWLB</i> (FONTE: ATEP (2019)). .....	32
FIGURA 20 - <i>WAFER</i> COM <i>TAPE</i> DE LAMINAÇÃO (FONTE: ATEP (2019)).....	33
FIGURA 21 - <i>WAFER</i> MONTADA NA <i>FRAME</i> (FONTE: ATEP (2019)). .....	33
FIGURA 22 - LÂMINA DE CORTE E REPRESENTAÇÃO DO PROCESSO (FONTE: ATEP (2019)). .....	34
FIGURA 23 - REPRESENTAÇÃO DE UMA <i>WAFER</i> ANTES E DEPOIS DO CORTE (FONTE: ATEP (2019)). .....	34
FIGURA 24 - <i>WAFER</i> RECONSTRUÍDA NO <i>MOLD CARRIER</i> (FONTE: ATEP (2019)).....	35
FIGURA 25 - <i>WAFER</i> COM <i>MOLD COMPOUND</i> (FONTE: ATEP (2019)). .....	35
FIGURA 26 - PROCESSO DE <i>MOLDING</i> (FONTE: ATEP (2019)). .....	35
FIGURA 27 - <i>WAFER</i> RECONSTRUÍDA APÓS <i>MOLD</i> (FONTE: ATEP (2019)).....	36
FIGURA 28 - DIFERENTES FORMAS DE <i>WARPAGE</i> (FONTE: ATEP (2019)). .....	36
FIGURA 29 - REPRESENTAÇÃO DO PROCESSO <i>FUSE COVER</i> (FONTE: ATEP (2019)). .....	37
FIGURA 30 - PROCESSO DE <i>RDL</i> - REDISTRIBUIÇÃO DOS <i>PADS</i> (FONTE: ATEP (2019)).....	38
FIGURA 31 - MARCAÇÃO LASER (FONTE: ATEP (2019)).....	38
FIGURA 32 - <i>WAFER</i> APÓS COLOCAÇÃO DAS BOLAS DE SOLDA (FONTE: ATEP (2019)). .....	38
FIGURA 33 - UNIDADES INDIVIDUALIZADAS E COLOCADAS NA <i>TRAY</i> (FONTE: ATEP (2019)). .....	39
FIGURA 34 - EMBALAMENTO DO PRODUTO (FONTE: ATEP (2019)). .....	39
FIGURA 35 - DEFEITOS NA ZONA ATIVA DOS <i>DIES</i> EM VÁRIAS ZONAS DA <i>WAFER</i> . .....	40
FIGURA 36 - ÁREAS DE ESTUDO <i>WAFER PREP</i> E <i>RECON</i> .....	40
FIGURA 37 - CICLO <i>DMAIC</i> .....	41
FIGURA 38 - EVOLUÇÃO DAS UNIDADES REJEITADAS POR <i>CONTAMINATIONS</i> E <i>TAPE RESIDUES</i> EM 2017/18.....	42
FIGURA 39 - DIAGRAMA <i>VOC</i> . .....	44

FIGURA 40 - DIAGRAMA SIPOC.....	45
FIGURA 41 - VALUE STREAM MAPPING DE WAFER PREP.....	47
FIGURA 42 - VALUE STREAM MAPPING DE RECON. ....	47
FIGURA 43 - ANÁLISE DA ÁRVORE DE FALHAS. ....	48
FIGURA 44 - AJUDA VISUAL PARA CLASSIFICAÇÃO DE FALHAS. ....	50
FIGURA 45 – VEÍCULO DE TESTE.....	50
FIGURA 46 - RESULTADOS DE IFOCUS VS CAMTEK OBTIDOS ATRAVÉS DO MINITAB. ....	51
FIGURA 47 – VEÍCULO DE TESTE.....	51
FIGURA 48 - RESULTADOS DE IFOCUS NO MINITAB. ....	52
FIGURA 49 - DIVISÃO DA WAFER DE EM TRÊS ZONAS. ....	53
FIGURA 50 - DIVISÃO DA WAFER DE EM DEZOITO ZONAS. ....	54
FIGURA 51 - PARETO COM RESULTADOS DA INSPEÇÃO À WAFER.....	55
FIGURA 52 - PARETO COM RESULTADOS DAS CONTAMINATIONS POR ÁREA NA WAFER.....	55
FIGURA 53 - SEQUÊNCIA DE PICKING E PLACE. ....	56
FIGURA 54 - ÁREAS DE ESTUDO WAFER PREP E RECON.....	56
FIGURA 55 - ÁREA COM PROCESSO MANUAL PELOS OPERADORES. ....	57
FIGURA 56 - DIAGRAMA DE ISHIKAWA. ....	58
FIGURA 57 - RESULTADO DAS FALHAS APÓS OPERAÇÕES MANUAIS. ....	59
FIGURA 58 - RESULTADO DAS FALHAS APÓS ANÁLISE LABORATORIAL NA NITTO JAPÃO. ....	60
FIGURA 59 - RESULTADO DAS FALHAS APÓS ANÁLISE LABORATORIAL DA NITTO JAPÃO. ....	60
FIGURA 60 - AJUDA VISUAL (NOVO CRITÉRIO). ....	62
FIGURA 61 - AJUDA VISUAL PARA NOVO CRITÉRIO DE REJEIÇÃO. ....	62
FIGURA 62 - RESULTADOS APÓS NOVO CRITÉRIO DE REJEIÇÃO. ....	63
FIGURA 63 - EIP PARA REMOVER O PROCESSO DE INSPEÇÃO DE DEBOND. ....	63
FIGURA 64 - RESULTADOS DA ANÁLISE COM INSPEÇÃO MANUAL E SEM INSPEÇÃO. ....	65
FIGURA 65 - ALTERAÇÃO DA INSPEÇÃO MANUAL PARA AUTOMÁTICA.....	66
FIGURA 66 - RESULTADOS APÓS UPGRADE DO EQUIPAMENTO PARA MODO AUTOMÁTICO.....	66
FIGURA 67 - NÍVEL DE FALHAS POR CONTAMINATIONS E TAPE RESIDUES. ....	69
FIGURA 68 - NOVA FERRAMENTA PARA CONTROLO E MONITORIZAÇÃO DE FALHAS.....	76
FIGURA 69 - RCA – ROOT CAUSE ANALYSIS. ....	91
FIGURA 70 - DIAGRAMA DE GANTT.....	92

## ÍNDICE DE TABELAS

TABELA 1 - DMAIC RESUMIDO (FONTE: <i>ACTIO CONSULTING GROUP, 2018</i> ).....	23
TABELA 2 - SÍNTESE DAS ETAPAS DA FASE DEFINIR.....	41
TABELA 3 - PROJECT CHARTER - DECLARAÇÃO DO PROJETO.....	43
TABELA 4 - SÍNTESE DAS ETAPAS DA FASE MEDIR.....	46
TABELA 5 - ÁRVORE DE FALHAS.....	48
TABELA 6 - SÍNTESE DAS ETAPAS DA FASE ANALISAR.....	53
TABELA 7 - TAXA DE REJEIÇÃO POR ÁREAS.....	54
TABELA 8 - ALARMES POR ÁREAS.....	54
TABELA 9 - SÍNTESE DAS ETAPAS DA FASE MELHORAR.....	61
TABELA 10 - SÍNTESE DAS ETAPAS DA FASE CONTROLAR.....	68
TABELA 11 - SELEÇÃO DE FATORES.....	70
TABELA 12 – SELEÇÃO DA MATRIZ ORTOGONAL: L8.....	70
TABELA 13 - ALOCAÇÃO DOS FATORES E INTERAÇÃO A ESTUDAR Á MATRIZ SELECIONADA.....	71



# ÍNDICE

1	INTRODUÇÃO .....	3
1.1	Enquadramento .....	3
1.2	Objetivos .....	3
1.3	Metodologia .....	4
1.4	Estrutura da dissertação .....	5
2	REVISÃO BIBLIOGRÁFICA .....	9
2.1	Metodologia do Seis Sigma .....	9
2.2	CICLO DMAIC.....	11
2.2.1	Fase Definir (Define).....	12
2.2.2	Fase Medir (Measure) .....	14
2.2.3	Fase Analisar (Analyse).....	15
2.2.4	Fase Melhorar (Improve).....	22
2.2.5	Fase Controlar (Control).....	23
3	CASO DE ESTUDO .....	27
3.1	Apresentação da Empresa e dos Processos Produtivos.....	27
3.1.1	Factos Relevantes da Empresa .....	28
3.1.2	Portfólio de produtos e serviços .....	28
3.1.3	Infra estruturas.....	30
3.1.4	Fases do Fabrico dos Semicondutores .....	31
3.1.5	Processo eWLB (Embedded Wafer Level Ball).....	32
3.1.6	Wafer Prep (Wafer Preparation) .....	33
3.1.7	Recon (Reconstruction) .....	34
3.1.8	RDL (Redistribution Layer).....	37
3.1.9	LBS (Laser, Ball Attach e Singulation) .....	38
3.1.10	Packing e Shipping .....	39
3.2	Aplicação da metodologia DMAIC.....	40
3.2.1	Fase Definir (Define).....	41
3.2.1.1	Identificação do problema, objetivos a atingir e âmbito .....	42
3.2.1.2	Análise da Voz do Cliente (VOC) .....	44
3.2.1.3	SIPOC ( <i>Suppliers Input Process Output</i> ) .....	44
3.2.2	Fase Medir (Measure) .....	45
3.2.2.1	Mapeamento do Processo .....	46

3.2.3	Fase Analisar (Analyze).....	53
3.2.3.1	Identificar as causas potenciais .....	57
3.2.4	Fase Melhorar (Improve).....	61
3.2.4.1	Etapa 1: Alteração do critério de rejeição. ....	61
3.2.4.2	Etapa 2: Remoção da inspeção no processo de <i>Debond</i> . ....	63
3.2.4.3	Etapa 3: Automatizar o processo de <i>Warpadjust</i> em <i>Debond</i> .....	65
3.2.5	Fase Controlar (Control) .....	68
3.2.5.1	Monitorização e Controlo .....	68
3.3	Outros trabalhos (Taguchi) .....	70
4	CONCLUSÕES E PROPOSTAS DE TRABALHOS FUTUROS .....	75
4.1	CONCLUSÕES.....	75
4.2	PROPOSTA DE TRABALHOS FUTUROS.....	77
	BIBLIOGRAFIA E OUTRAS FONTES DE INFORMAÇÃO.....	81
	ANEXOS .....	85
	ANEXO1 – Is Is-Not .....	85
	ANEXO2 – RCA (Root Cause Analysis) .....	89
	ANEXO 3 – Diagrama de Gantt.....	92

# INTRODUÇÃO

1.1 ENQUADRAMENTO

1.2 OBJETIVOS

1.3 METODOLOGIA

1.4 ESTRUTURA DA DISSERTAÇÃO



# 1 INTRODUÇÃO

Neste capítulo inicial, é apresentado de uma forma introdutória o contexto do presente projeto de estágio.

O enquadramento do tema será o primeiro a ser abordado, bem como as áreas chave, objetivos esperados e, por fim, a estrutura desta dissertação.

## 1.1 Enquadramento

No âmbito do último ano do Mestrado em Engenharia Mecânica - Gestão Industrial, a presente dissertação foi realizada na área dos Semicondutores, na ATEP - Amkor *Technology* Portugal, S.A, localizada em Mindelo - Vila do Conde.

Na situação atual da economia, e por via de uma grande competitividade empresarial, as empresas têm a necessidade de sobrevivência e para tal, procuram uma busca contínua por oportunidades de redução dos custos, através, essencialmente, da melhoria da eficácia e da eficiência das operações. Tal poderá traduzir-se, através da capacidade de as empresas apostarem cada vez mais em metodologias *Lean* e Seis Sigma como boas práticas para alcançar a vantagem competitiva e respetivo sucesso.

Assim sendo, será feita referência à metodologia Seis Sigma e de seguida, serão apresentados conceitos da metodologia DMAIC e as suas respetivas etapas, bem como todos os desafios e vantagens desta metodologia. O domínio da ferramenta DMAIC foi uma aposta da empresa (ATEP) na qualificação dos seus quadros, sendo esta formação desenvolvida com ajuda de uma empresa externa (*Action Consulting Group*). especializada em Seis Sigma que auxiliou na consolidação da metodologia.

A área de processo alvo deste trabalho foi a de *DEBOND*, onde vão ser implementadas várias ações de melhorias.

Por fim serão apresentados os resultados do caso prático, e sugestões de melhoria contínua.

## 1.2 Objetivos

O objetivo principal desta dissertação foi a aplicação da metodologia DMAIC (ferramenta de apoio ao *Lean Seis Sigma*) num processo produtivo na área dos Semicondutores. Este projeto foi delineado para reduzir o elevado número de falhas classificadas por *Tape Residues* (Resíduos de cola) e *Contaminations* (Contaminações) detetadas num processo de inspeção automática (*AOIRECON*).

O processo de melhoria passou por caracterizar as falhas, identificar as causas associadas e implementar ações que visem a redução destas falhas, garantindo assim a produção de produtos conformes.

O objetivo final após as soluções implementadas, terá de ir ao encontro da meta definida pela equipa no *Project Charter*.

### 1.3 Metodologia

A presente dissertação foi dividida em duas fases que se complementam.

Na primeira fase (após definição do âmbito), foi realizada uma pesquisa sobre Seis Sigma para entender o seu contexto, história e ferramentas da Qualidade.

Na segunda fase, para a resolução deste caso de estudo, esta dissertação tem como foco principal o ciclo DMAIC apoiado pela suas técnicas e ferramentas. Aqui surgiu a oportunidade de integrar os conhecimentos adquiridos ao longo da carreira profissional, de forma a conseguir um melhor enquadramento entre a Indústria, Seis Sigma e o processo alvo de estudo.

Fases do ciclo DMAIC:

- *Define* - Definir o problema, declarar os objetivos e quantificar os benefícios esperados, estabelecer a equipa de projeto.
- *Measure* - Organização dos dados existentes e recolha de novos dados, quantificação do problema com as métricas adequadas, revisão dos objetivos propostos.
- *Analyze* - Analisar os dados recolhidos, identificar e organizar as causas potenciais do problema.
- *Improve* - Gerar ideias para soluções potenciais do problema, aplicar ações de melhoria que visem reduzir as causas do problema em estudo.
- *Control* - Elaboração de ferramentas que possibilitem uma monitorização e controlo do processo ao longo do tempo.

É possível verificar na Figura 1 uma representação da metodologia seguida.

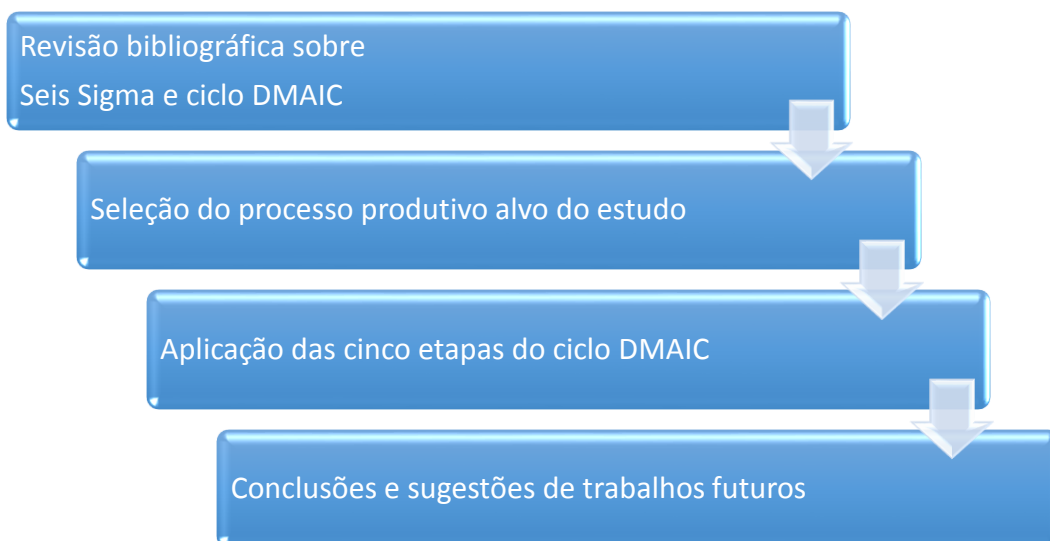


Figura 1 - Esquema de abordagem ao caso de estudo.

## 1.4 Estrutura da dissertação

A presente dissertação encontra-se dividida em quatro capítulos:

No primeiro capítulo, faz-se uma introdução aos conteúdos abordados, motivações, definem-se os objetivos a atingir, enquadramento do tema, metodologia aplicada e estrutura do documento.

No segundo capítulo, apresenta-se uma revisão bibliográfica sobre os temas abordados nesta dissertação, com o objetivo de se entender a forma como este assunto foi abordado e analisado em estudos anteriores.

No terceiro capítulo, é realizada a apresentação da empresa onde foi efetuado este caso de estudo com o objetivo de detalhar sucintamente a sua história, estrutura organizativa, ramos de atividade, tipo de produtos fabricados e os seus processos produtivos. Também neste capítulo é realizada a escolha do âmbito do estudo, implementação do ciclo DMAIC auxiliado pelas técnicas e ferramentas da qualidade, implementação de melhorias e sugestões para o controlo do processo ao longo do tempo.

Por fim, no quarto capítulo é efetuado um resumo de todo o trabalho desenvolvido e são apresentadas as conclusões gerais do estudo bem como as sugestões para trabalhos futuros.



# REVISÃO BIBLIOGRÁFICA

2.1 METODOLOGIA DO SEIS SIGMA

2.2 CICLO DMAIC



## 2 REVISÃO BIBLIOGRÁFICA

### 2.1 Metodologia do Seis Sigma

Segundo (Thomas McCarty et al., 2004), a metodologia Seis Sigma nasce com base no trabalho de *Edward Deming* nos anos de 1950 a 1970 nas empresas Japonesas. Como *Deming* tinha fortes bases estatísticas, a variação dos processos tornou-se um indicador crucial para a qualidade do produto criando-se assim o conceito de SPC (*Statistical Process Control*).

Na década de 80, a *Motorola Corporation* por intermédio do seu Engenheiro *Bill Smith*, começou a trabalhar de acordo com os conceitos de *Deming*, motivando a organização a reduzir a variabilidade. Assim surgiu na Motorola um novo modelo de gestão, que tem como objetivo o aumento da competitividade nos mercados. Segundo (Gupta & Sri, 2012), o êxito da Motorola com o Seis Sigma foi alcançado pelo Engenheiro *Bob Galvin* e *George Fisher*, com resultados de 1.4 bilhões de dólares na redução de defeitos e custos (Thomas McCarty et al., 2004).

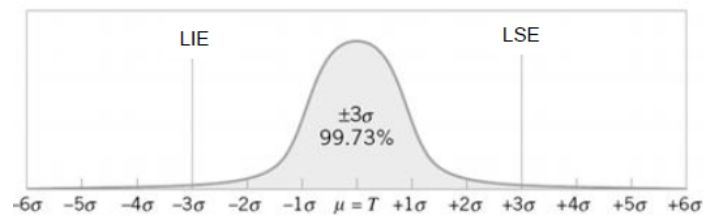
Assim sendo, a Motorola concentrou-se na criação de estratégias que reduzissem o número de defeitos e, em 1988, fez parte do primeiro grupo de organizações a ganhar o *Malcom Baldrige National Quality Award*, divulgando assim o Seis Sigma como fator de sucesso no meio empresarial. Este esforço e inovação iniciou a expansão e comercialização do processo com o objetivo de obter a capacidade Seis Sigma. O Seis Sigma ganhou mais projeção quando em 1996 o presidente executivo *Jack Welch* (da empresa *General Electric*) se propôs a atingir o nível 6 sigma em todos os processos da sua empresa. O resultado obtido pela *General Electric*, elevou a notoriedade do Seis Sigma, conseguindo uma redução de custos de 900 milhões de dólares em dois anos (Barone & Franco, 2012).

A letra do alfabeto grega  $\sigma$ , representa a dispersão em torno da média do processo, que em termos práticos representa a capacidade de este produzir produtos conformes.

O DPMO (Defeitos por milhão de oportunidades) é utilizado nesta metodologia para calcular o nível sigma do projeto enquanto os PPM (partes por milhão) são mais usados num contexto industrial para determinar a qualidade das peças (Banuelas Coronado & Antony, 2002).

A metodologia Seis Sigma é uma representação estatística na qual se descreve quantitativamente o desempenho de um processo, caracterizado por uma distribuição normal com os limites de especificação inferior (LIE) e superior (LSE) a distar  $\pm 3\sigma$  a partir da média do processo, e que tem uma probabilidade de 99,73% de produzir produtos conformes, o que corresponde a 2.700 DPMO (Figura 2). Na mesma figura, podemos

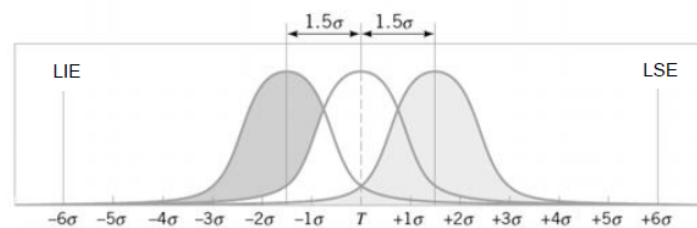
verificar que à medida que os limites de especificação (LIE e LSE) se distanciam da média, a probabilidade de produtos conformes aumenta e diminuem os DPMO.



Especificação	Rendimento (%)	DPMO
<b>Técnica</b>		
1 Sigma	68,27	317.300
2 Sigma	95,45	45.500
3 Sigma	99,73	2.700
4 Sigma	99,9937	63
5 Sigma	99,999943	0,57
6 Sigma	99,9999998	0,002

Figura 2 - Distribuição normal centrada a curto prazo (Fonte: ATEP (2019)).

Um processo seguindo uma distribuição normal, só atinge o nível seis sigma quando as especificações do produto se encontram a  $\pm 6\sigma$  do valor alvo do processo. Segundo (Linderman, Schroeder, Zaheer, & Choo, 2003), os processos estão sujeitos a diversas causas especiais de variação, tais como erros dos operadores e o desgaste de equipamentos, admitindo-se que estes podem levar a média do processo a deslocar-se até 1,5 desvios-padrão da média. Esta situação que corresponde a um horizonte temporal de longo prazo e poderá produzir no máximo até 3,4 DPMO como pode ser observado na Figura 3.



Especificação	Rendimento (%)	DPMO
<b>Técnica</b>		
1 Sigma	30,23	697.700
2 Sigma	69,13	308.700
3 Sigma	93,32	66.810
4 Sigma	99,3790	6.210
5 Sigma	99,97670	233
6 Sigma	99,999660	3,4

Figura 3 - Distribuição normal com média deslocada de  $\pm 1,5$  desvios padrão a longo prazo (Fonte: ATEP (2019)).

Segundo (Antony & Coronado, 2001), existem alguns fatores críticos na implementação do Seis Sigma:

- Compromisso e envolvimento da gestão;
- Perceber a metodologia DMAIC e as ferramentas e técnicas do Seis Sigma;
- Alinhar o projeto Seis Sigma com os objetivos da empresa;
- Alinhar o projeto Seis Sigma com os requisitos dos clientes;
- Seleção, priorização e acompanhamento do projeto;
- Seleção dos membros da equipa do projeto;
- Mudança cultural;
- Gestão das *skills* do projeto;
- Educação e Treino.

## 2.2 CICLO DMAIC

O ciclo DMAIC é o plano de melhoria mais utilizado em projetos *Lean 6 Sigma*. Este método é usualmente utilizado como apoio à resolução de problemas, e fornece objetivos específicos em que as equipas multidisciplinares devem seguir, desde a definição do problema até à implementação das ações de melhoria (Fonte: *Actio Consulting Group, 2018*).

Esta metodologia é utilizada quando o objetivo do projeto pode ser alcançado através da melhoria de um produto, processo ou serviço já existente (Pyzdek, 2003).

Na prática este método pode ser considerado similar ao ciclo PDCA (*Plan-Do-Check-Act*), originalmente desenvolvido por *Walter Shewhart* (pioneiro do controlo estatístico de processos) e serve de guia para apoiar as organizações a integrar diversas técnicas e ferramentas utilizadas na melhoria contínua dos processos baseando-se em métodos estatísticos com foco no cliente (T. McCarty et al., 2004)

Na Figura 4, adaptada de (FRANZ & CATEN, 2003), podem ser observadas as correspondências entre as cinco fases do ciclo DMAIC e o PDCA.

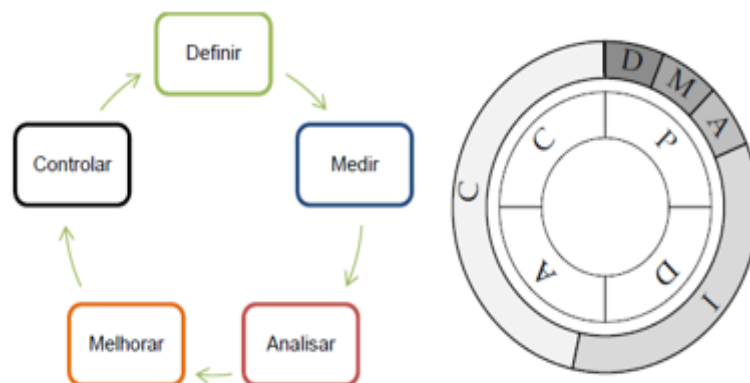


Figura 4 - Correspondência das etapas do ciclo DMAIC e PDCA (Fonte: ATEP (2019)).

### 2.2.1 Fase Definir (Define)

Sendo esta a primeira fase do ciclo DMAIC, o *Define* representa muitas vezes o maior desafio para as equipas. Nesta etapa é identificado o principal problema detetado, são estabelecidos os objetivos iniciais tendo como base dados históricos da empresa aliados à perspetiva do cliente, identificando por fim os processos essenciais associados e a estrutura da equipa que irá trabalhar na resolução do problema apresentado (Tenera & Luís Carneiro, 2014). Para tal, é fundamental definir corretamente quem é o cliente e saber quais os seus requisitos e expectativas. Este tem de ser parte integrante do projeto contribuindo com ideias e dando feedback do processo (Wei, Sheen, Tai, & Lee, 2010). De forma a garantir o sucesso desta fase, as equipas devem-se propor a alcançar as seguintes metas:

- Identificar e esclarecer o problema;
- Definir a meta do projeto;
- Definir o âmbito e os objetivos do projeto;
- Identificar as necessidades dos clientes;
- Identificar os defeitos existentes no processo;
- Formar a equipa *Lean Seis Sigma*;
- Determinar as funções e responsabilidades dos intervenientes;
- Executar o planeamento do projeto;
- Elaborar o *Project Charter*;
- Elaborar o *Business Case*.

O primeiro documento a ser elaborado nesta fase Definir é o *Project Charter*. Segundo (Werkema, 2013), o *Project Charter* é um documento que representa uma espécie de contrato entre a equipa responsável pela condução do projeto e os gestores da empresa, tendo os seguintes objetivos:

- Apresentação clara do que é esperado em relação à equipa;
- Alinhamento entre a equipa e os objetivos prioritários da empresa;
- Formalização da transição do projeto das mãos do *Champion* para a equipa;
- Manter a equipa dentro do âmbito definido para o projeto.

O *Project Charter* apresenta as seguintes particularidades (Fonte: *Actio Consulting Group, 2018*):

- Identificação do problema.
- Nome: Deve estar relacionado com o problema e/ou processo a melhorar.
- Líder: Habitualmente é o facilitador.
- Campeão: Habitualmente o dono do processo.
- Descrição do Problema: Deve conter informação em forma de parágrafo que responda às questões: O que é o problema? Onde se observa? Quando é que surgiu? Qual é a sua dimensão? Como é que sei?
- Definição do Âmbito: Estabelece os limites ao trabalho da equipa.
- Métrica: Deve ser mensurável, normalizada e utilizar unidades apropriadas.
- Objetivo: Tem de ser SMART (Específico, Mensurável, Atingível, Relevante e Tempo razoável).

- Benefícios: tipicamente a métrica primária, relaciona-se de forma direta com o benefício financeiro.
- Equipa: Identificação dos membros da equipa.
- Fases: Deve conter as fases do projeto e respetivas datas de conclusão.

### Voice of customer (VOC)

A análise VOC (*voice of customer*) é uma ferramenta que segundo (Werkema, 2013), consiste no conjunto de dados que representam as necessidades e expectativas dos clientes/consumidores e suas perceções quanto aos produtos produzidos pela empresa (Figura 5). Estes dados podem ser provenientes de reclamações, comentários, resultados de reuniões e respostas a pesquisas, sendo usados para a identificação das Características Críticas (CTQ – *Critical to Quality*) para a Qualidade dos produtos da empresa e das suas respetivas especificações. Depois da transformação do VOC na linguagem da empresa, pode-se recorrer ao Diagrama de Árvore para a organização dos CTQ (Sokovic, Pavletic, Pipan, & engineering, 2010)

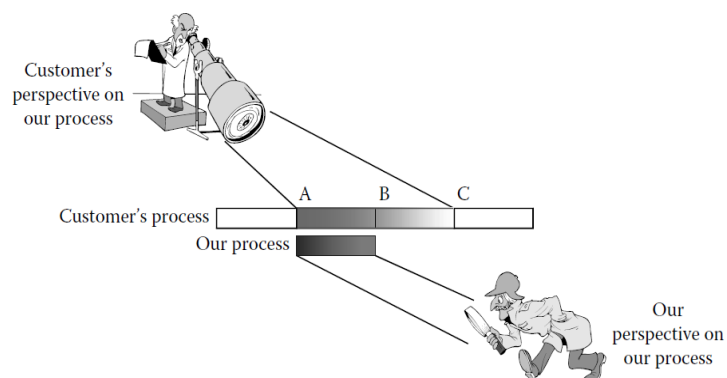


Figura 5 - Voz do cliente – visão do cliente / fornecedor (Fonte: ATEP (2019)).

### Identificar o processo condutor

Nesta fase deve ser utilizado um diagrama que tenha como objetivo definir o principal processo envolvido no projeto e, conseqüentemente, mapear o processo que vai ser alvo do caso de estudo, de modo a garantir que todos os intervenientes da equipa tenham uma correta perceção do mesmo (Werkema, 2013). Segundo (De Mast & Lokkerbol, 2012), o mapeamento do processo deve basear-se no estado atual do processo. Para tal, deve-se recorrer ao diagrama SIPOC que resulta das iniciais em inglês dos cinco elementos presentes no diagrama: Fornecedores (*Suppliers*), Entradas (*Inputs*), Processo (*Process*), Saídas (*Outputs*) e Clientes (*Costumers*). O Diagrama SIPOC (Figura 6) ajuda a equipa a compreender o processo e permite colocar e responder a questões sobre Clientes e Fornecedores, e Requisitos e Especificações (Chang et al., 2012).



Figura 6 - Mapa SIPOC (Fonte: Actio Consulting Group, 2018).

### 2.2.2 Fase Medir (Measure)

A segunda fase do ciclo DMAIC (*Measure*) é muito importante, pois é onde se passa por medir a variabilidade do processo com intuito de descobrir “onde é que estamos” (De Mast & Lokkerbol, 2012).

De forma a garantir o sucesso desta fase as equipas devem-se propor a alcançar as seguintes metas:

- Efetuar um mapeamento detalhado do processo;
- Identificar a métrica de saída “Y”;
- Verificar os sistemas de medição;
- Recolher os dados;
- Estimar o nível Sigma do processo;
- Estabelecer uma nova meta.

Antes de iniciar a recolha de dados, deve ser feita a medição da eficácia dos processos/procedimentos de medição, pois só assim se pode garantir que os dados são fidedignos. Todos os sistemas de medição deverão ser capazes de fornecer dados com precisão e repetibilidade (Fonte: Actio Consulting Group, 2018).

#### Mapeamento do processo

Nesta fase é crucial efetuar um mapeamento detalhado do processo, de modo a compreender quais as atividades que acrescentam valor e, conseqüentemente, aquelas que geram desperdício. Assim, de acordo com a complexidade e o tipo de projeto, pode-se recorrer às seguintes ferramentas (Feld, 2000):

- *Value Stream Mapping*;
- Diagrama *Swim Lanes*;
- *Process Stapling*.

Finalizada esta etapa, a equipa deverá ter pleno conhecimento dos passos do processo que acrescentam valor segundo a perspetiva do cliente final.

## Recolher dados válidos

Neste processo de recolha de dados, é extremamente importante a análise do sistema de medição. O sistema de medição é constituído pelo equipamento de medição e pelos operadores responsáveis em efetuar as medições das características do produto. Para reduzir a variabilidade do sistema de medição, deve-se recorrer ao estudo da repetibilidade e reprodutibilidade (R&R) (Pereira & Requeijo, 2012).

A repetibilidade representa a variabilidade do equipamento e a capacidade ou incapacidade de um operador executar a medição e ler os resultados da mesma forma e várias vezes consecutivas. A reprodutibilidade diz respeito à variabilidade causada pelo facto de diferentes operadores utilizarem o mesmo sistema de medição (Pereira & Requeijo, 2012). O tamanho da amostra e a precisão devem ser recolhidos o número de vezes necessárias até que a recolha de dados seja concluída.

### 2.2.3 Fase Analisar (Analyse)

Na terceira fase do ciclo (*Analyse*), devem ser determinadas as fontes de variação e desperdício, reduzir as listas de causas raiz potenciais e identificar as variáveis de entrada ( $X$ ) e saída ( $Y$ ) na relação  $Y=f(x)$  (Fonte: *Actio Consulting Group, 2018*). Deste modo, segundo (T. McCarty et al., 2004), o objetivo para esta fase será criar uma equação do tipo  $Y=f(X)$  e consequentemente responder à pergunta: “Qual é a fonte do problema?”

Após a identificação das potenciais causas do problema procede-se a uma triagem de quais poderão ser prioritárias de forma a criar uma lista de oportunidades que serão o alvo de ação na próxima fase, o *Improve*.

## Identificar todas as causas possíveis

Como nesta fase é usual que o número de causas possíveis seja muito elevado, é importante filtrar todas as causas de modo a limitar o número das mesmas a um conjunto nunca superior a cinco causas (T. McCarty et al., 2004). A priorização das causas essenciais poderá ser realizada recorrendo a técnicas e ferramentas estatísticas, ou recorrendo à análise gráfica utilizando a intuição e experiência dos intervenientes. Com o objetivo de se encontrarem causas potenciais do problema, é recorrente utilizar-se uma abordagem estruturada, aplicando as seguintes ferramentas (Fonte: *Actio Consulting Group, 2018*):

- Histogramas;
- Diagrama de Pareto;
- Diagrama de Causa-Efeito (*Ishikawa*);
- *Taguchi*; Anova;
- Diagramas de dispersão;
- Regressão;
- 5 *Why's* (5 Porquês);

- Teste de Hipóteses;
- Correlação.

### ***Brainstorming***

O *Brainstorming* é uma ferramenta flexível e importante para a produção de ideias de diversas situações num curto espaço de tempo (Werkema, 2016).

A técnica de *Brainstorming* pode ser utilizada com a finalidade de gerar o maior número de ideias possíveis acerca de um determinado problema.

O sucesso do *Brainstorming* é maior quando as pessoas envolvidas são de áreas diferentes. Os diferentes pontos de vista e de experiências levam a um aumento considerável da criatividade e, por isso, as ideias vão naturalmente ser mais inovadoras. Em segundo lugar, o propósito e o assunto da atividade de *Brainstorming* deve estar bem claro e definido antes de se iniciar. Para além disso é indispensável que todos os participantes estejam enquadrados no tema.

### **Diagrama de Causa-Efeito (*Ishikawa*)**

O Diagrama de Causa e Efeito (ou Espinha de peixe da Figura 7) é uma técnica utilizada que mostra a relação entre um efeito e as possíveis causas. Esta técnica é utilizada para descobrir, organizar e resumir o conhecimento de um grupo a respeito das possíveis causas que contribuem para um determinado efeito (Singh, 2015).

Esta ferramenta foi aplicada, pela primeira vez, em 1943, no Japão, pelo professor da Universidade de Tóquio, *Kaoru Ishikawa*, para sintetizar as opiniões de Engenheiros de uma fábrica quando estes discutiam vários problemas de Qualidade.

*Ishikawa*, em 1961, introduziu o conceito de Círculo da Qualidade e o diagrama de causa-efeito, ficou conhecido como Diagrama de *Ishikawa* ou diagrama de Espinha de Peixe (*Fishbone Diagram*), embora seja também conhecido por outros nomes tais como: diagrama causa-efeito, diagrama de 4P ou diagrama 6M.

Esta ferramenta permite obter uma visão simples e eficaz de inúmeras causas de um determinado efeito, estruturando-se fundamentalmente em 3 categorias: causas principais (espinhas), sub-causas (ramificações das espinhas) e o efeito (César). Segundo (Werkema, 2016) existem 6 causas gerais que levam à geração do efeito: material, método, medida, meio ambiente, mão-de-obra e máquina.

Esta ferramenta é muito útil para a procura e investigação de causas-base de um determinado problema e para a identificação de áreas onde podem existir problemas.

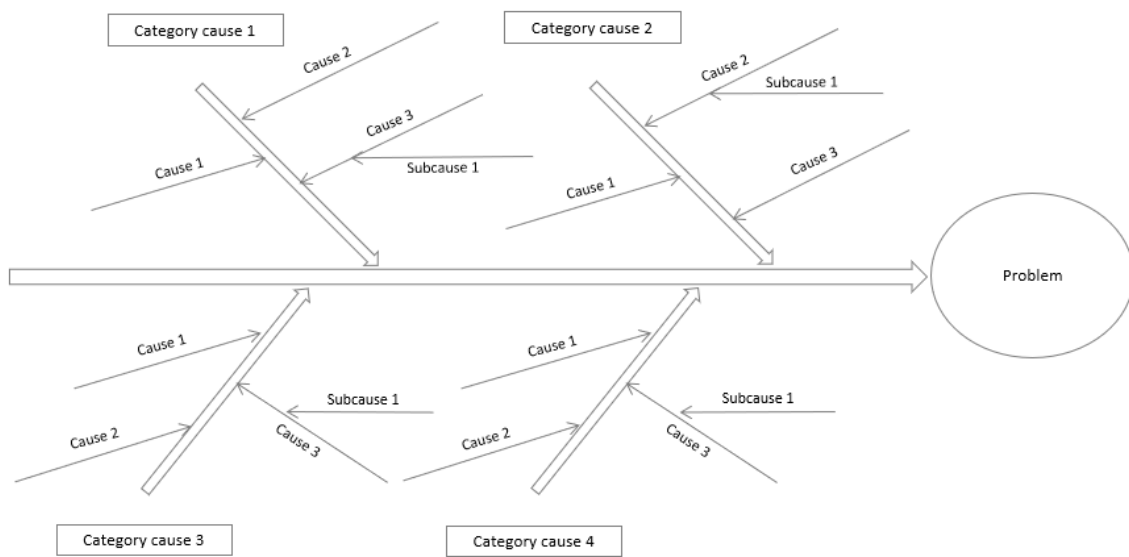


Figura 7 - Diagrama de Ishikawa (Fonte: ATEP (2019)).

## Diagrama de Pareto

Os Diagramas de Pareto (Figura 8) são uma ferramenta prática da primeira fase da resolução de problemas: a definição do problema.

É uma ferramenta de análise estatística do *Six Sigma*, e é baseada na regra dos 80/20, também conhecida como Lei de Pareto, que diz que num processo 80% dos defeitos são provocados por 20% das causas. Assim, o objetivo é organizar os dados disponíveis de forma a ordenar os problemas e resolvê-los de acordo com prioridade e importância (Sokovic et al., 2010).

Segundo (Pereira & Requeijo, 2012)), o diagrama de Pareto é um gráfico de barras onde cada barra representa uma causa potencial que dá origem a defeitos, sendo estas dispostas por ordem decrescente.

Estes diagramas permitem identificar em que problemas se devem trabalhar em primeiro lugar, para melhorar o processo e com que regularidade as causas de um problema.

Estes diagramas também são utilizados para avaliar o impacto de melhorias de processo entre dois períodos de tempo.

Existem também diferentes níveis de Pareto (1º nível, 2º nível, etc.) em que o primeiro nível representa as principais causas do problema, sendo os níveis seguintes um desdobramento das causas dos problemas que mais impacto (ou seja, frequência) têm no problema em estudo.

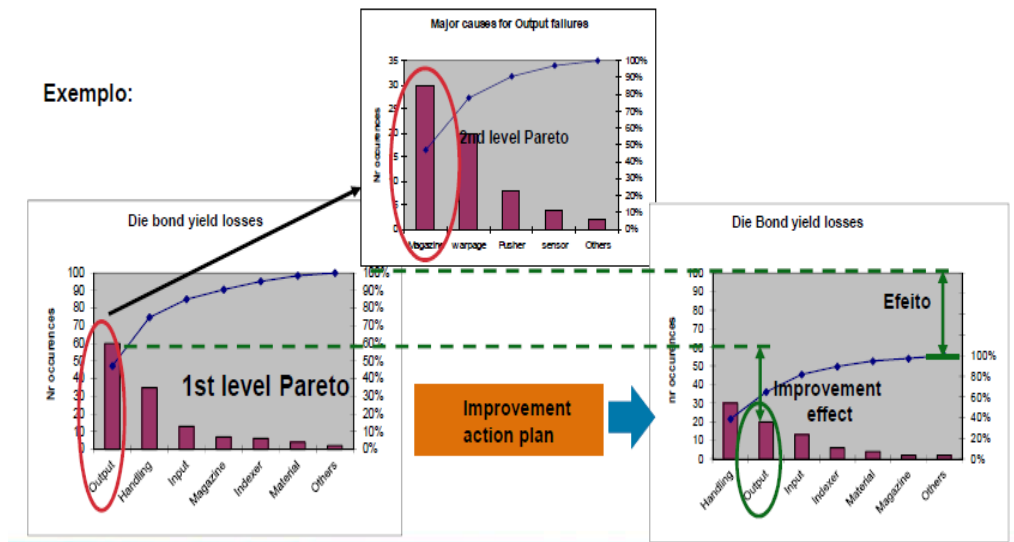


Figura 8 - Diagrama de Pareto (Fonte: ATEP (2019)).

Como fazer um diagrama de Pareto:

1. Determinar as causas do problema em estudo;
2. Selecionar o período da análise;
3. Calcular a frequência de ocorrência de cada causa durante o período em estudo;
4. Ordenar as causas as causas da mais frequente até à menos frequente;
5. Desenhar um gráfico de barras respeitando a ordenação da Figura 9.

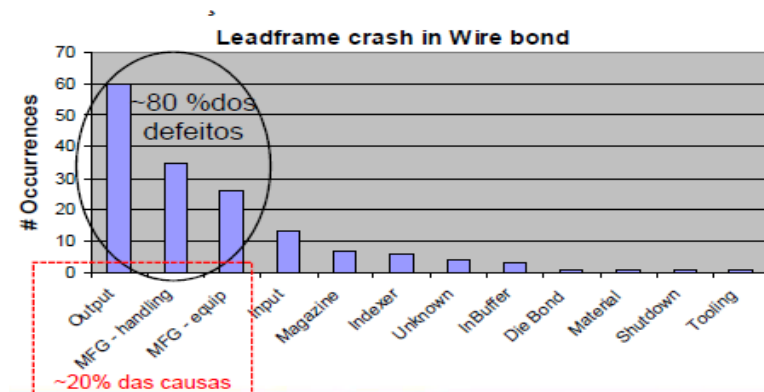


Figura 9 - Diagrama de Pareto 80-20 (Fonte: ATEP (2019)).

## Introdução ao método Taguchi

O Dr. *Genichi Taguchi*, Engenheiro e estatístico japonês, cuja obra, com vista à melhoria da qualidade, lhe proporcionou em 1960, a atribuição do prémio *Deming*, é frequentemente referenciado em Qualidade, a par de *Ishikawa*, *Juran* e *Deming*. Em 1990, recebeu o prémio *Blue Ribbon Award*, pela contribuição no desenvolvimento da indústria Japonesa. *Taguchi* recebeu ainda por quatro vezes o prémio *Deming* do Japão e é reconhecido mundialmente como um dos “gurus” da qualidade.

*Taguchi* foi responsável pela introdução do conceito de “perda económica” na definição de Qualidade. Para minimizar esta perda, *Taguchi* considera que um produto tem de ser robusto a todo e qualquer ruído que afete o desempenho do processo. Para tal, é necessário que se estude quais os melhores valores dos níveis dos fatores controláveis, maximizando o desempenho e a qualidade dos produtos e processos, com finalidade de se reduzir a variabilidade. Contudo, quando a redução da variabilidade pelo estudo dos fatores é insuficiente devem ser concebidos compromissos entre a redução da variabilidade e o custo daí resultante (Pereira & Requeijo, 2012).

O método de *Taguchi* pertence à categoria dos métodos que, em Qualidade, são classificados de “fora-de-linha”, por serem de utilização exterior à linha de produção, em oposição aos métodos “em-linha” que, sendo os mais frequentemente utilizados, executam o controlo durante a fase produtiva. Mais concretamente, o método de *Taguchi* pode intervir desde a fase de desenho (conceção) do produto, ou seja, antes do fabrico, propriamente dito (Roy, 2001).

Neste método existem matrizes ortogonais para o planeamento das experiências, designadas por LN, onde N denomina o número de experiências a realizar. Estas matrizes permitem estudar fatores de 2, 3 ou 4 níveis, assim como interações entre fatores. A seleção da matriz deve ser executada em função do número de fatores, níveis e/ou interações que se pretende estudar. Cada matriz comporta (N - 1) graus de liberdade (g.l), sendo que cada fator e interação a 2 níveis representa 1 g.l, enquanto 1 fator a 3 níveis representa 2 g.l, por exemplo (Ross, 1996).

As matrizes são designadas por ortogonais, porque são matrizes equilibradas, i.e., em cada coluna, ou par de colunas, existem respetivamente o mesmo número de níveis e combinações. Isto é, existe igual probabilidade para cada uma das experiências influenciar o resultado. Para poder escolher a matriz ortogonal a usar, deve-se percorrer os seguintes pontos:

- Definir o número de variáveis (fatores) e respetivos níveis;
- Analisar possíveis interações;
- Determinar os graus de liberdade.

## Terminologia da metodologia

A metodologia de *Taguchi* adota uma terminologia e uma nomenclatura própria. Na verdade, a sua exposição é de extrema relevância para uma boa explicitação de todos os conceitos e de toda a metodologia em geral.

Os termos genericamente segundo (Taguchi, Elsayed, & Hsiang, 1990) aplicados são:

- Fator – É uma variável cujo valor que assume tem uma influência relevante no valor da resposta;
- Nível – É o valor que cada um dos diferentes fatores assume para as diferentes experiências;
- Resposta – Variável cujo valor é originado e determinado por uma disposição definida de fatores com níveis pré-estabelecidos;
- Característica da Qualidade – Medida de avaliação das variáveis de resposta.

## Definição de interações

Existem fatores que na presença de outros se comportam de forma diferente, influenciando o resultado da experiência. A este fenômeno chama-se efeito da interação. Se forem consideradas interações, estas têm de ser alocadas a uma ou mais colunas, na matriz ortogonal, tendo em conta o número de interações. A necessidade de incluir interações deve ser discutida por especialistas. É preciso ter em conta que se o número de fatores a estudar é limitado, ao considerar uma interação, teremos de retirar um fator simultaneamente.

## Graus de liberdade

Os graus de liberdade são uma medida da quantidade de informação que é possível extrair de cada fator. Quanto mais graus de liberdade, mais informação se pode obter. De seguida, são apresentadas as expressões para o cálculo de graus de liberdade (Roy, 2010):

- Número de graus de liberdade para um dado fator (A) é calculado subtraindo um valor ao número de níveis do fator:

$$VGL (A) = \text{número de níveis de A} - 1$$

- Número de graus de liberdade para uma interação (BXC) é igual à multiplicação dos graus de liberdade dos fatores da interação:

$$iGL (BXC) = VGL (B) \times VGL (C)$$

- Número total de graus de liberdade é obtido pela soma dos graus de liberdade dos fatores com os graus de liberdade das interações:

$$TGL = VGL + iGL$$

## Escolha da matriz

Existem algumas regras que devem ser seguidas para a escolha da matriz a usar na experiência:

- A dimensão da matriz deve ser a menor possível;
- Com o número de graus de liberdade é escolhida a menor matriz ortogonal possível;
- O número de experiências a realizar é igual ao número de linhas da matriz, e deve ser igual ou superior ao número de graus de liberdade totais:

$$LX, X \geq TGL$$

onde LX representa a matriz com X graus de liberdade, o X o número de graus de liberdade e TGL o número total de graus de liberdade. A expressão acima descrita refere que o índice da matriz deve ser sempre superior ao número total de graus de liberdade (Ross, 1996).

## Fatores de ruído

Até ao momento, o estudo só se debruçou na melhoria dos processos através da análise dos principais fatores aos seus melhores níveis. No entanto, os processos podem ser afetados por fatores externos que não controlamos. Por esse motivo, *Taguchi* dizia que para um processo ser robusto os fatores ou parâmetros de processo não devem ser influenciados por fatores externos ou de ruído. Deste modo, no desenho de experiências podemos ter 2 tipos de fatores: fatores de controlo e fatores de ruído.

Se um fator relevante de ruído não for considerado, e este alterar ao mesmo tempo que muda um fator, corre-se o risco de associar este fator à variação da resposta e tirar conclusões erradas.

Os fatores de ruído comuns, que causam variabilidade nos processos e consequente perda de qualidade, dividem-se pelos seguintes grupos (Ross, 1996).

- Fatores externos - Representam tipicamente os fatores ambientes, como por ex.: temperatura, humidade relativa, variações de energia, etc;
- Fatores internos - Estão ligados a características de perda de qualidade do produto antes de chegar ao mercado, como por ex.: fadiga, corrosão dos materiais, etc;
- Ruído entre produtos - Variação inerente a todos os processos produtivos, como por ex.: propriedades dos materiais, diferenças entre operadores, diferentes momentos do dia, etc.

## Anova

A Anova (*Analysis Of Variance*) é uma técnica de análise estatística que permite determinar a contribuição de cada fator para o resultado e o seu valor indica o afastamento dos valores obtidos face ao valor esperado.

Estes desvios podem ser devido às diferenças entre as médias dos resultados e erros aleatórios cometidos durante a realização das experiências.

O fator F (fator de *Fisher*), resulta do quociente entre as variâncias, e quanto menor for a variância dos fatores, melhor (Fonte: Nanium S.A, (2014)).

A aplicação de testes de hipótese permite identificar os fatores que produzem efeitos importantes na característica. O fator F obtido é comparado com o fator F tabelado para um determinado nível de confiança.

Na realização de experiências podem ser utilizados vários métodos (Ross, 1996):

- No método “um fator de cada vez” em que um fator varia e os outros permanecem constantes.
- No método “fatorial completo” são estudadas todas as combinações possíveis dos níveis dos fatores, contudo pode originar problemas de excitabilidade resultante do número de experiências necessárias e conseqüentemente, maior consumo de tempo e dinheiro.
- No método “fatorial parcial” pode ser utilizada apenas uma fração do total das combinações possíveis, correndo-se o risco de perda de alguma informação. Quando se estabelece um plano fatorial parcial, o objetivo é manter as estimativas dos efeitos principais e se possível das interações de segunda ordem, livres de interferências mútuas.
- O método das “matrizes ortogonais” permite reduzir o número de experiências e ao mesmo tempo comparar diferentes níveis de fatores em circunstâncias distintas. Nas matrizes ortogonais cada um dos fatores é colocado em cada um dos seus diferentes níveis o mesmo número de vezes.

#### 2.2.4 Fase Melhorar (Improve)

Na quarta etapa do ciclo DMAIC (*Improve*), o objetivo será determinar e implementar soluções piloto para fazer face ao problema. Depois de encontradas as causas do problema, a equipa tem de estar pronta a gerar soluções. Nesta fase a equipa deve estar pronta a responder à pergunta “O que é necessário ser feito?” (*Thomas McCarty et al., 2004*). Tipicamente é implementada uma solução por cada causa identificada na fase Analisar, e como vão existir várias soluções possíveis, é fundamental optar pela solução ideal. Depois de selecionar a melhor solução, a mesma deverá ser testada e validada com uma análise de risco, de modo a entender o seu efeito.

### 2.2.5 Fase Controlar (Control)

Na última etapa do ciclo DMAIC (*Control*), o objetivo é assegurar a eficácia e manutenção das melhorias implementadas. A eficácia deve ser analisada através de novas recolhas de dados (Bhola, 2017).

A equipa, nesta fase, deve responder à pergunta “Como podemos garantir o sucesso do desempenho atual do processo?”. Segundo (Barjaktarovic & Jecmenica, 2011), esta fase impede o retorno do processo original (antigo) tendo ainda um papel crucial na transmissão dos resultados de sucesso do projeto aos colaboradores para estes os usarem no seu dia-a-dia, garantindo maior apoio para a gestão em implementações futuras e comunicação interna.

#### Preparar, controlar e avaliar as soluções

Depois de implementar as soluções, é necessário efetuar a avaliação de desempenho do novo processo. Para tal, é necessário comparar os resultados gerados com o desempenho na fase Medir, e caso os resultados sejam desfavoráveis, a equipa deverá retomar à fase Medir.

#### Encerramento do projeto

O projeto deverá ser encerrado, quando existir a confirmação de que o processo está estável e quando se atingir o objetivo previamente definido no *Project Charter*. Nesta fase, é da responsabilidade do *Black / Green Belt* comunicar as oportunidades de replicação das melhorias às outras áreas. Assim, com a autorização do *sponsor* o projeto poderá ser dado como concluído.

Ao longo do enquadramento teórico, têm sido apresentadas várias técnicas e ferramentas da metodologia DMAIC. Para uma melhor compreensão da integração destas técnicas e ferramentas pode-se observar na Tabela 1 um resumo da informação acima descrita.

Tabela 1 - DMAIC resumido (Fonte: Actio Consulting Group,2018).

Definir	Medir	Analisar	Implementar	Controlar
<p><b>Atividades:</b></p> <ul style="list-style-type: none"> <li>Rever o Project Charter</li> <li>Validar a definição do problema, e os objetivos</li> <li>Validar a voz do cliente (VOC) e a voz do negócio (VOB)</li> <li>Calendarizar o projeto</li> <li>Lançar a equipa</li> </ul> <p><b>Ferramentas:</b></p> <ul style="list-style-type: none"> <li>Project Charter</li> <li>Compilação da VOC</li> <li>Diagrama SIPOC</li> <li>Quadros RACI</li> <li>Plano de Comunicações</li> </ul>	<p><b>Atividades:</b></p> <ul style="list-style-type: none"> <li>Compreensão detalhada do processo</li> <li>Identificar os Inputs e Outputs do processo</li> <li>Validar o sistema de medida</li> <li>Iniciar recolha de dados</li> <li>Validar o ponto de partida do projeto</li> </ul> <p><b>Ferramentas:</b></p> <ul style="list-style-type: none"> <li>Mapa do processo</li> <li>Plano de recolha de dados</li> <li>GR&amp;R e/ou Kappa</li> <li>Cartas de Comportamento do Processo</li> <li>Capacidade do Processo</li> </ul>	<p><b>Atividades:</b></p> <ul style="list-style-type: none"> <li>Identificar as fontes de variação</li> <li>Reduzir a lista de causas raiz potenciais</li> <li>Identificar os poucos X's vitais na relação <math>Y=f(x)</math></li> </ul> <p><b>Ferramentas:</b></p> <ul style="list-style-type: none"> <li>Histogramas, Paretos</li> <li>Matriz de Causa Efeito</li> <li>ANOVA</li> <li>Diagramas de Dispersão</li> <li>Regressão</li> <li>5 Porquês</li> <li>Teste de Hipóteses</li> <li>Correlação</li> <li>Multi-Vari</li> </ul>	<p><b>Atividades:</b></p> <ul style="list-style-type: none"> <li>Desenvolver soluções potenciais</li> <li>Avaliar seleccionar e otimizar as soluções</li> <li>Implementar soluções piloto</li> <li>Validar a efectividade das soluções</li> <li>Planear implementação completa</li> </ul> <p><b>Ferramentas:</b></p> <ul style="list-style-type: none"> <li>Desenho de Experiências</li> <li>Matriz de seleção de soluções</li> <li>FMEA</li> <li>B vs. C</li> </ul>	<p><b>Atividades:</b></p> <ul style="list-style-type: none"> <li>Implementar dispositivos à prova de erro</li> <li>Desenvolver procedimentos, normas e plano de formação</li> <li>Implementar o SPC</li> <li>Identificar oportunidades de replicação das melhorias</li> <li>Verificar os benefícios do projecto</li> <li>Transição para o dono do processo</li> </ul> <p><b>Ferramentas:</b></p> <ul style="list-style-type: none"> <li>Cartas de Controle (variáveis e atributos)</li> <li>Plano de Controle</li> <li>SOP's</li> <li>Cálculo de benefícios</li> </ul>



# CASO DE ESTUDO

- 3.1 APRESENTAÇÃO DA EMPRESA E DOS PROCESSOS  
PRODUTIVOS
- 3.2 APLICAÇÃO DA METODOLOGIA DMAIC
- 3.3 OUTROS TRABALHOS



### 3 Caso de Estudo

No presente capítulo é explicado pormenorizadamente os processos produtivos da empresa e de seguida é efetuada a aplicação da metodologia DMAIC, desde a definição do problema até ao controlo e monitorização do processo.

#### 3.1 Apresentação da Empresa e dos Processos Produtivos

A ATEP – *Amkor Technology Portugal S.A.* é uma empresa que opera no ramo dos semicondutores do tipo OSAT (*Outsource Service Assembly and Test*) e que se encontra situada na Av. 1º de Maio nº 801, 4485-629 em Vila do Conde.



Figura 10 - Vista geral da Empresa ATEP (Fonte: ATEP (2019)).

A Empresa iniciou a sua atividade em Portugal em 1996 com a designação de “Siemens *Semiconductor Portugal*” pertencente ao grupo “Siemens *Semiconductor AG*”.

Em 1999, resultante de uma reestruturação no grupo Siemens que separou a sua divisão de semicondutores, foi criada uma nova empresa independente designada de “*Infineon Technologies AG*” (*Infineon Technologies – Fabrico de Semicondutores, Portugal, S.A.*).

Em 2006, a Empresa “*Infineon Technologies AG*” aprovou o Spinoff da divisão de memórias, sendo criada a “*Qimonda AG*” e a “*Qimonda Portugal SA*”.

Em 2010, e após decretada insolvência da “*Qimonda AG*”, foi aprovado um plano de reestruturação para a *Qimonda Portugal* do qual nasceu a “*NANIUM S.A.*”.

Em 2018, a NANIUM foi adquirida na sua totalidade por um dos maiores grupos mundiais do ramo de semicondutores, a AMKOR TECHNOLOGY, Inc. A empresa depois de adquirida passou a designar-se como ATEP-Amkor Technology Portugal, S.A., (Figura 11) detentora da tecnologia *Fan-Out* (WLFO) e *Wafer Level System in Package* (WLSiP).

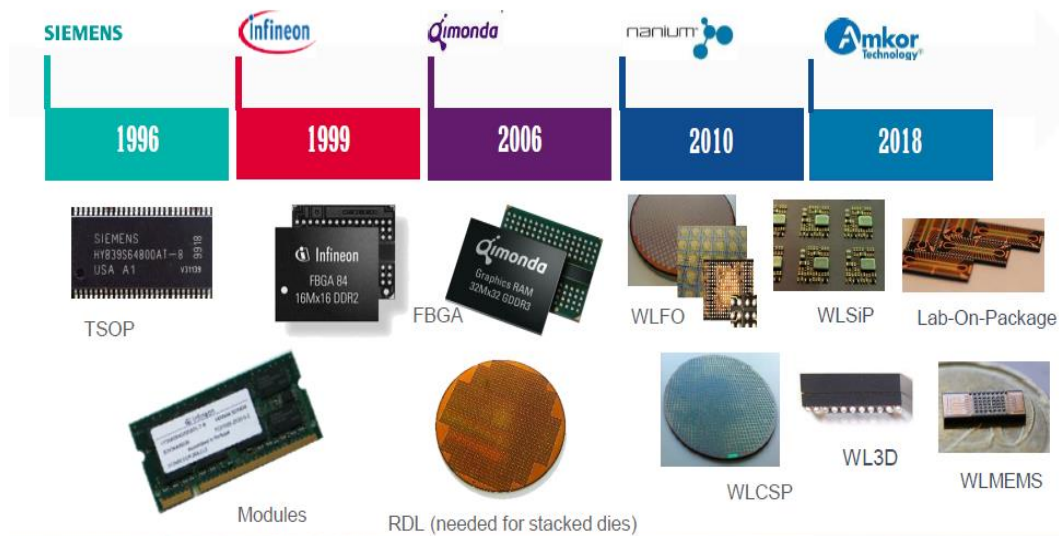


Figura 11 - Linha temporal do histórico da empresa (Fonte: ATEP (2019)).

### 3.1.1 Factos Relevantes da Empresa

A empresa foi fundada em 1996, possui uma área de implantação de 22.000 metros quadrados, sendo a área de produção de 15.500 metros quadrados e atualmente emprega cerca de 570 colaboradores.

A ATEP Portugal no passado foi considerada a maior fábrica de montagem e teste de produtos de memória da Europa; a maior fábrica *Backend* do Grupo Qimonda AG; o maior exportador a nível nacional (primeiro semestre de 2007); o segundo maior investimento estrangeiro e a maior empresa a nível nacional no sector da Indústria Elétrica e Eletrónica.

### 3.1.2 Portfólio de produtos e serviços

A ATEP é especializada na produção de *Micro-Chips* de memória de alta velocidade para utilização em produtos de alto desempenho, tal como computadores, portáteis, telemóveis e Tablets de última geração.

A ATEP tem também um vasto portfólio de produtos baseados em semicondutores (Figura 12) para aplicação em infraestruturas, telecomunicações, indústria automóvel, médica, aeronáutica e outras aplicações de consumo.

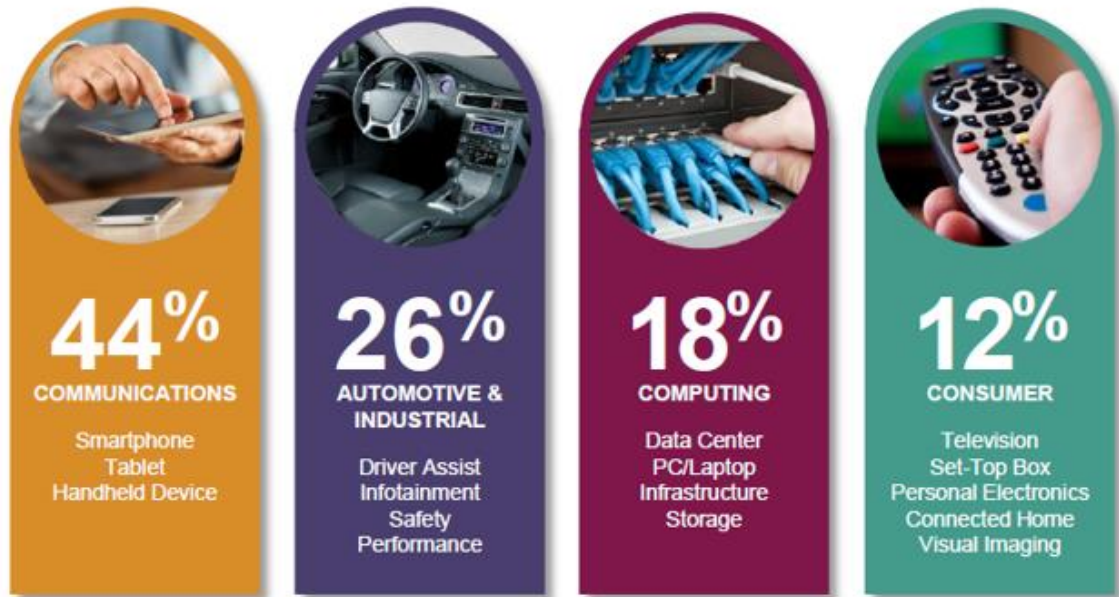


Figura 12 - Produtos Amkor (Fonte: ATEP (2019)).

Para além do fornecimento de uma solução de processo completo de fabrico de um produto, a ATEP oferece uma variedade de serviços de engenharia na área de investigação, desenvolvimento e caracterização de produto (Figura 13).

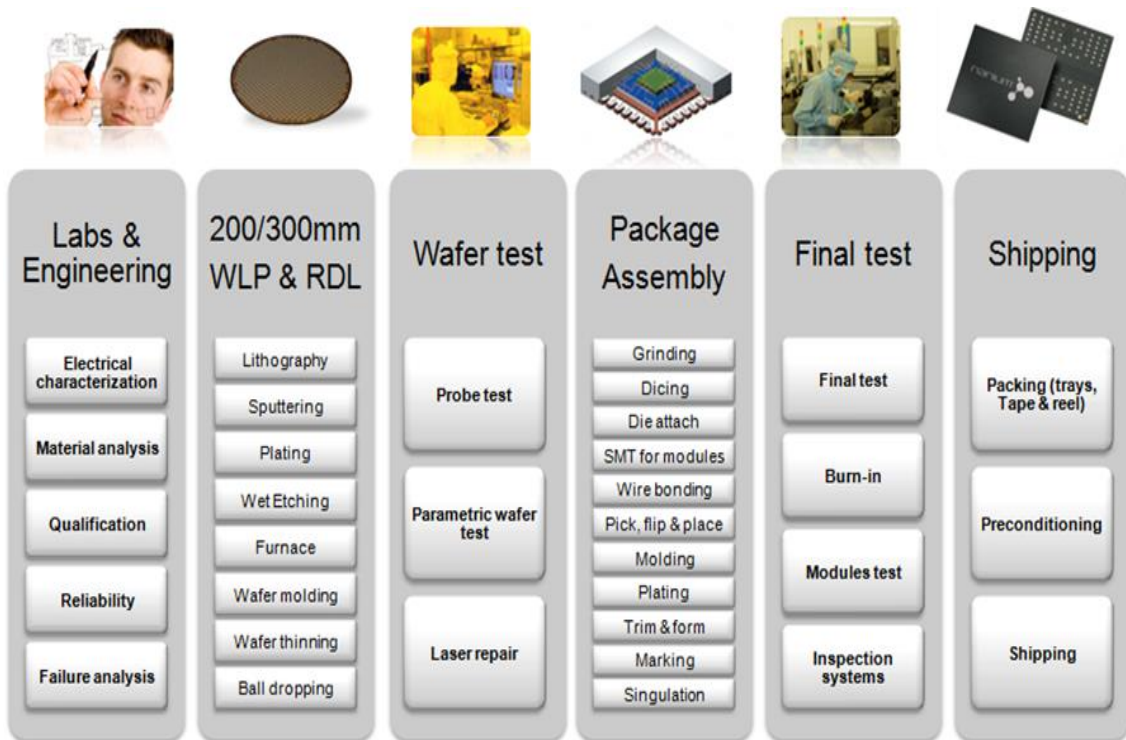


Figura 13 - Distribuição produtiva (Fonte: ATEP (2019)).

### 3.1.3 Infra estruturas

A ATEP detém infraestruturas modernas (Figura 14), equipamento de alta tecnologia e uma equipa de colaboradores altamente qualificados, capaz de desenvolver e produzir componentes para semicondutores, de forma competitiva, desde os processos ao nível da *Wafer*, até aos de montagem e teste do produto final.



Figura 14 - Organização por edifício (Fonte: ATEP (2019)).

Os semicondutores são produzidos em salas-limpas, existindo na ATEP três classes de salas limpas de acordo com o grau de pureza do ar (Figura 15):

- Sala classe ISO 6 - 1K (1K partículas por pé cúbico);
- Sala classe ISO 7 - de 10K (10 000 partículas por pé cúbico);
- Sala classe ISO 8 - de 100K (100 000 partículas por pé cúbico).

Toda a circulação do ar é controlada e purificada através de filtros especiais antes de entrarem nas salas-limpas.

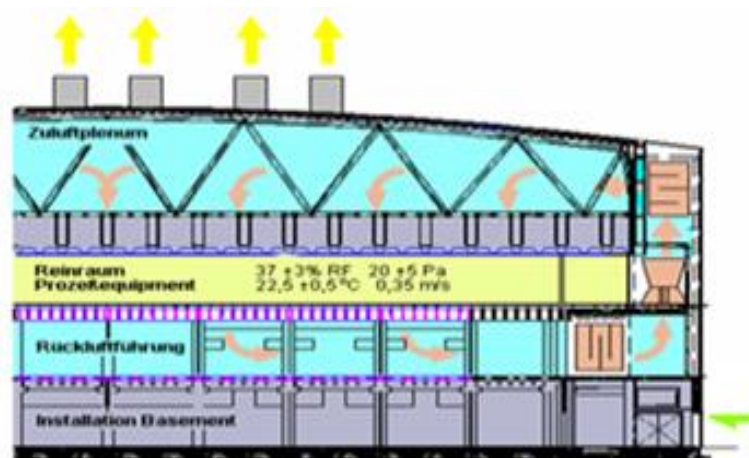


Figura 15 - Circulação do ar (Fonte: ATEP (2019)).

Nas salas limpas é obrigatório o uso de roupa especial de acordo com a classe de sala limpa onde se trabalha.

Na Figura 16 é possível verificar o tipo de “roupa” usado pelas pessoas nas diferentes áreas de trabalho.



Figura 16 - Salas limpas (Fonte: ATEP (2019)).

### 3.1.4 Fases do Fabrico dos Semicondutores

O fabrico dos semicondutores é composto por duas fases distintas (Figura 17):

*Frontend* - são realizadas todas as operações e processos de criação dos circuitos integrados, daí resultando a produção de *Wafers* de silício.

*Backend* - são realizadas todas as operações de montagem final e testes elétricos de componentes.

A ATEP é uma fábrica do tipo *Backend*, tendo como principal matéria-prima as *Wafers* provenientes de diversas fábricas de *Frontend*.

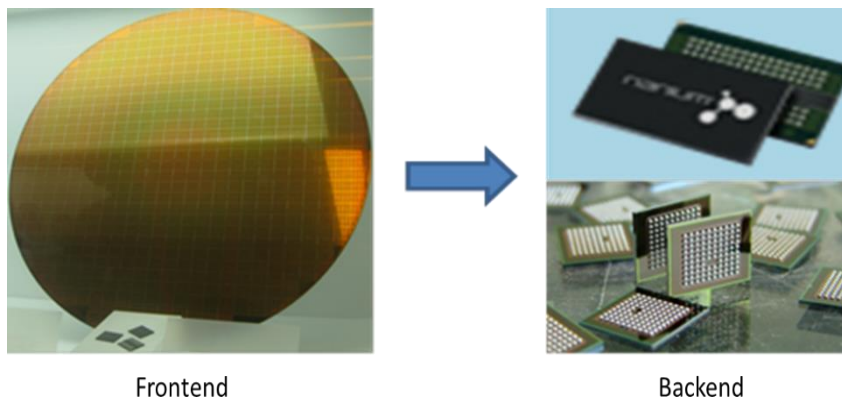


Figura 17 - *Frontend* e *Backend* (Fonte: ATEP (2019)).

### 3.1.5 Processo eWLB (Embedded Wafer Level Ball)

A empresa ATEP é uma das primeiras empresas de semicondutores a nível mundial a fabricar componentes baseados na tecnologia *eWLB* em *Wafers* de 300mm de diâmetro (Figura 18).

O *eWLB* é uma tecnologia de encapsulamento revolucionária introduzida pela empresa de origem alemã *Infineon Technologies* em finais de 2007. Esta tecnologia tornou-se *benchmark* a nível de integração e eficiência energética, com grande desempenho para os dispositivos móveis.

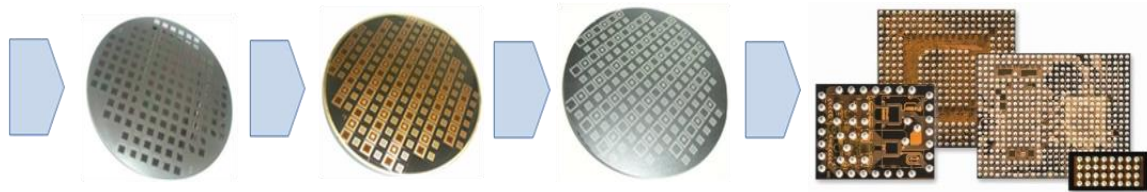


Figura 18 - Produto *eWLB* (Fonte: ATEP (2019)).

O processo produtivo de *eWLB* está dividido em quatro grandes áreas (Figura 19):

- *WaferPrep (Wafer Preparation)*;
- *Recon (Wafer Reconstitution)*;
- *RDL (Redistribution Layer)*;
- *LBS (Laser, Ball Attach & Singulation)*.

Dividido pelas áreas anteriormente referenciadas, o *Flow* produtivo da área de *eWLB*, é constituído por vários subprocessos de fabrico, no qual recebe *Wafers* de silício e transforma-as em componentes singularizados para posterior teste elétrico e aplicação final.

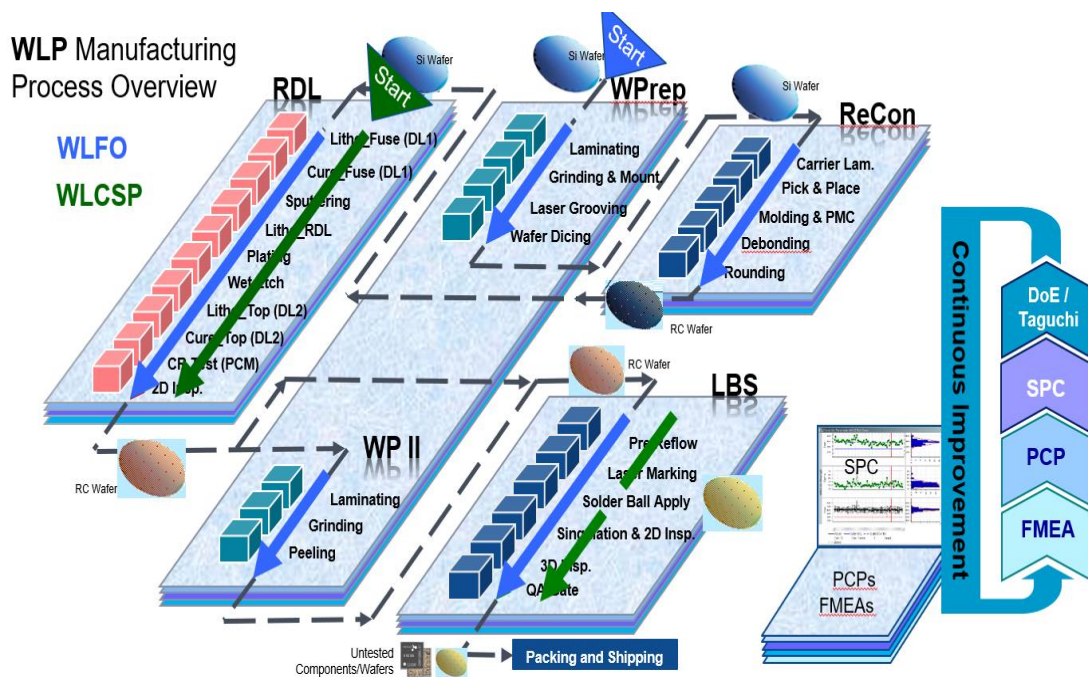


Figura 19 - Descrição do Processo *eWLB* (Fonte: ATEP (2019)).

### 3.1.6 Wafer Prep (Wafer Preparation)

O objetivo dos processos de *Wafer Prep* consiste na preparação das *Wafers* para o corte (*Dicing*) e consequente individualização das unidades.

Os materiais utilizados durante o processo são constituídos por:

- *Tape* de laminação;
- Lâminas de corte.

O processo é iniciado por uma operação de laminação (*Lamination*) que consiste na colocação de uma *tape* protetora na parte ativa das *Wafers*, para proteção durante os processos seguintes tal como demonstrado na Figura 20.

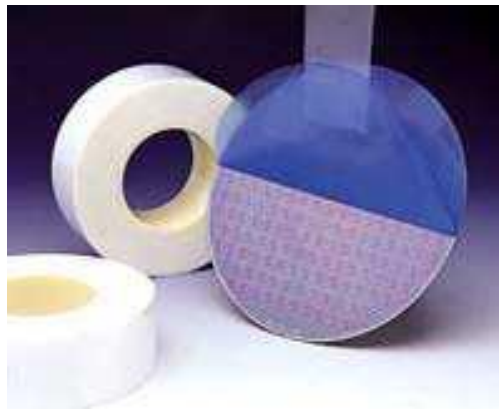


Figura 20 - *Wafer* com *tape* de laminação (Fonte: ATEP (2019)).

A etapa seguinte representada na Figura 21, consiste na montagem (*Mounting*) das *Wafers* numa moldura plástica (*Frame*) e redução de espessura da *Wafer* para o valor especificado (*Grinding*). A *tape* colocada no processo de laminação é retirada durante o processo de Montagem da *Wafer*.

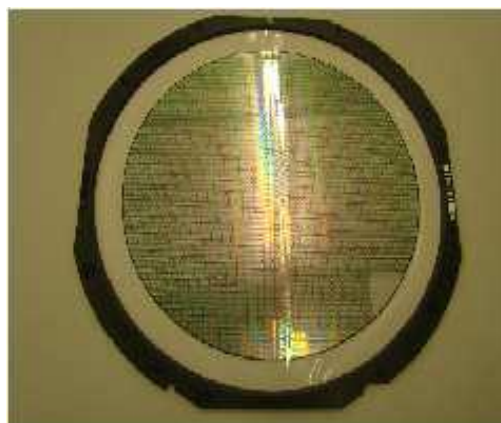


Figura 21 - *Wafer* montada na *frame* (Fonte: ATEP (2019)).

Por fim, as *Wafers* são cortadas (processo de *Dicing* da Figura 22) de forma a individualizar as unidades.

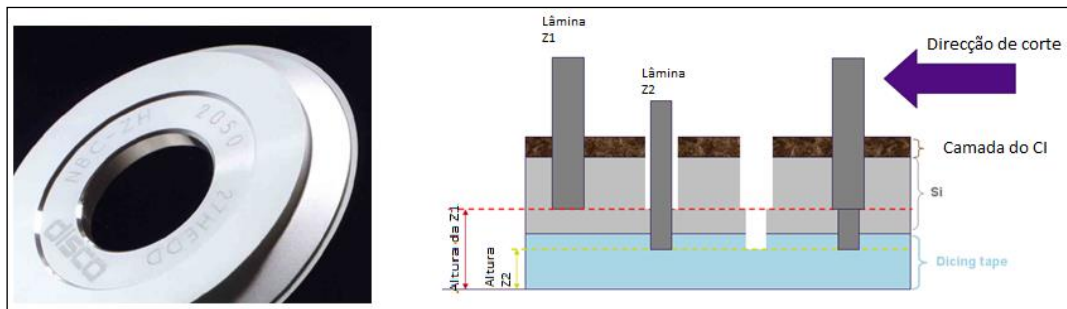


Figura 22 - Lâmina de corte e representação do processo (Fonte: ATEP (2019)).

Na Figura 23 é possível verificar a *Wafer* antes e depois do corte.

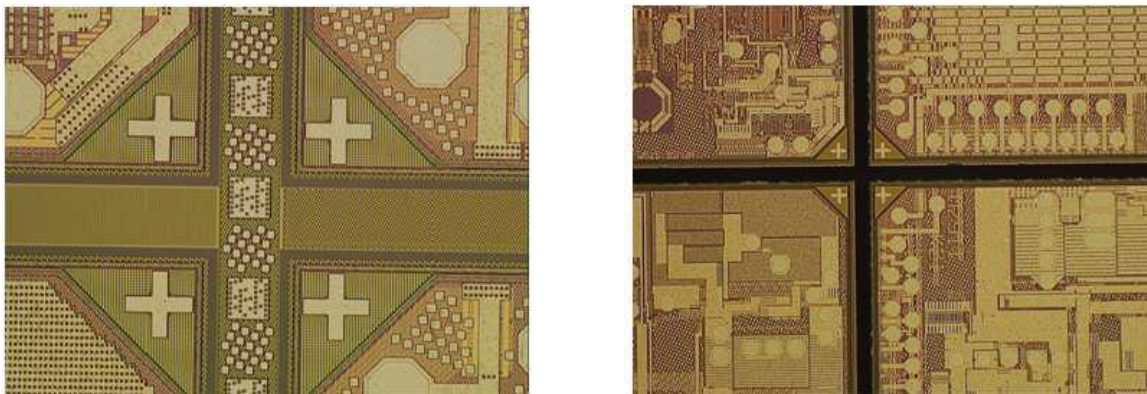


Figura 23 - Representação de uma *Wafer* antes e depois do corte (Fonte: ATEP (2019)).

Após este processo inicial em *WaferPrep*, as *Wafers* passam para a próxima área designada por área de *Recon*.

### 3.1.7 Recon (Reconstruction)

O processo de *Recon* (reconstrução de *Wafers*) é essencialmente constituído por:

- Construção de uma *Wafer* apenas com *Dies* bons (*Good Dies*, ou seja, com *Dies* que não foram rejeitados nos processos anteriores de *Front End* e *WaferPrep*);
- Moldagem da *Wafer* com um material aglomerante (*Mold Compound*);
- *Debond*.

#### **Carrier Lamination**

O processo inicia-se com o processo de *Carrier Lamination* que consiste na colocação de uma *tape* adesiva sobre uma base metálica (*Mold Carrier*).

### **Pick and Place**

Neste processo, os *Dies* de silício são colocados sobre o adesivo no *Mold Carrier*. Sobre esta base metálica (Figura 24) irão ser colocados através do processo de *Pick & Place* os *Good Dies* que são retirados da *Wafer* resultante da área anterior (*Waferprep*).



Figura 24 - *Wafer* reconstruída no *Mold Carrier* (Fonte: ATEP (2019)).

### **Mold**

No processo seguinte (*Mold*), a *Wafer* reconstruída é coberta por uma resina de *Epoxy* (*Mold Compound*) através de um processo de dispensação (Figura 25). A conformação será efetuada logo de seguida com recurso a uma prensa.

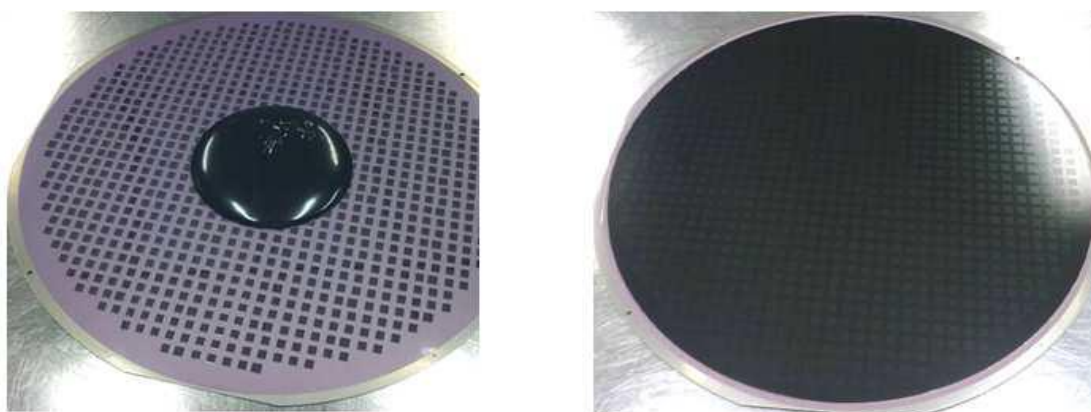


Figura 25 - *Wafer* com *Mold Compound* (Fonte: ATEP (2019)).

Na Figura 26 é apresentado o processo de *Mold* com recurso a uma prensa.

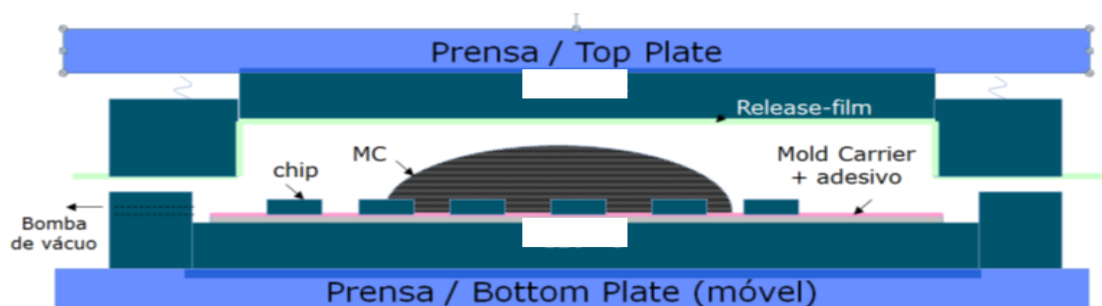


Figura 26 - Processo de *Molding* (Fonte: ATEP (2019)).

## Debond

As principais funções desta etapa são remover a fita adesiva (*Laminating tape*), corrigir a curvatura denominada *Warpage* e efetuar uma marcação a LASER de forma a manter a rastreabilidade ao longo dos processos, até que os *Dies* sejam individualizados novamente. Os *Dies* de silício estão agora embebidos pelo *Mold compound*, ficando com a parte ativa do *die* exposta para os processos seguintes (Figura 27).

O excedente resultante do *molding* é retirado através do processo de *Wafer Rounding*. Os materiais usados nesta área são:

- *Tape* adesiva;
- *Mold compound*;
- Base metálica (*Wafer Carrier*).

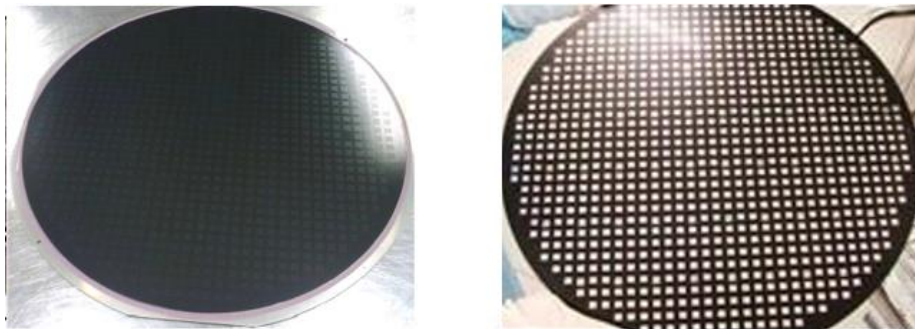


Figura 27 - *Wafer* reconstruída após *Mold* (Fonte: ATEP (2019)).

A questão do *Warpage* (Figura 28) é uma das grandes limitações para a processabilidade das *Wafers* e é cada vez mais relevante devido à tendência de diminuição das espessuras. A *Wafer* vai-se alterando ao longo dos processos, o que implica medições entre processos e correções. Não é possível observar várias formas e valores de 60  $\mu\text{m}$  até 3 mm, dependendo da dimensão do *die* e materiais envolvidos.

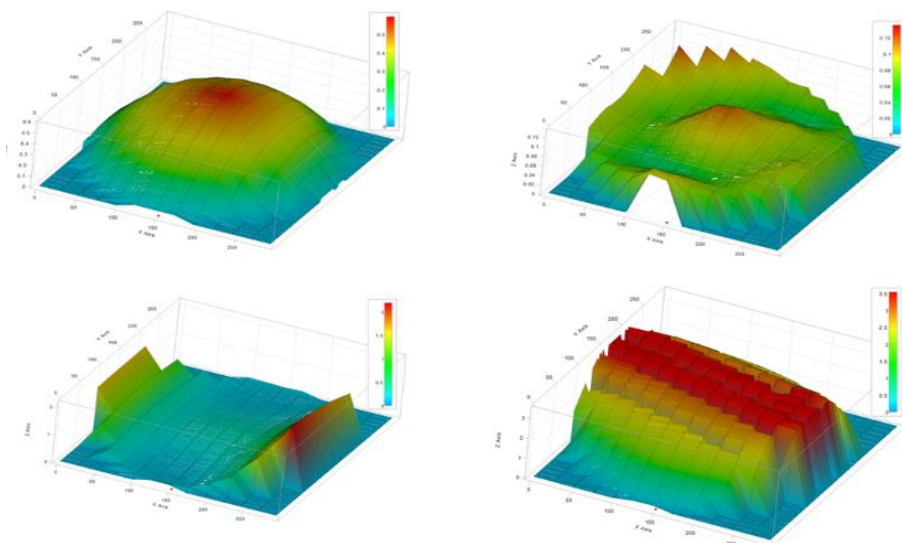


Figura 28 - Diferentes formas de *Warpage* (Fonte: ATEP (2019)).

## WaferRound

Neste processo é retirado o excedente de *Mold Compound* da periferia da *Wafer* reconstituída.

### 3.1.8 RDL (Redistribution Layer)

Os processos de RDL têm a finalidade de, através de recursos fotolitográficos e químicos, aumentar a superfície que permite um maior número de contactos entre o exterior e o *chip*.

Os materiais usados nesta área são:

- Químicos;
- Cobre;
- Titânio.

O processo de *Fuse Cover* (Figura 29) começa com a aplicação de uma cobertura fotossensível (químico), sendo posteriormente aplicada a uma máscara, luz UV, transferindo assim a forma geométrica pretendida para o químico fotossensível.

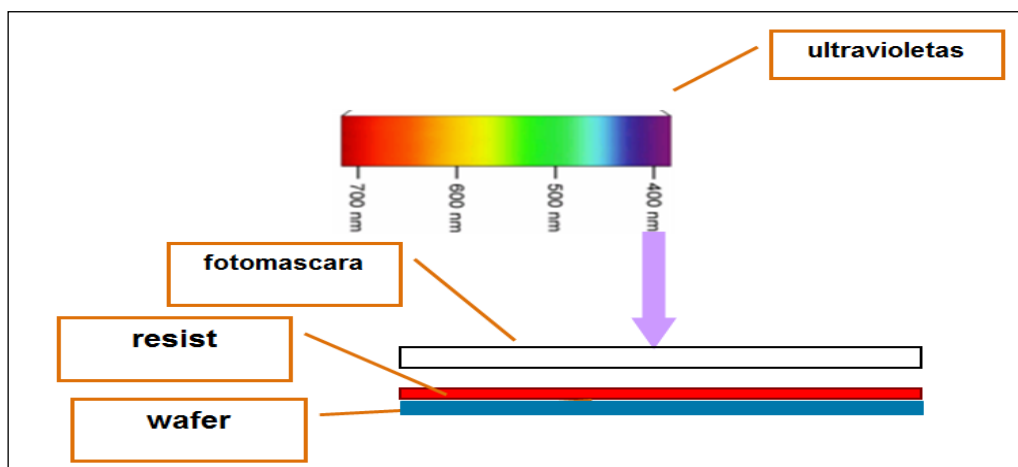


Figura 29 - Representação do processo Fuse Cover (Fonte: ATEP (2019)).

O processo seguinte consiste na deposição de titânio e cobre (*Seed Layer*), sendo novamente colocada uma película de químico fotossensível e transferida uma máscara com um padrão (*RDL\_Pattern*), por incidência de luz UV. As pistas de cobre são depositadas por eletrodeposição (Figura 30), e depois é removido o químico, cobre e titânio, exceto as suas pistas. Posteriormente a *Wafer* é coberta com químico que solidifica através de uma cura.

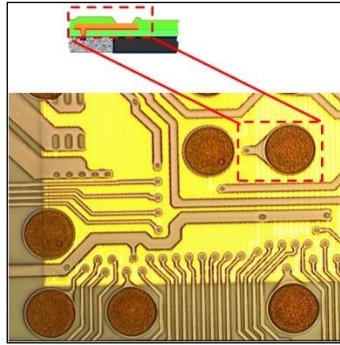


Figura 30 - Processo de RDL - Redistribuição dos Pads (Fonte: ATEP (2019)).

### 3.1.9 LBS (Laser, Ball Attach e Singulation)

Nesta área a finalidade é a marcação de todas as unidades. Estas são individualizadas e expedidas para o armazém.

O primeiro processo é o *LaserMark*, sendo todas as unidades na *Wafer* marcadas através de raios laser (Figura 31).

A marcação é efetuada conforme o layout estipulado onde consta o código do produto e o número de série da unidade.

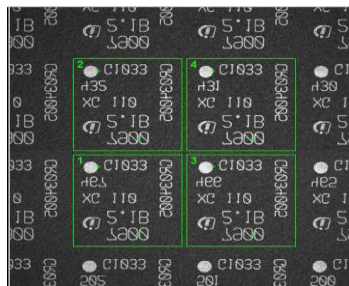


Figura 31 - Marcação Laser (Fonte: ATEP (2019)).

Depois são colocadas as bolas de solda nos Pads (*Solder Ball Attach*) que vão permitir a ligação elétrica e mecânica às aplicações para que foram construídas (Figura 32). Para facilitar a soldadura os Pads recebem fluxo e o processo realiza-se num forno.

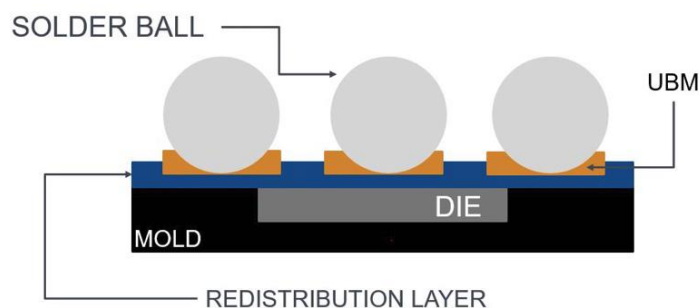


Figura 32 - *Wafer* após colocação das bolas de solda (Fonte: ATEP (2019)).

As unidades são individualizadas (*Singulation*) por lâminas e depois são colocadas em *trays* com uma orientação específica do pino 1 (Figura 33).

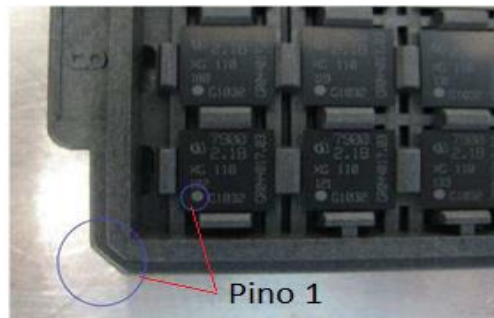


Figura 33 - Unidades individualizadas e colocadas na *tray* (Fonte: ATEP (2019)).

### 3.1.10 Packing e Shipping

Finalmente é executado o último passo do processo cujo objetivo é o embalagem, etiquetagem e envio para o Cliente final (Figura 34).



Figura 34 - Embalamento do produto (Fonte: ATEP (2019)).

A empresa ATEP tem uma excelente prática no desenvolvimento de novas tecnologias, e nesse âmbito fiz em conjunto com os meus colegas de trabalho a publicação de dois artigos científicos na ESTC (*Electronics System-Integration Technology Conference*):

Artigo 1 - *Development and Fabrication of a Thermally Enhanced WLFO Demonstrator* (Cardoso, Barros, & Hantos, 2016).

Artigo 2 - *Development of Novel High Density System Integration Solutions in FOWLP - Complex and Thin Wafer-Level SiP and Wafer-Level 3D Packages* (Cardoso et al., 2017).

### 3.2 Aplicação da metodologia DMAIC

O caso de estudo desta dissertação teve como objetivo principal a aplicação da metodologia DMAIC a um processo produtivo da área dos Semicondutores. Com a implementação desta metodologia, foi possível efetuar uma análise pormenorizada à identificação das causas raiz do problema, bem como a delineação de várias ações de melhoria para a sua resolução. Para tal, o estudo centrou-se num processo produtivo de reconstrução de *Wafers*, com o objetivo de identificar e caracterizar o problema de *Contaminations* (Contaminações) e *Tape Residues* (Resíduos de Cola) na parte ativa dos *Dies*, espalhados pela *Wafer* de silício num produto específico A (Figura 35).

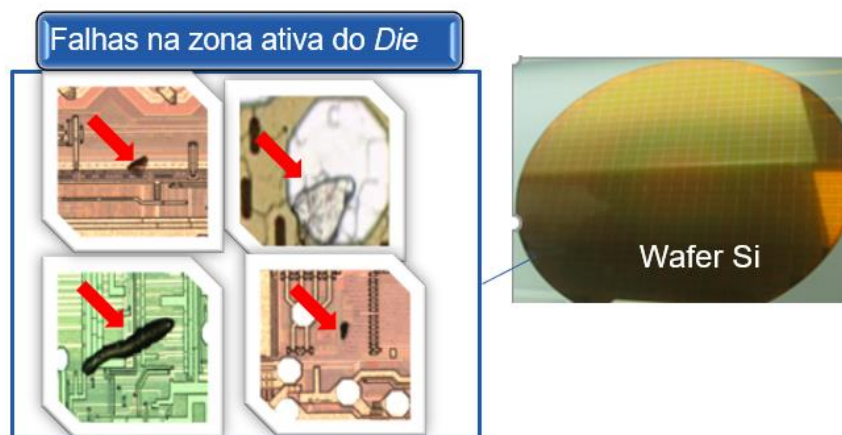


Figura 35 - Defeitos na zona ativa dos *Dies* em várias zonas da *Wafer*.

Este estudo teve como foco principal a identificação da(s) área(s) / processo(s) que mais contribuíram para geração deste tipo de defeito (*Contaminations e Tape Residues*). Para tal, o estudo incidiu em duas grandes áreas da Produção, *Wafer Prep e Recon* (Figura 36). Foram consideradas apenas estas duas grandes áreas produtivas, porque são as únicas em que se entra em contato direto com a parte ativa dos *Dies*, logo potencialmente causadoras do problema.

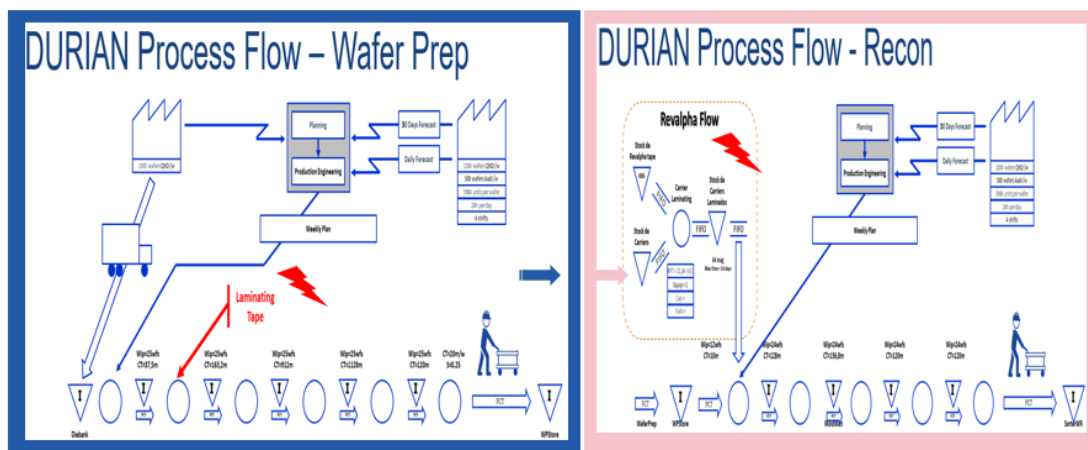


Figura 36 - Áreas de estudo *Wafer Prep* e *Recon*.

Como este estudo tem como base a utilização da metodologia DMAIC, serão apresentadas todas as ações desenvolvidas em cada fase do ciclo DMAIC (Figura 37).



Figura 37 - Ciclo DMAIC.

### 3.2.1 Fase Definir (Define)

A fase Definir é a primeira fase do ciclo DMAIC e é crucial para o sucesso ser alcançado. Nesta fase os principais objetivos são a definição do projeto, identificar os processos envolvidos, perceber qual o problema e por fim quais as metas a atingir.

Para tal, é necessário definir a equipa de trabalho, quais as funções de cada elemento e definir cronologicamente o projeto. Finalmente, é fundamental definir concretamente quem é o cliente do projeto e quais os seus requisitos e especificações.

A Tabela 2 apresenta algumas das etapas da fase Definir. Podemos assim verificar quais as atividades executadas nesta fase, bem como algumas das ferramentas que foram usadas para análise do problema.

Tabela 2 - Síntese das etapas da fase Definir.

Fase Definir	
Atividades	Ferramentas
<i>Elaborar o Project Charter</i>	Project Charter
<i>Validar a definição do problema, e os seus objetivos</i>	Compilação da VOC
<i>Validar a voz do cliente (VOC) e a voz do negócio (VOB)</i>	Diagrama SIPOC

### 3.2.1.1 Identificação do problema, objetivos a atingir e âmbito

Depois de identificar o problema que iria ser alvo de melhoria, o próximo passo foi criar uma equipa multidisciplinar para a sua resolução. Uma vez selecionado o projeto, foi necessário oficializá-lo num documento para que toda a equipa compreendesse o âmbito, a missão e o papel a desempenhar no desenvolvimento do projeto. Para tal, compilou-se a toda a informação num *Project Charter* (Tabela 3), onde foram registadas todas as informações como as datas de início e conclusão do projeto, nome do projeto, âmbito do projeto, descrição do problema e a meta a atingir.

Como o objetivo do projeto era a redução de número de defeitos no produto A, foi necessário fazer uma análise inicial cuidada ao problema de forma a definir um objetivo a atingir que fosse alcançável.

Até esta fase do projeto, não era evidente existir uma clara distinção entre *Tape Residues* e *Contaminations* aquando da classificação dos defeitos, tendo sido essa razão para a qual o problema identificado inclui os dois modos de falha. Na Figura 38 verifica-se que o nível atual destas falhas (somatório das falhas vs. volume produzido) é de 5219 PPM no ano de 2018 e, como tal, a equipa decidiu colocar o objetivo final a atingir em 1500 PPM.

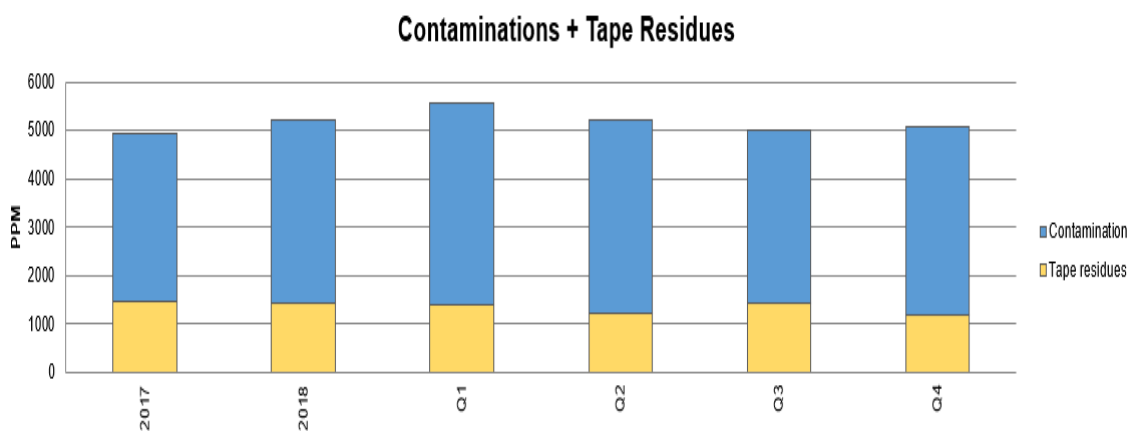


Figura 38 - Evolução das unidades rejeitadas por *Contaminations* e *Tape Residues* em 2017/18.

Tendo em conta que as *Contaminations* mais os *Tape Residues* representam 75% das falhas globais, e deste conjunto as *Contaminations* representam 72%, a equipa decidiu numa fase inicial concentrar as atividades de melhoria neste modo de falha, deixando para mais tarde a análise aos *Tape Residues*.

Tabela 3 - Project Charter - Declaração do projeto.

Nome do Projeto																																			
<b>Nome do Projeto</b>	Reduzir o número de falhas por Contaminations e Tape Residues no produto Durian de 5219 PPM para 1500 PPM.				<b>Numero:</b>	rev#2																													
					<b>Data de início</b>	6/21/2018																													
<b>Líder</b>	Cesar Oliveira			<b>Consultor</b>	Filipe Barbosa ( Actio )																														
<b>Campeão</b>	Domingos Pinto																																		
Descrição do problema																																			
<p>A rejeição por Contaminations e os Tape Residues representam 75% do total das perdas detetadas no processo de inspeção automática (AOIRECON). Como neste processo a amostra para este produto é de 20%, há uma grande probabilidade de serem enviadas unidades com defeito para o cliente final.</p> <p>Neste ponto não é identificada a área que tem mais impacto neste modo de falha ( WaferPrep e/ou Recon).</p>																																			
Âmbito																																			
<b>In</b>				<b>Out</b>																															
QND				IMC, ITL, QND, outros clientes																															
A				B,C,D, E,																															
Tape alta adesão				Tape de baixa adesão																															
WaferPrep and Recon				todos os outros																															
AOIRecon				todos os outros processos de inspeção																															
<b>KPI</b>	Contaminations + Tape Residues																																		
	<table border="1"> <caption>Data for Contaminations + Tape Residues (PPM)</caption> <thead> <tr> <th>Ano</th> <th>Tape Residues</th> <th>Contamination</th> <th>Total</th> </tr> </thead> <tbody> <tr> <td>2017</td> <td>1500</td> <td>3719</td> <td>5219</td> </tr> <tr> <td>2018</td> <td>1500</td> <td>3719</td> <td>5219</td> </tr> <tr> <td>2019 (01)</td> <td>1500</td> <td>3519</td> <td>5019</td> </tr> <tr> <td>2019 (02)</td> <td>1500</td> <td>3519</td> <td>5019</td> </tr> <tr> <td>2019 (03)</td> <td>1500</td> <td>3519</td> <td>5019</td> </tr> <tr> <td>2019 (04)</td> <td>1500</td> <td>3519</td> <td>5019</td> </tr> </tbody> </table>							Ano	Tape Residues	Contamination	Total	2017	1500	3719	5219	2018	1500	3719	5219	2019 (01)	1500	3519	5019	2019 (02)	1500	3519	5019	2019 (03)	1500	3519	5019	2019 (04)	1500	3519	5019
	Ano	Tape Residues	Contamination	Total																															
	2017	1500	3719	5219																															
	2018	1500	3719	5219																															
	2019 (01)	1500	3519	5019																															
	2019 (02)	1500	3519	5019																															
2019 (03)	1500	3519	5019																																
2019 (04)	1500	3519	5019																																
Objetivo																																			
Reduzir o número de falhas por Contaminations e Tape Residues no produto A de 5219 PPM para 1500 PPM.																																			
<b>Ponto de partida</b>	5219 PPM	<b>Referência</b>	NA	<b>Meta</b>	1500 PPM	<b>Delta</b>	50 PPM																												
Poupança																																			
<b>Financeira</b>				<b>Não Financeira</b>																															
Poupança = Unidades + Horas Eng + Horas Operação				<ul style="list-style-type: none"> <li>- Baixar o risco de reclamações no cliente final</li> <li>- Redução de alarmes em AOIRECON.</li> </ul>																															
Equipa																																			
<b>Nomes</b>		<b>Departamento/Função</b>			<b>Contactos</b>																														
Hugo Barros		O / Process Engineer			37833 / 47833																														
Cesar Oliveira		O / Process Engineer			37854 / 47854																														
Rogério Neves		QM / Quality Engineer			36908 / 46908																														
Américo Roque		O / IE Coordinator			36849 / 46849																														
DMAIC																																			
<b>Fases</b>		<b>Data de Conclusão</b>	<b>Fases</b>			<b>Data de Conclusão</b>																													
1. Definir		11/16/2018	5. Controlar			4/5/2019																													
2. Medir		11/23/2018	6. Conclusão			5/3/2019																													
3. Analisar		12/7/2018	7. Apresentação á Direção			10/7/2019																													
4. Implementar		1/4/2019	8. Reconhecimento da equipa			10/9/2019																													

### 3.2.1.2 Análise da Voz do Cliente (VOC)

Para uma correta abordagem ao problema, foi efetuada a identificação das necessidades dos clientes através da ferramenta VOC (*Voice of Customer*) representada na Figura 39. Depois de reunir os requisitos dos clientes internos e externos, foi necessário traduzir estes em requisitos críticos da qualidade, designados por CTQ (*Critical To Quality*).

O principal cliente interno foi a área de *AOIRecon* (*Automatic optical inspection* na área de reconstrução de *Wafers*) e o externo o cliente final.

Nesse sentido, em reunião com uma equipa multidisciplinar responsável por essa etapa produtiva, foi possível identificar quais as razões dos principais problemas provenientes do processo de *AOIRecon*.

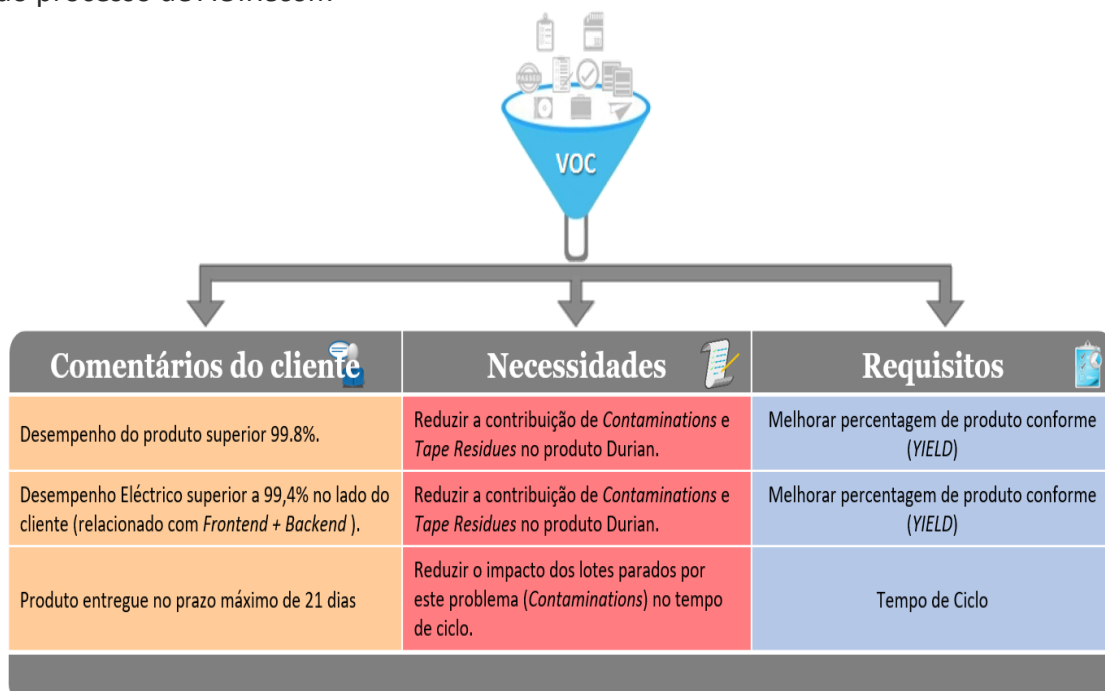


Figura 39 - Diagrama VOC.

### 3.2.1.3 SIPOC (*Suppliers Input Process Output*)

Por fim, foi elaborado o diagrama SIPOC (Figura 40) com o objetivo de ajudar a equipa a definir e esclarecer todas as etapas do processo alvo do projeto.

Neste caso particular, o cliente e o fornecedor são a mesma entidade visto que são as partes interessadas.



Figura 40 - Diagrama SIPOC.

### 3.2.2 Fase Medir (Measure)

A segunda fase do ciclo DMAIC é a fase Medir, que teve como principal objetivo avaliar o estado atual do processo alvo do estudo. Deste modo, foi necessário recolher dados fiáveis e analisar os mesmos. O trabalho desenvolvido nesta fase foi de extrema importância, pois foi a base de toda a estrutura.

Para tal, foram realizadas algumas técnicas de mapeamento, tais como *Value Stream Mapping*, *Fault Tree Analysis*, Medição da Repetibilidade e Reprodutibilidade (GRR - *Gauge Repeatability and Reproducibility*).

A Tabela 4 apresenta todas as etapas da fase Medir, bem como todas as ferramentas usadas para a análise do caso de estudo.

Tabela 4 - Síntese das etapas da fase Medir.

<b><i>Fase Medir</i></b>	
<i>Etapas</i>	Técnicas e Ferramentas
Mapeamento do processo	<i>Value Stream Mapping</i>
Identificar a métrica de saída do processo e iniciar a recolha de dados	DOE
Avaliar a capacidade do processo de medida	GRR
Definir a meta e atualizar o <i>Project Charter</i>	<i>Project Charter</i> atualizado

### 3.2.2.1 Mapeamento do Processo

O mapeamento do processo foi de grande importância nesta fase, pois foi necessário que todos os elementos da equipa de trabalho conhecessem em pormenor todas as atividades que o processo desencadeia, com o objetivo de facilitar a geração de ideias para identificar as possíveis causas raiz do problema. Resumidamente, o mapa de processo é uma fotografia realista do processo atual que representa as operações de forma sequencial graficamente e simplifica a compreensão do fluxo de trabalho.

Desta forma foram realizadas as seguintes caracterizações do processo produtivo:

#### **Elaboração do mapa de processo da área inicial de *Wafer Prep***

A área de *Wafer Prep* é constituída pelos processos: *Receive, Lam\_Wafer, Grinder, Laser, Dicer* e *Gate*, operações descritas no capítulo 3.

As ordens de cliente são enviadas para o planeamento que depois são transformadas em ordens de fabrico.

Esta área tem um valor acrescentado (VA) de aproximadamente 1200 minutos, e um valor não acrescentado (VNA que inclui tempos de espera, reprocesso, inspeções e transporte) de aproximadamente 2450 minutos (Figura 41). O lead time desta área é de 3650 minutos.

# DURIAN Process Flow – Wafer Prep

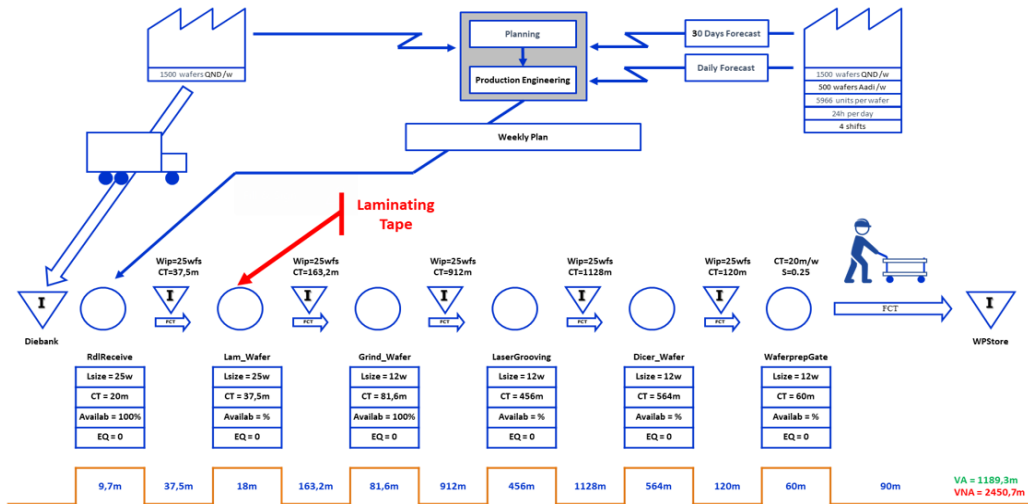


Figura 41 - Value Stream Mapping de Wafer Prep.

## Elaboração do mapa de processo da área de Recon

A área de Recon é constituída pelos processos: *Pick and Place*, *Foil Anneal*, *Mold*, *Debonder* e *Wafer Round*, operações descritas no capítulo 3.

Esta área tem um valor acrescentado (VA) de aproximadamente 1300 minutos, e um valor não acrescentado (VNA que inclui tempos de espera, reprocesso, inspeções e transporte) de aproximadamente 2500 minutos (Figura 42). O *lead time* desta área é de 3800 minutos.

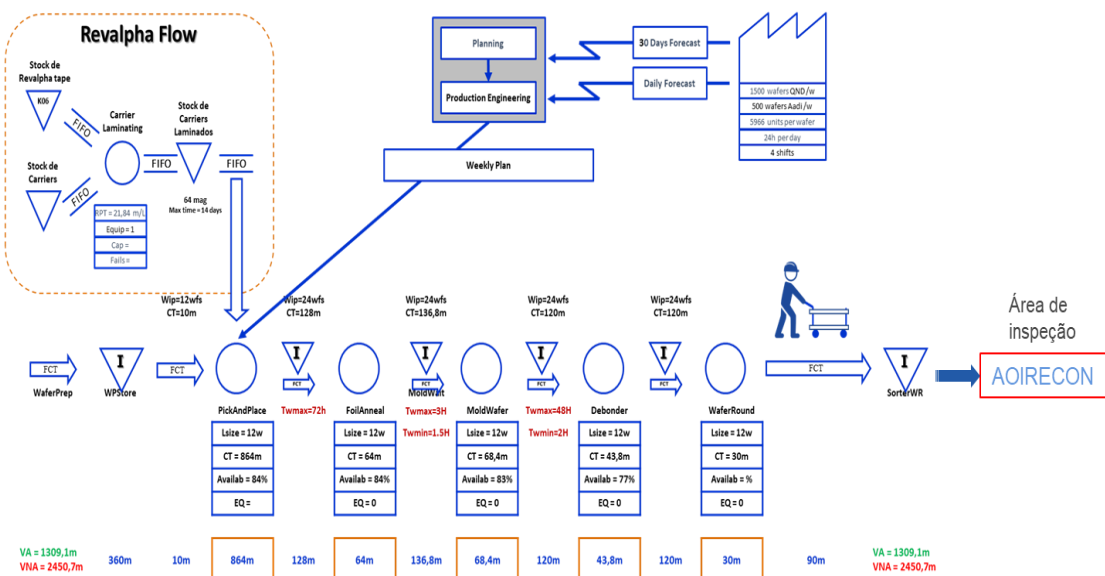


Figura 42 - Value Stream Mapping de Recon.

### Análise da árvore de falhas

O diagrama de árvore tem como objetivo decompor um problema de alto nível de modo a que este se torne mais compreensível e consequentemente, mais simples de resolver. Deste modo, a equipa elaborou o diagrama (Figura 43) para registar todas as áreas potenciais que pudessem gerar este(s) modo(s) de falha.

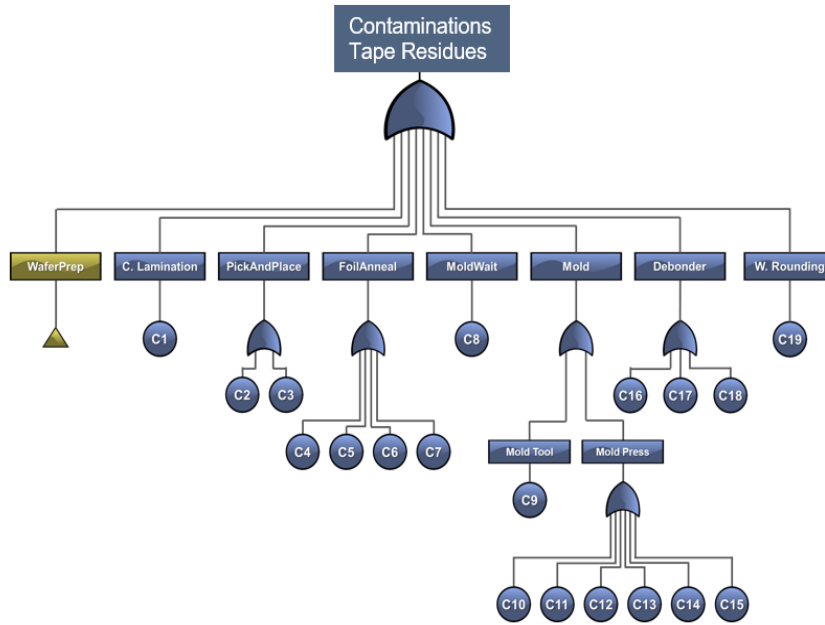


Figura 43 - Análise da árvore de falhas.

Depois de identificar as áreas potenciais, foi necessário identificar e caracterizar todos os subprocessos que pudessem contribuir para este(s) modo(s) de falha (Tabela 5).

Tabela 5 - Árvore de falhas.

	Processo	Sub - Processo
	<i>Wafer Prep</i>	Laminação
<i>C1</i>	<i>Carrier Lamination</i>	Tempo de espera do metal <i>carrier</i> nos armários
<i>C2</i>	<i>Pick and Place</i>	Tempo de processo
<i>C3</i>		Rotação das <i>Wafers</i>
<i>C4</i>	<i>FoilAnneal</i>	Tempo de processo
<i>C5</i>		Temperatura dos Fornos
<i>C6</i>		Diferentes modelos de Fornos
<i>C7</i>		Processo de reprocessamento
<i>C8</i>	<i>MoldWait</i>	Janela de tempo
<i>C9</i>	<i>Mold - tool</i>	Fecho da <i>tool</i> não linear

C10	<i>Mold - Press</i>	Temperatura fora de especificação
C11		Tempo de cura
C12		Diferentes tensões na <i>Wafer</i>
C13		Diferenças na fixação das <i>Wafers</i>
C14		Variação de temperatura no <i>post mold cure</i>
C15		Linearidade da fixação do <i>clamp</i> durante o <i>setup</i>
C16	<i>Debonder</i>	Temperatura fora de especificação
C17		Janela de tempo entre <i>Mold</i> e <i>Debond</i>
C18		Rotação manual das <i>Wafers</i>
C19	<i>WaferRounding</i>	Rotação das <i>Wafers</i> na <i>Foup</i>

### Medição da Repetibilidade e Reprodutibilidade (GRR)

O Gage R & R é uma ferramenta usada na fase de medição de um projeto Seis Sigma. Antes de iniciar a fase de análise de dados, foi necessário validar a capacidade do processo de medida, identificando e quantificando as fontes de variação associadas à Repetibilidade e Reprodutibilidade. Um processo de medida não capaz influenciará os resultados e consequentemente as conclusões. Para tal, foram executados os seguintes passos:

**1º Passo:** Identificar equipamento(s) de medida (Marca, modelo, amplitude, resolução, estado de conservação, estado de calibração/verificação).

---

Ifocus (WLPINSP-0007)

Camtek (WLPINSP-0002)

---

**2º Passo:** Identificar os operadores que procedem à medição.

Débora

Débora

Patrícia

Patrícia

Mariline

Mariline

Manuela

Manuela

---

**3º Passo:** Validar a adequabilidade do(s) equipamento(s) para o que se pretende medir e o(s) operador(s) que vai efetuar as medições/avaliações.

**4º Passo:** Verificar se o procedimento de medição/avaliação é adequado.

Foi necessário elaborar uma ajuda visual, para garantir uma correta classificação das falhas e foi realizada uma ação de formação a todas pessoas da área respetiva.

**Tape Residues - AOIRecon**

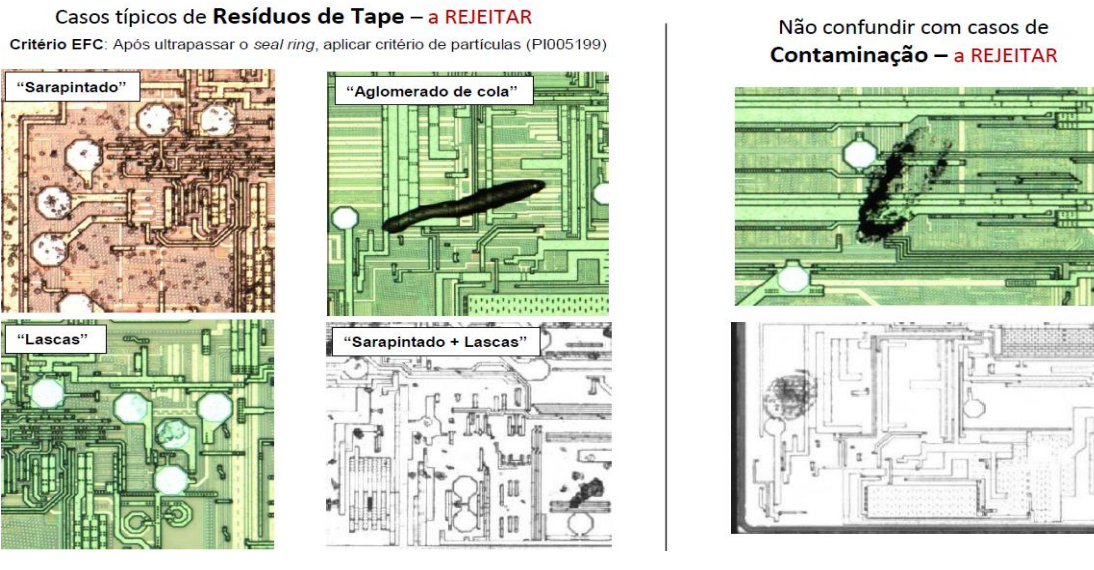


Figura 44 - Ajuda Visual para classificação de falhas.

**5º Passo:** Verificar a repetibilidade e reprodutibilidade do processo de medida. Para tal, vão ser usadas unidades boas vs. com defeito, quatro operadores diferentes e dois equipamentos de medida (*Ifocus vs Camtek*). De referir que estes equipamentos de medida não classificam o defeito, apenas identificam se as unidades são diferentes do padrão (unidades *gold*).

A primeira análise deste passo foi o teste de Repetibilidade que serviu para validar a variação resultante da incapacidade de o dispositivo obter repetidamente um mesmo resultado, para tal usou-se o veículo de teste da Figura 45.


 ATTRIBUTE AGREEMENT ANALYSIS - APPRAISERS	
Veículo de teste	Inspeção de 12 wafers de produto Durian
Objeto do teste	Lote 000FZ730LGH.0000#
Equipamento de teste	Camtek 2 - WLPINS-0002 ; IFOCUS 2 - WLPINS-0007
Critérios de repetibilidade	Três repetições no mesmo equipamento
Critérios de reprodutibilidade	Inspeção feita por 2 equipamentos WLPINS-0002 (Camtek) e WLPINS-0007 (IFOCUS)
Resultados	Valor K de 58% na Camtek e de 91% em IFOCUS

Figura 45 – Veículo de teste.

Todos os dados recolhidos, foram colocados no *software Minitab* para aferir os resultados.

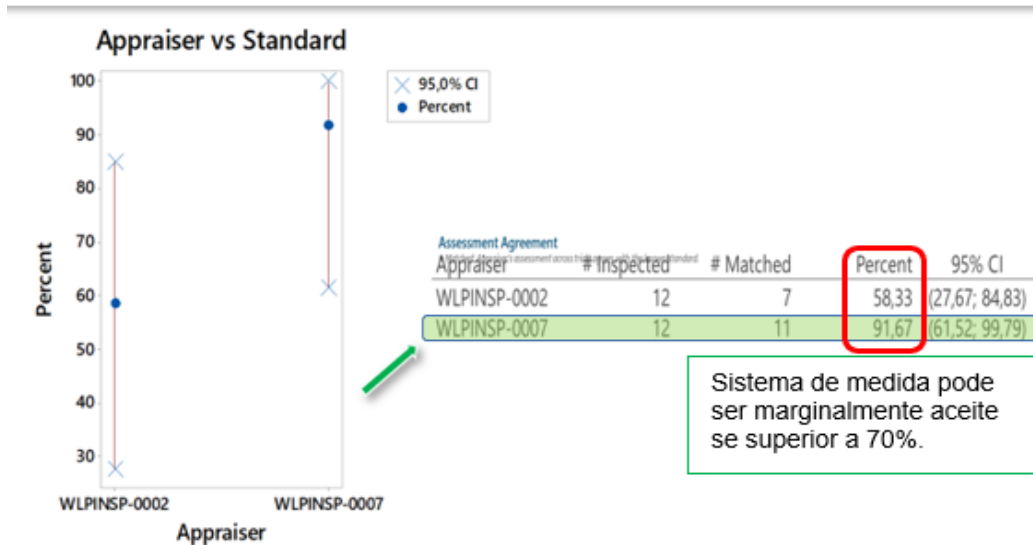


Figura 46 - Resultados de *Ifocus* vs *Camtek* obtidos através do Minitab.

**Resultados do teste:**

Pela análise aos resultados obtidos através do *software Minitab* (Figura 46), foi possível concluir que o equipamento *Camtek* não é capaz de detetar defeitos de *Contaminations* visto que apresenta um resultado de 58.33% (sendo que o mínimo para aceitar o equipamento é de 70%), mas em contrapartida o equipamento *Ifocus* já se revela capaz, pois apresenta um valor de 91.67%.

Ao nível de equipamento, como a *Camtek* não é capaz, a equipa decidiu apenas usar o equipamento *Ifocus* para efetuar todas as inspeções deste caso em estudo.

Na segunda análise deste passo, a equipa avançou para o teste de **Reprodutibilidade** (validar a capacidade do sistema de medição) envolvendo 4 operadores de diferentes equipas no equipamento *Ifocus*. O veículo de teste foi o da Figura 47.

ATTRIBUTE AGREEMENT ANALYSIS - APPRAISERS	
Veículo de teste	Inspeção de 12 wafers de produto Durian
Objeto do teste	Lote 000FZ730LGH.0000#
Equipamento de teste	IFOCUS 2 - WLPINS-0007
Crítérios de repetibilidade	Três repetições com revisão off-line pelo mesmo operador
Crítérios de reprodutibilidade	Inspeção offline feita por quatro operadores de diferentes equipas
Resultados	Valor K de avaliadores de 73%

Figura 47 – Veículo de teste.

Todos os dados recolhidos, foram colocados no *software Minitab* para aferir os resultados.

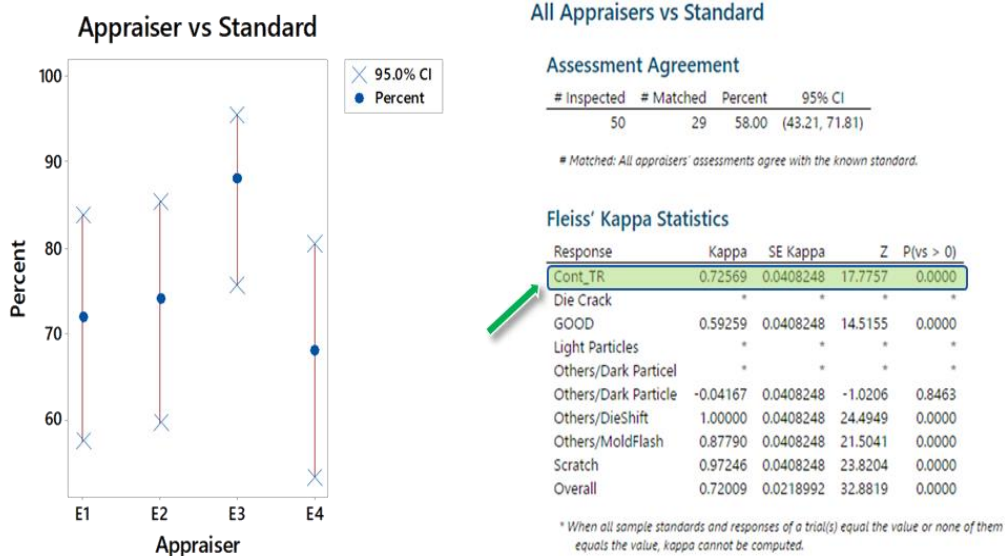


Figura 48 - Resultados de *Ifocus* no Minitab.

### Resultados do teste:

Pela análise dos resultados (Figura 48), foi possível concluir que o facto de serem usados diferentes operadores no sistema de medida contribui para a variabilidade dos resultados. No entanto, sendo o valor de Kappa 72.5% (valor mínimo aceitável 70%), o processo pode ser aceite na condição de marginal. Para diminuir a variabilidade das medidas foi dada uma sessão de esclarecimento em sala com todos os operadores envolvidos sobre a correta classificação dos defeitos.

### 3.2.3 Fase Analisar (Analyze)

A terceira fase do ciclo DMAIC é a fase Analisar, que tem como principal objetivo identificar as causas potenciais do problema. Deste modo, foi necessário a equipa analisar os dados da fase Medir e fazer uma triagem de quais os mais importantes, de modo a aplicar melhorias na fase *Improve*.

A Tabela 6 apresenta todas algumas das etapas da fase Analisar, bem como todas as ferramentas usadas para a análise do caso de estudo.

Tabela 6 - Síntese das etapas da fase Analisar.

<b>Fase Medir</b>	
<i>Etapas</i>	<i>Técnicas e Ferramentas</i>
<i>Identificar as causas potenciais (Root Cause Analysis)</i>	<i>Is / Is Not</i> <i>Diagrama de Ishikawa</i> <i>Faut Tree Analysis</i>

Uma vez conhecido o processo, o passo seguinte foi encontrar a(s) causa(s) que originavam este modo de falha. Antes de avançar para o Diagrama de *Ishikawa*, a equipa decidiu fazer várias experiências para validar se existia algum padrão na localização das falhas na *Wafer* de silício com o objetivo de identificar qual a área de processo que mais poderia contribuir para a geração das falhas.

A primeira experiência passou por dividir a área da *Wafer* em três zonas (1,2 e 3), para caracterizar o modo de falha (Figura 49). O veículo de teste foram quatro lotes produtivos com doze *Wafers* cada, a serem inspecionados no equipamento *Ifocus*.

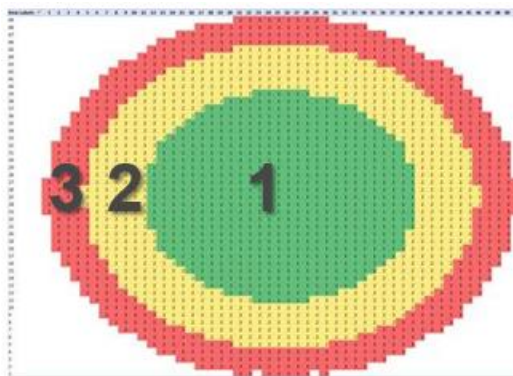


Figura 49 - Divisão da *Wafer* de em três zonas.

Neste caso foi usada a métrica de taxa de rejeição, e foi possível verificar que não havia padrão (Tabela 7), visto que as três zonas apresentam o mesmo nível de taxa de falhas (Zona 1 - 18 Falhas; Zona 2 - 25 Falhas e Zona 3 - 27 Falhas).

Tabela 7 - Taxa de rejeição por áreas

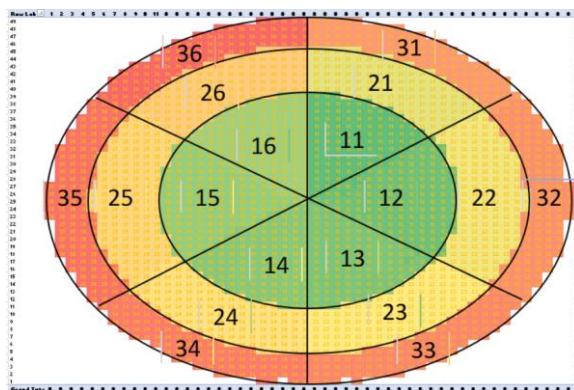
Fails Tape Residues	Column Labels		
Row Labels	1	2	3
000FZ748QGM.0000#	0	0	0
000FZ750QW.0000#	11	14	16
000FZ751QR9.0000#	0	1	1
000FZ751QRF.0000#	7	10	10
<b>Grand Total</b>	<b>18</b>	<b>25</b>	<b>27</b>

A segunda experiência passou por usar a mesma divisão da Figura 49, mas com recurso a uma métrica diferente, a análise por alarmes (Tabela 8) em vez de taxa de rejeição, sendo o veículo de teste o mesmo da experiência anterior.

Tabela 8 - Alarmes por áreas.

Alarm Tape Residues	Column Labels		
Row Labels	1	2	3
000FZ748QGM.0000#	49	52	47
000FZ750QW.0000#	42	43	51
000FZ751QR9.0000#	214	247	239
000FZ751QRF.0000#	15	20	21
<b>Grand Total</b>	<b>320</b>	<b>362</b>	<b>358</b>

Após estas duas experiências (Tabela 7 e Tabela 8), conseguiu-se validar que a divisão da *Wafer* em três áreas não permitia definir um padrão de falhas, pois estas estavam distribuídas de uma forma equitativa por cada uma das regiões em análise. Assim sendo, a equipa decidiu avançar com outro tipo de divisão da *Wafer*, ou seja, dividiu as três zonas anteriores em seis, totalizando assim dezoito zonas (Figura 50) para tentar encontrar um padrão que contribua para uma melhor e mais correta caracterização do problema.

Figura 50 - Divisão da *Wafer* de em dezoito zonas.

Depois da divisão em dezoito zonas, foi usado o mesmo veículo de teste e verificou-se que existia um padrão de falhas (Figura 51). As falhas estavam concentradas na periferia da *Wafer* em duas zonas específicas (Zona 32 e Zona 36).

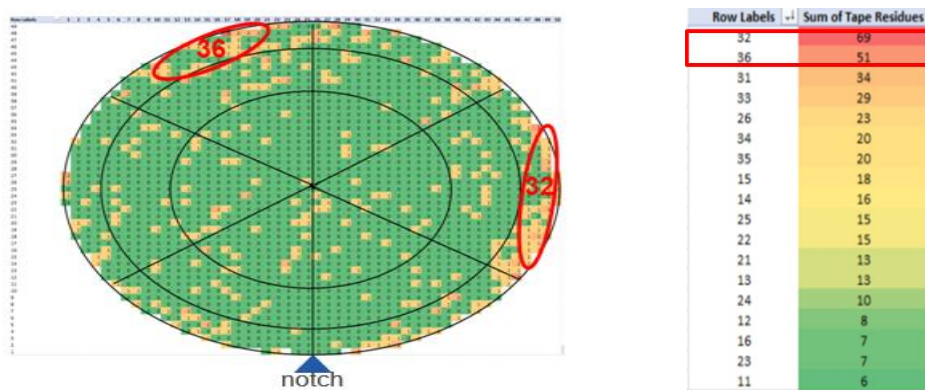


Figura 51 - Pareto com resultados da inspeção à *Wafer*.

Para validar a distribuição das falhas, foi elaborado o Diagrama de Pareto com o nível de falhas destruídas pela *Wafer*.

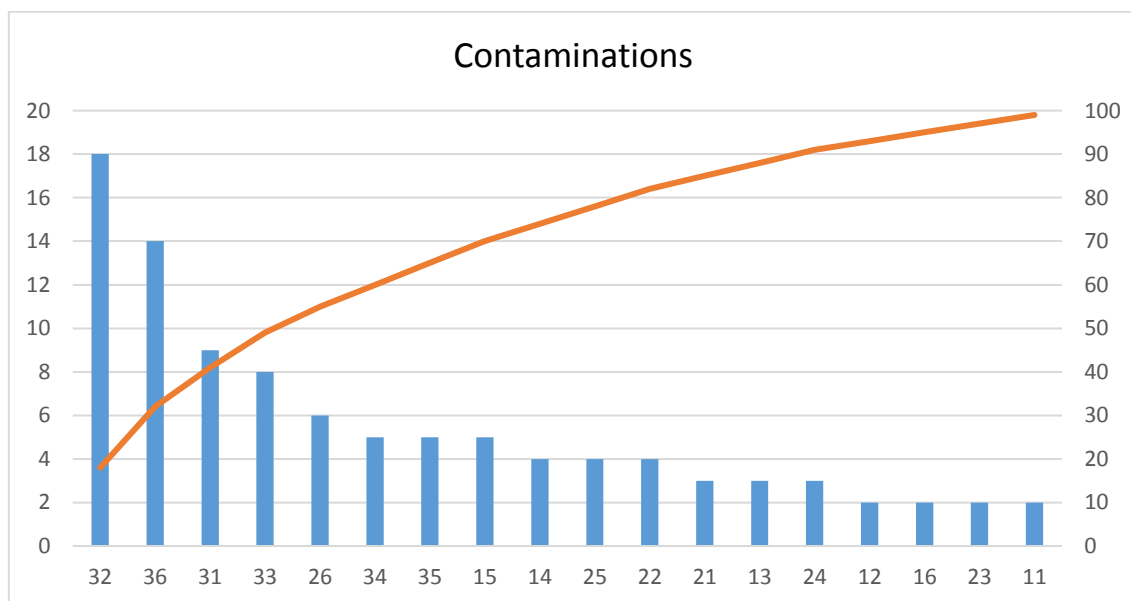


Figura 52 - Pareto com resultados das *Contaminations* por área na *Wafer*.

### Resultados do teste:

Depois desta última subdivisão em dezoito zonas, foi possível verificar que a maior concentração das falhas se situava na periferia da *Wafer* e em duas zonas específicas 32 e 36 (correspondendo às 15h e 23h tendo como referência o *notch* para baixo). Assim sendo, das duas áreas que eram alvo do caso de estudo (*Wafer Prep* e *Recon*), a área de *Wafer Prep* foi excluída da análise, porque o equipamento de *Pick and Place* pega nas unidades da *Wafer* de Si de uma forma sequencial e coloca as mesmas no *mold carrier* de uma forma distribuída por duas zonas, logo se o problema fosse de *Wafer Prep*, as falhas estariam distribuídas e não concentradas (Figura 53).

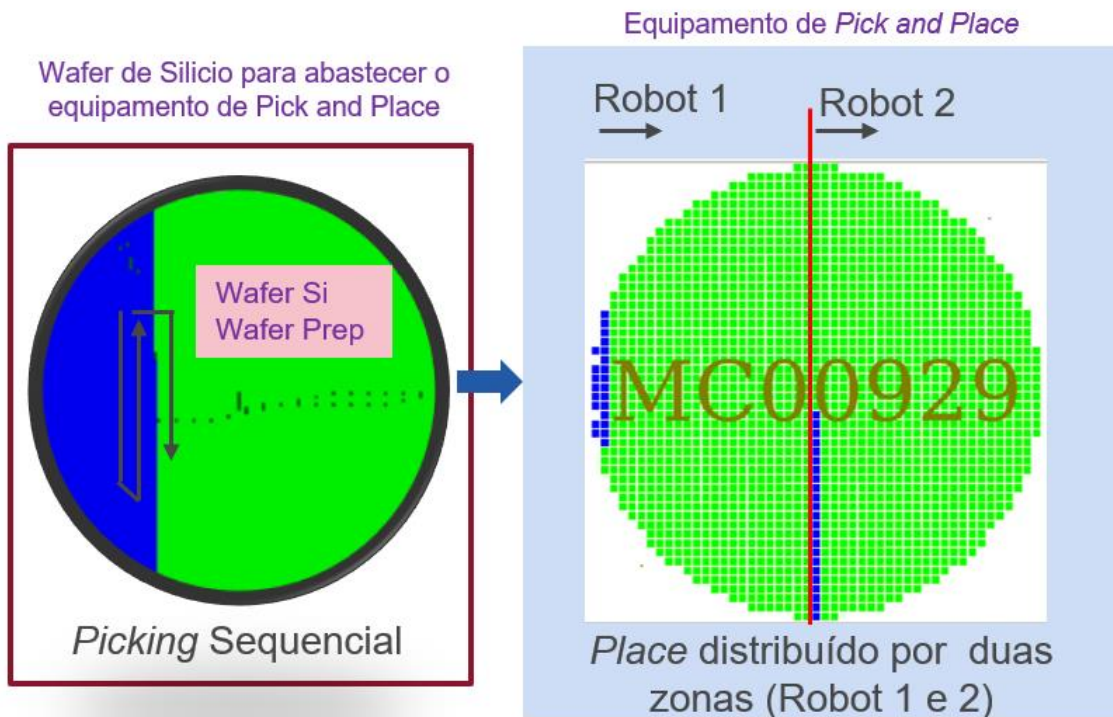


Figura 53 - Sequência de Picking e Place.

Como as falhas estão concentradas em zonas específicas da Wafer (periferia), a partir deste momento a área de estudo passou a ser a área de Recon (Figura 54).

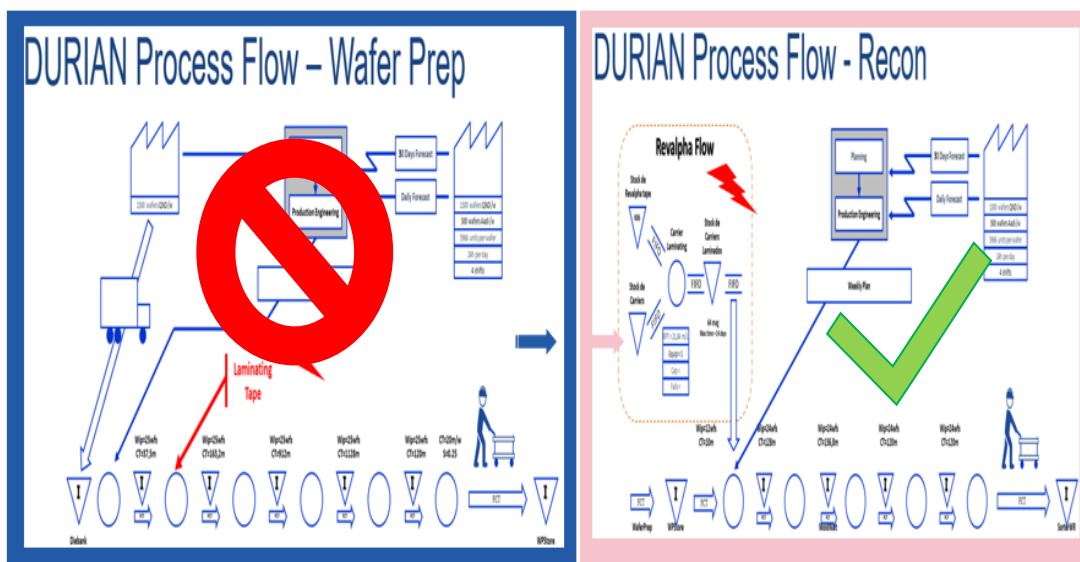


Figura 54 - Áreas de estudo Wafer Prep e Recon.

### 3.2.3.1 Identificar as causas potenciais

Nesta fase do projeto, a equipa reuniu com o objetivo de gerar ideias sobre as potenciais causas contribuidoras para que os defeitos se encontrem concentrados nas zonas 32 e 36, (Figura 51). Cada elemento do grupo, mais a equipa de Engenharia, foi incentivado a contribuir com as suas ideias (*Brainstorming*) mais relevantes para identificar as causas potenciais. Durante esta fase, foi consensual que o problema deveria estar relacionado com operações manuais das *Wafers*, sendo por isso identificada a área de *Debond* (Figura 55) como sendo a potencial contribuidora uma vez que era a única área onde as *Wafers* eram manuseadas pela periferia.

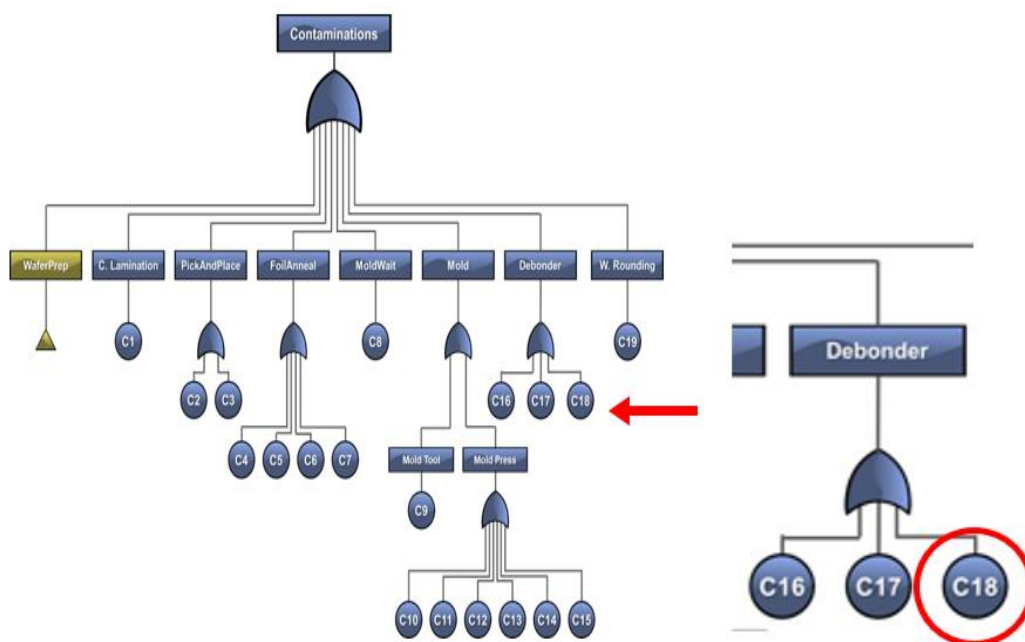


Figura 55 - Área com processo manual pelos operadores.

Depois do *brainstorming*, a equipa recorreu à ferramenta *Is- Is Not* (Anexo 1) para caracterizar e redefinir o problema, ou seja, o problema inicial classificado como contaminações no produto A, foi redefinido como contaminações no produto A, na periferia da *wafers*, concentradas nas zonas 32 e 36, geradas no processo de *Debond*. Depois do uso da ferramenta *Is - Is Not*, o grupo recorreu ao Diagrama de causa-efeito (*Ishikawa*) (Figura 56), registando as diferentes causas nas seguintes categorias: Materiais, Máquina, Processo e Pessoas.

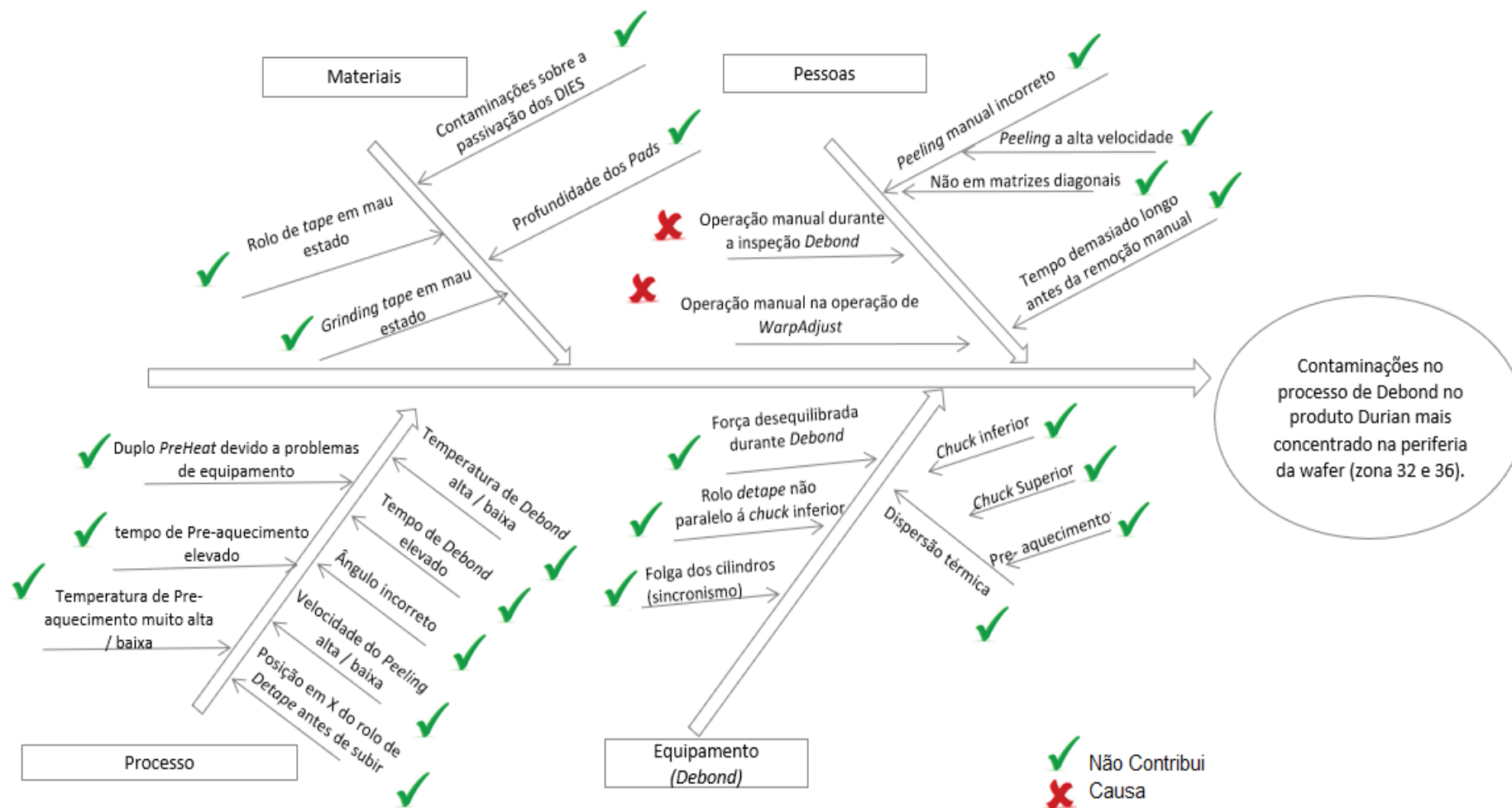


Figura 56 - Diagrama de Ishikawa.

Depois do Diagrama *Ishikawa*, a equipa elaborou a análise de todas as possíveis contribuições e eliminou uma a uma até encontrar as causas raízes do problema. Como pode ser verificado no Anexo 2, o resultado da análise efetuada no RCA (*root cause analysis*) evidencia que as causas que mais contribuíam para as contaminações nas zonas 32 e 36 são:

- a) Operações manuais das *Wafers* durante a inspeção no processo de *Debond* (Figura 57).
- b) Operações manuais das *Wafers* no processo de *Warpadjust*.

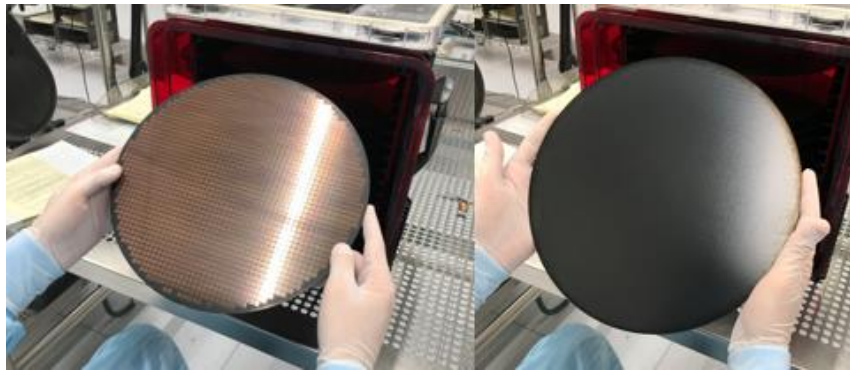


Figura 57 - Resultado das falhas após operações manuais.

De forma a caracterizar o elemento contaminante presente nestas zonas, foram enviadas amostras (representadas na Figura 58) para análise externa (Laboratório da *Nitto* no Japão) de forma a identificar a origem da contaminação, das quais resultaram as conclusões apresentadas na Figura 59.

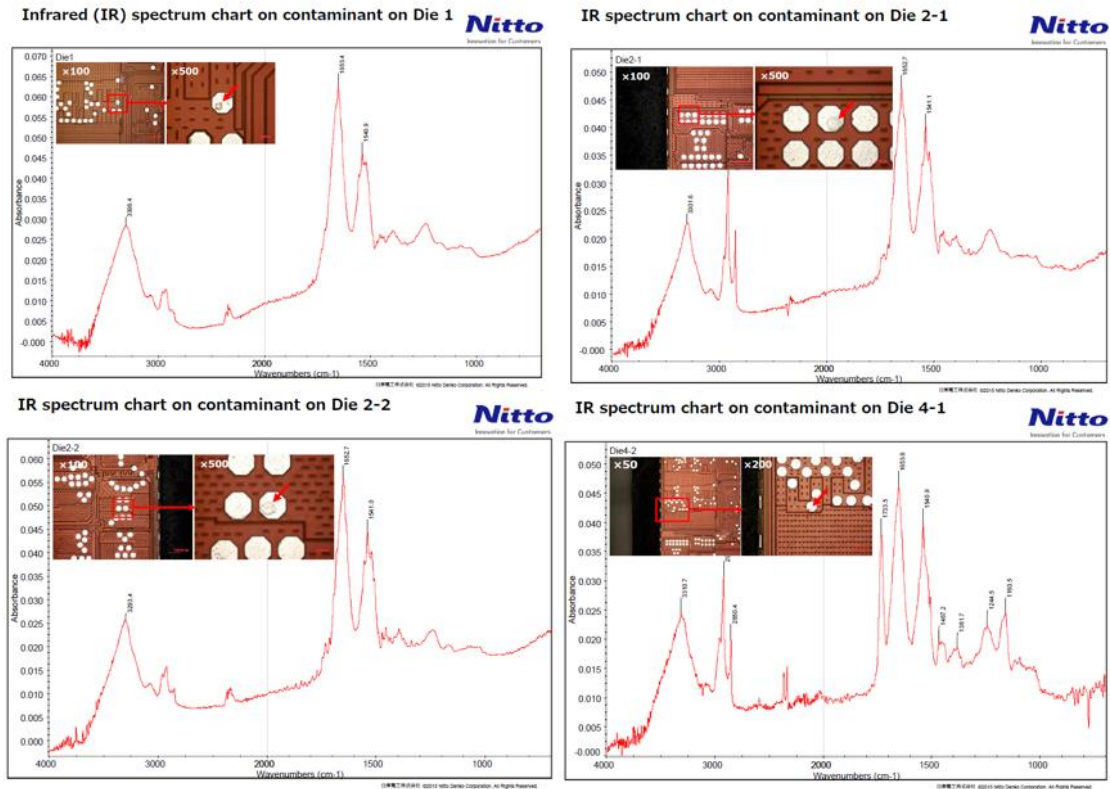


Figura 58 - Resultado das falhas após análise laboratorial na Nitto Japão.

De acordo com estes resultados, observou-se que todas as unidades analisadas, apresentavam o mesmo tipo de contaminação, caracterizadas como sendo de origem biológica nomeadamente pele humana.

### Findings



Test Piece	Shape	Identified chemical compound	Remarks
Die 1	Flake	• Polyamide compound	Likely biological origin; e.g. human skin tissue, etc.
Die 2-1	Flake	• Polyamide compound • Hydrocarbon	Likely biological origin; e.g. human skin tissue, etc.
Die 2-2	Flake	• Polyamide compound	Likely biological origin; e.g. human skin tissue, etc.
Die 3	Flake	• Polyamide compound	Likely biological origin; e.g. human skin tissue, etc.

Figura 59 - Resultado das falhas após análise laboratorial da Nitto Japão.

Assim sendo, ficou validado que a maioria das contaminações da zona 32 e 36 eram maioritariamente de origem humana. Também ficou claro para a equipa que existiam erros na classificação das falhas por parte dos operadores, estando a ser consideradas como *Tape Residues* falhas que na realidade são *Contaminations*.

### 3.2.4 Fase Melhorar (Improve)

A penúltima fase do ciclo DMAIC é a fase Melhorar, que tem como principal objetivo identificar propostas de melhoria para solucionar o problema. Após a implementação das ações de melhoria, é esperado a redução ou mesmo eliminação do problema.

Na Tabela 9 são apresentadas algumas das etapas da fase Melhorar bem como todas as ferramentas usadas para a análise do caso de estudo.

Tabela 9 - Síntese das etapas da fase Melhorar.

<b>Fase Melhorar</b>	
<i>Etapas</i>	Técnicas e Ferramentas
Identificar e selecionar as soluções ideais	<i>Brainstorming</i> Desenho de Experiências
Implementar as soluções	Implementação definitiva das soluções testadas

Uma vez que foi identificado que os processos manuais eram a causa principal para a geração de *Contaminations*, foi necessário identificar ações para permitir eliminar todos os processos que necessitavam da intervenção manual por parte das operações.

A implementação das soluções foi dividida de forma estruturada em três etapas, com o objetivo de reduzir o número de falhas devido a má classificação / rejeição de unidades produtivas e eliminar todos os processos com operações manuais.

#### 3.2.4.1 Etapa 1: Alteração do critério de rejeição.

No decorrer desta etapa, foram tidos em conta vários aspetos que poderiam melhorar o critério de rejeição no processo de *AOIRecon*. Para tal, foi criada uma ajuda visual com fotos e tipo de classificação (Figura 60).

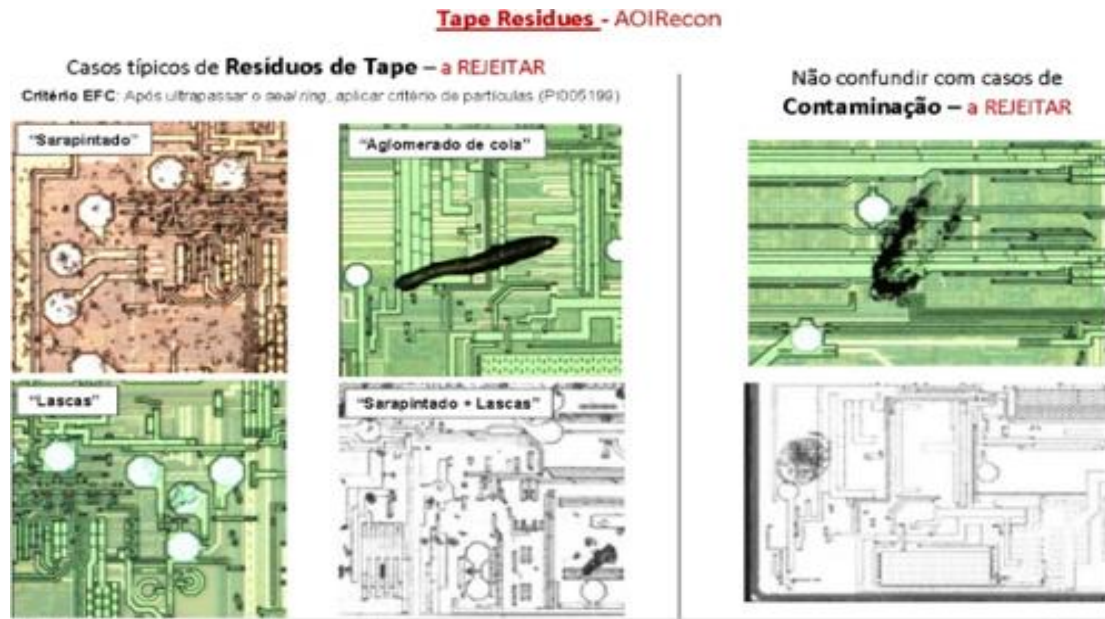


Figura 60 - Ajuda visual (novo critério).

De seguida, foi definido um novo critério de rejeição para só rejeitar as unidades se estas estiverem contaminadas nos Pads de alumínio com partículas de dimensão superior a 200 microm (Figura 61).

**Critérios de rejeição em AOIRecon para contaminações / resíduos de tape**

- Dimensão – rejeitar se > 200 µm
- Localização – rejeitar se visível nos Pads de Alumínio

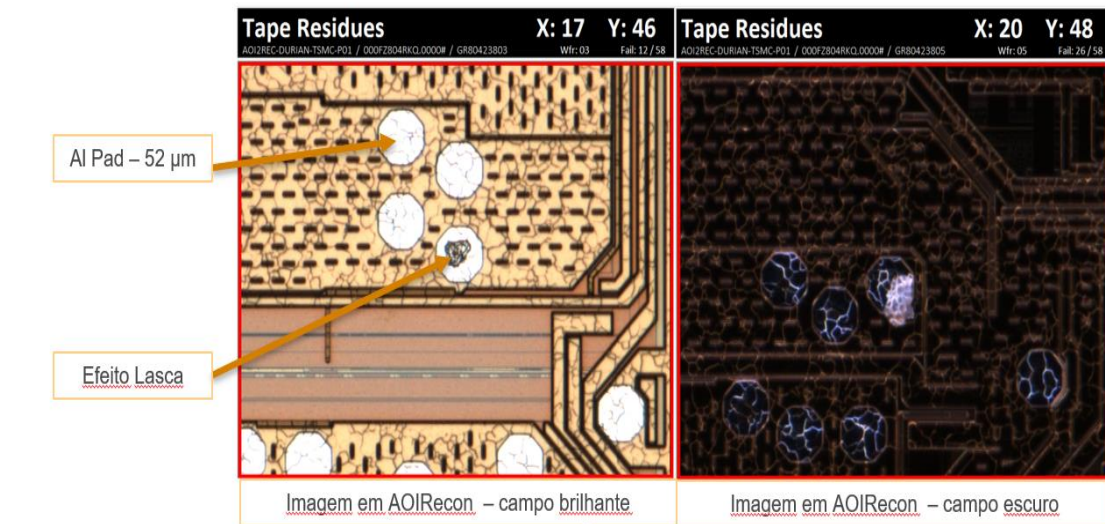


Figura 61 - Ajuda visual para novo critério de rejeição.

**Resultados do teste:**

Depois de alterar o critério de rejeição, foi possível verificar uma redução de 55PPM no número de unidades rejeitadas por *Contaminations* face ao critério anterior (Figura 62).

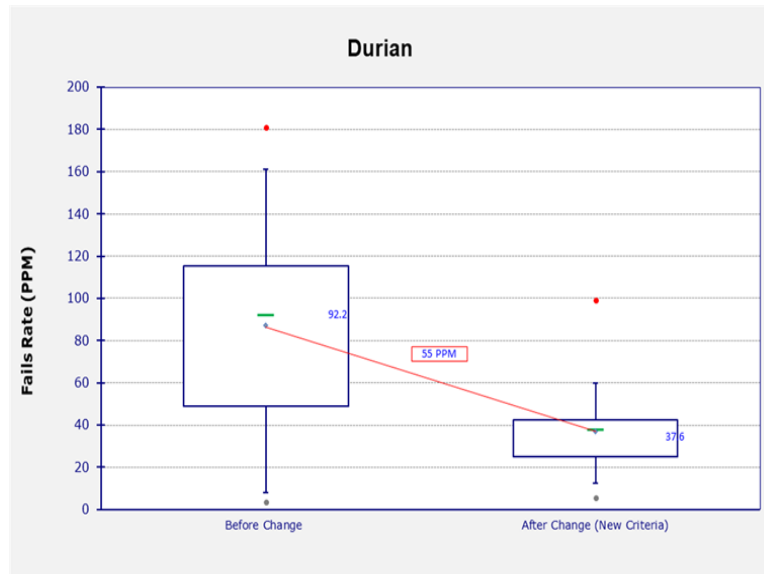


Figura 62 - Resultados após novo critério de rejeição.

3.2.4.2 Etapa 2: Remoção da inspeção no processo de *Debond*.

No decorrer desta etapa, foi realizado uma *Experiment in production* (EIP) com o objetivo de remover a inspeção no processo de *Debond* visto que era um processo com muitas operações manuais devido a limitações do equipamento. Para tal, foi definida uma nova sequência no processo para fazer face ao objetivo de remover inspeção manual (Figura 63).

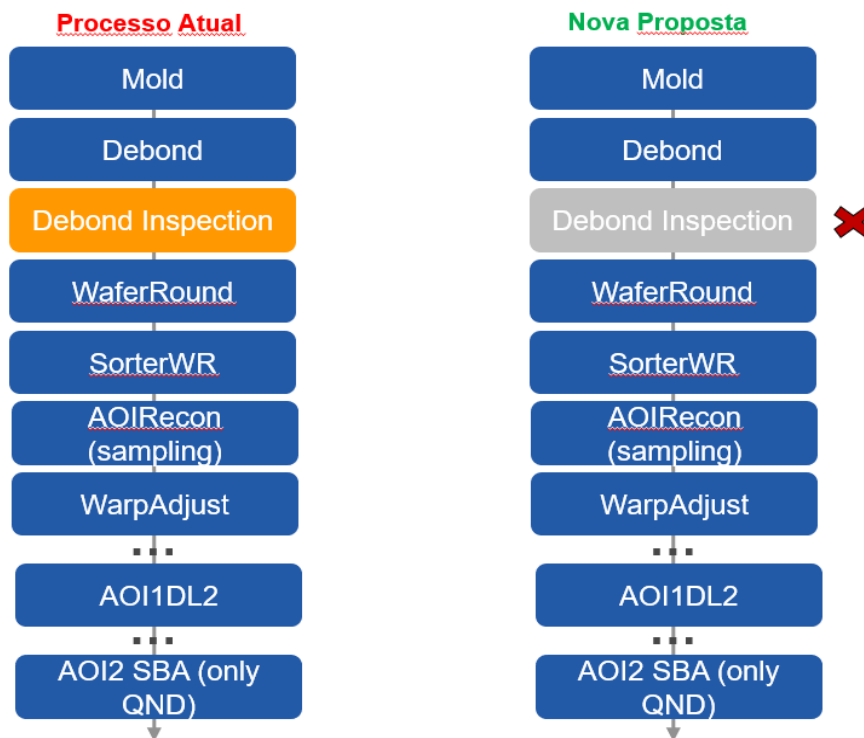


Figura 63 - EIP para remover o processo de inspeção de *Debond*.

Para validar se esta nova proposta era viável, visto que iria ser removida uma inspeção crítica ao processo, foi realizado um desenho de experiência para avaliar o risco associado a esta alteração, especificamente através da avaliação da capacidade de outros processos de inspeção automáticos a jusante, em detetar e rejeitar as unidades com defeitos detetados na inspeção agora a eliminar:

**Veículo de teste:**

<b>Material</b>	<i>A, B, C and D</i>
<b>Fluxo</b>	Produto QND
<b>Motivo da seleção</b>	Produtos de grande volume
<b>Duração</b>	3 semanas de produção

**Entradas/saídas:**

<i>Wafer</i> com falha
Modo de falha
Posição de falha
<i>FH MvOut</i> de <i>AOI2SBA</i> para validar se a falha foi rejeitada.

**Validar detetabilidade:**

Validar a detetabilidade nos processos de inspeção automática (*AOI1DL2* e *AOI2SBA*) para os seguintes defeitos:

Falta de <i>Dies</i>
<i>Dies</i> inclinados
<i>Dies</i> deslocados
<i>Dies</i> lascados

**Avaliação de risco:**

Risco de depressões na parte inferior da *Wafer* com detecção tardia no proceso de *Warpadjust*.

**Ganhos expectáveis com a remoção da inspeção:**

**Tempo de ciclo:**

Redução de 10 min por cada lote de 25 *Wafers*.

**Qualidade:**

Redução do número de unidades rejeitadas por contaminações.

Redução do número de *Wafers* partidas por contato manual.

### Resultados do teste:

Depois de remover a inspeção do step de *Debond*, foi possível verificar uma redução de aproximadamente 300PPM (Figura 64). Foi também assegurado que os processos de inspeção a jusante têm capacidade de detetar os defeitos que iriam deixar de ser detetados e segregados durante a inspeção, agora a eliminar em *Debond*, o que valida ser uma ação sem risco para o cliente final.

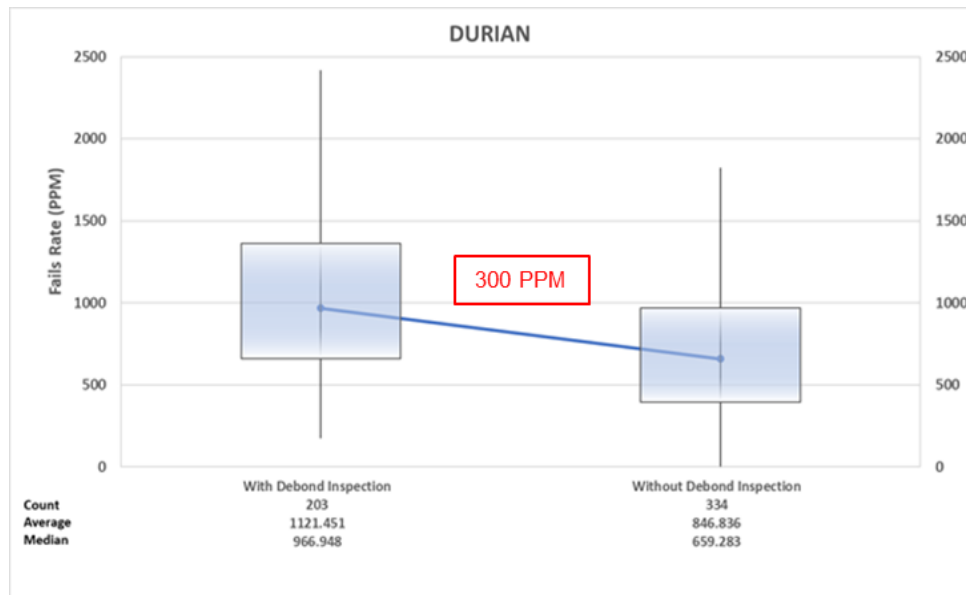


Figura 64 - Resultados da análise com inspeção manual e sem inspeção.

#### 3.2.4.3 Etapa 3: Automatizar o processo de *Warpadjust* em *Debond*

Nesta etapa, a equipa elaborou um novo *Project Charter* com o objetivo de colocar este equipamento e processo em modo automático. Deste modo, foi identificado que um dos processos mais críticos era o processo de *Warpadjust* (correção do empeno das *Wafers*) visto que era 80% dependente de operação manual por parte da operação. Para solucionar o problema, foi necessário fazer um investimento de cerca de 30 mil euros para automatizar este equipamento de modo a que fosse possível eliminar a 100% a intervenção manual dos operadores (Figura 65).

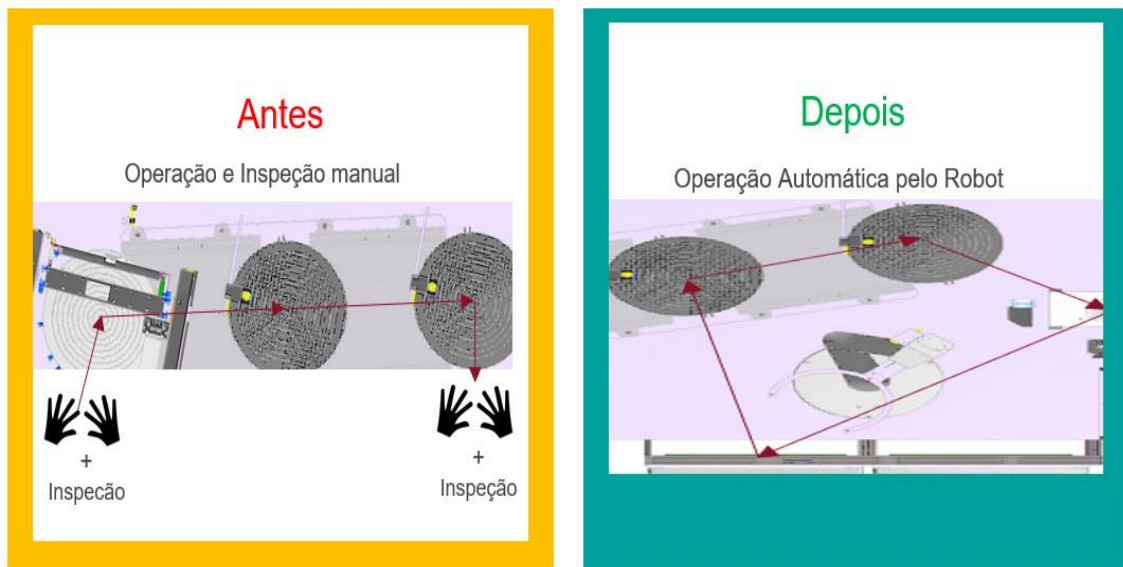


Figura 65 - Alteração da inspeção manual para automática.

### **Resultados do teste:**

Após o *upgrade* do equipamento com a integração de um robô para efetuar o transporte das *Wafers* em modo automático, foi possível verificar uma redução significativa de 3773 PPM (Figura 66), relativamente às falhas dadas por *Contaminations*.

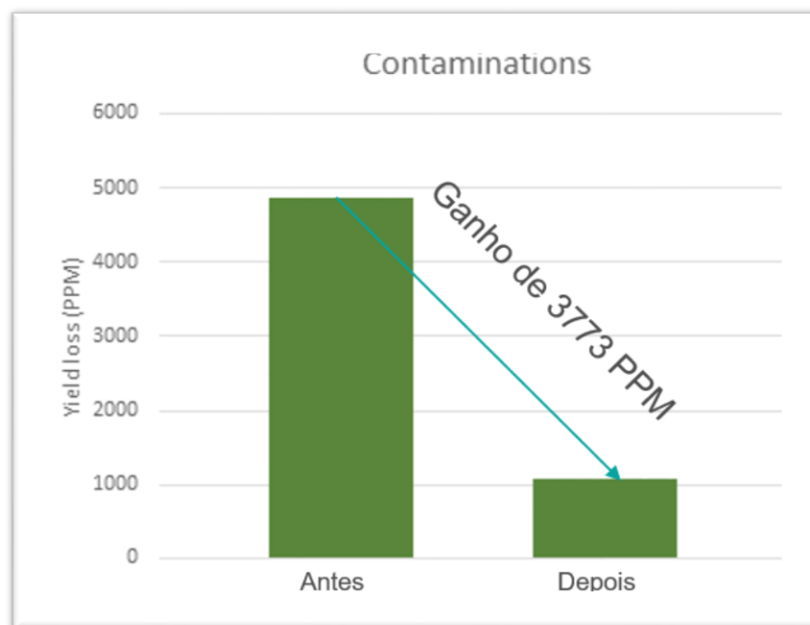


Figura 66 - Resultados após upgrade do equipamento para modo automático.

### **Conclusões relativas ao teste:**

Após a realização desta EIP, foi possível validar que após a etapa 1 (alteração dos critérios de rejeição), o número de unidades rejeitadas diminuiu em 55 PPM (Figura 62), visto que antes desta alteração todas as partículas encontradas na parte ativa dos Dies eram rejeitadas pelos operadores de produção e depois desta alteração só se rejeita unidades com partículas nos Pads com dimensão superior a 200 micron.

Durante a etapa 2 foi possível validar que os processos de inspeção automática (equipamentos *Ifocus*) a jusante têm capacidade de detetar todas as falhas provenientes do processo de *Debond*, ou seja, foi possível retirar esta inspeção sem qualquer risco de irem unidades com defeitos para o cliente final e com ganhos nas perdas de 300 PPM (Figura 64).

Na etapa 3 foi possível efetuar o investimento para a compra de um robot, de modo a alterar o processo de *Warpadjust* de semiautomático para 100% automático no transporte de *Wafers* e foi possível alcançar um ganho significativo nas perdas por contaminação de 3773 PPM (Figura 66).

As ações implementadas nas três etapas de melhoria permitiram alcançar uma redução total de 4128 PPM versus a situação inicial de 5219PPM, o que permitiu atingir um nível final de defeitos de 1091PPM.

### 3.2.5 Fase Controlar (Control)

A última fase do ciclo DMAIC é a fase Controlar, que tem como principal objetivo a monitorização do processo. Para tal, a equipa teve de encontrar as ferramentas mais adequadas para controlar o processo e, após uma fase de maturação, transferir a responsabilidade para a equipa de Engenharia de Produção.

A Tabela 10 apresenta um resumo das etapas da fase Controlar, bem como todas as ferramentas usadas para a análise do caso de estudo.

Tabela 10 - Síntese das etapas da fase Controlar.

<b>Fase Controlar</b>	
<i>Etapas</i>	Técnicas e Ferramentas
<i>Preparar o controlo da solução</i>	Plano de Controlo
<i>Controlar e avaliar a solução Controlo Estatístico</i>	Controlo Estatístico
<i>Verificar benefícios do projeto</i>	Revisões finais

#### 3.2.5.1 Monitorização e Controlo

O sucesso deste caso de estudo vai depender do Controlo do mesmo ao longo do prazo, de modo a que se consiga manter o nível de PPM definido no objetivo inicial do *Project Charter*. Nesta fase do projeto e após a realização de todas as experiências, surge a necessidade de criar ferramentas de controlo para monitorizar a evolução do nível de rejeições por *Contaminations* e *Tape Residues*. Para tal, foi criado um modelo em Excel (Figura 67) para controlo e monitorização deste KPI.

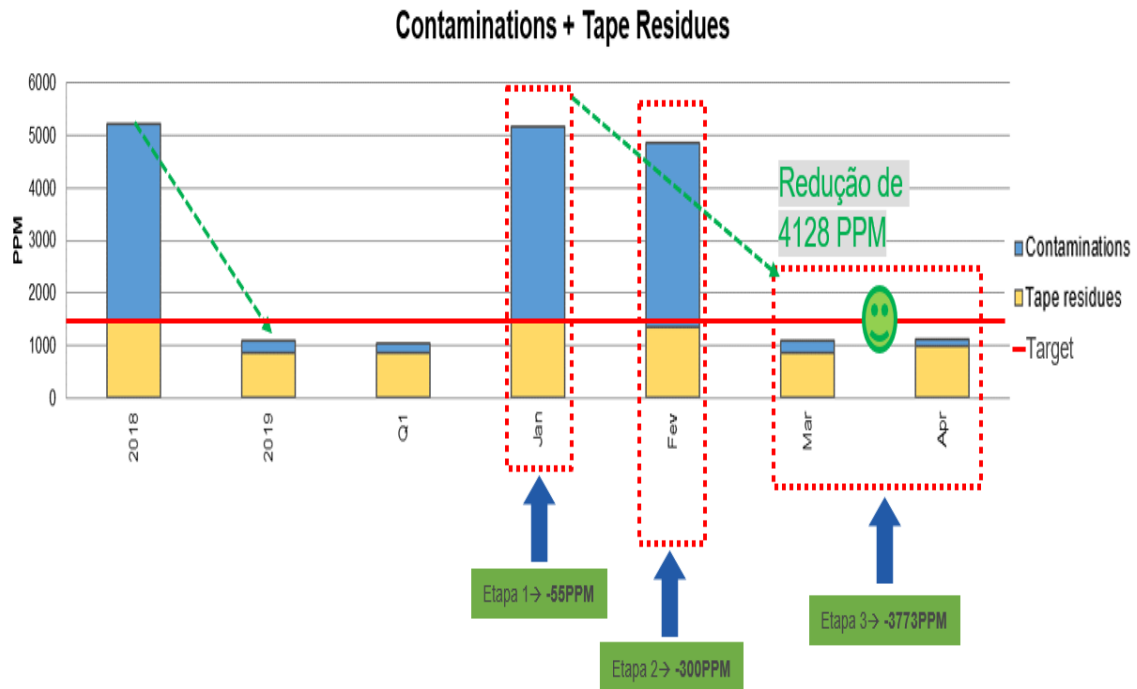


Figura 67 - Nível de falhas por *Contaminations* e *Tape Residues*.

### **Resultados da fase:**

Como podemos verificar na Figura 67, as falhas por *Contaminations* e *Tape Residues* em 2018 representaram 5219PPM, tendo este valor representado a situação considerada inicial deste projeto e a partir do qual se definiram 1500PPM como objetivo a atingir. No mesmo gráfico pode verificar-se a evolução e contribuição de cada uma das ações executadas na redução efetiva das perdas por *Contaminations*. Durante o mês de Janeiro de 2019 foi implementada a alteração do critério de rejeição, o que contribuiu para uma redução de 50PPM; em Fevereiro foi removida a inspeção no processo de *Debond* (processo manual) o que contribuiu para uma redução de 300PPM; por fim nos meses de Março e Abril concluiu-se a automatização de todo o processo no equipamento de *Debond* (anteriormente manual), através da instalação de um robot, o que contribuiu para uma redução de 3773PPM.

Com a implementação destas três ações, foi possível uma redução de total de 4128PPM face ao valor de 2018. Assim sendo, como o valor das perdas no final do projeto foi de cerca de 1091PPM, ultrapassando o objetivo no *Project Charter* de 1500PPM, o projeto foi considerado concluído com sucesso.

### 3.3 Outros trabalhos (Taguchi)

Uma vez que o objetivo do projeto foi alcançado através de ações que endereçaram unicamente as falhas classificadas como *Contaminations*, a equipa considerou que existe uma oportunidade de reduzir as perdas por *Tape Residues*, tendo para isso iniciado a execução de um desenho de experiências (DOE) baseado na metodologia *Taguchi*.

**Objetivo:** Reduzir número de falhas por *Tape Residues* na operação de *Debond*.

**Fatores selecionados:** 4 (A, B,C,D)

**Número de níveis por fator:** 2

**Interações selecionadas:** 1 (AxC)

**Graus de liberdade totais:** 5

**Resposta:** Número de *Tape Residues* por *Wafer*

**Característica de qualidade:** Quanto menor melhor

**Número de repetições por run:**2

Tabela 11 - Seleção de Fatores

FATORES	Unidade de medida	Nível	
		1	2
A- Temperatura da mesa	°C	185	200
B- Angulo de remoção da <i>Tape</i>	Graus	0	45
C- Velocidade de remoção da <i>Tape</i>	mm/sec	30	60
D- Força de remoção da <i>Tape</i>	N	100	300

Tabela 12 – Seleção da Matriz Ortogonal: L8

L8	1	2	3	4	5	6	7
exp n°	A	B	AxB	C	AxC	D	E
1	1	1	1	1	1	1	1
2	1	1	1	2	2	2	2
3	1	2	2	1	1	2	2
4	1	2	2	2	2	1	1
5	2	1	2	1	2	1	2
6	2	1	2	2	1	2	1
7	2	2	1	1	2	2	1
8	2	2	1	2	1	1	2

Tabela 13 - Alocação dos Fatores e Interação a estudar á matriz selecionada

L8	1	2	3	4	5	6	7	Resultado	
exp n°	A Temperatura da mesa	B Angulo de remoção		C Velocidade de remoção	AxC	D Força de remoção		1° wafer	2° wafer
1	185	0		30		100		0	0
2	185	0		60		200		0	0
3	185	45		30		200		0	0
4	185	45		60		100		0	0
5	200	0		30		100		0	0
6	200	0		60		200		0	0
7	200	45		30		200		0	0
8	200	45		60		100		0	0

Devido à restrição temporal para a realização do DOE, ficaram alguns aspetos por desenvolver que seria interessante serem analisados. Nesse sentido, o DOE irá ser finalizado durante os próximos meses.



# CONCLUSÕES

## 4.1 CONCLUSÕES

## 4.2 PROPOSTA DE TRABALHOS FUTUROS



## 4 CONCLUSÕES E PROPOSTAS DE TRABALHOS FUTUROS

Neste capítulo apresenta-se as principais conclusões em relação à realização do projeto, bem como um balanço dos resultados obtidos, quantificando-se os mesmos.

Finalmente, são propostos alguns trabalhos a serem desenvolvidos no futuro, no sentido de aprimorar e melhorar ainda mais o processo.

### 4.1 CONCLUSÕES

A realização deste projeto permitiu validar que a aplicação da metodologia DMAIC tem impacto direto na melhoria dos processos produtivos das organizações. Comprovou-se também que, com a aplicação de várias técnicas e ferramentas, estas influenciam positivamente a qualidade e a estabilidade do processo e ajudam na redução dos custos operacionais. A aplicação desta metodologia permitiu estudar o problema de uma forma estruturada e coerente na definição dos passos a serem seguidos.

O sucesso deste caso de estudo deve-se maioritariamente a uma correta definição do projeto, através da identificação do processo que mais contribuía para as falhas, tendo em conta os requisitos críticos da qualidade (CTQ).

Um dos aspetos mais importantes no início do projeto, foi a elaboração do *Project Charter*, onde foram registados todos os objetivos e metas a atingir de uma forma detalhada.

Depois de definido o problema, foi elaborado o mapeamento dos processos envolvidos (*Wafer Prep* e *Recon*) com recurso ao *Value Stream Mapping* com o objetivo de esclarecer todas as etapas do processo produtivo a todos os membros da equipa. Nesta fase, aplicou-se ainda a análise da árvore de falhas para permitir decompor o problema. Por fim, foi usado o estudo GRR para aferir se os equipamentos de medida versus pessoas eram capazes de satisfazer as necessidades.

Na fase Analisar, a terceira fase do ciclo DMAIC, foi possível caracterizar o modo de falha com a informação recolhida das ferramentas: *Brainstorming*; *Is- Is Not*; *Ishikawa* e *RCA*. Constatou-se que a causa raiz do problema era “*Contaminations* no processo de *Debond* no produto A mais concentrado na periferia da *Wafer* (zona 32 e 36)”. Foi também validado, com recurso a um laboratório no Japão, que as *Contaminations* eram de origem humana.

A penúltima fase do ciclo DMAIC foi a fase Melhorar, e teve como principal objetivo a comunicação das propostas de melhoria para atingir a meta desejada. Neste caso, foram definidas três etapas:

- A primeira etapa foi a alteração dos critérios de inspeção para rejeitar só as unidades que tenham contaminações nos *Pads* de alumínio com dimensão igual ou superior a 200 micron. Com esta alteração foi possível um ganho de 55PPM face ao valor de 2018;
- A segunda etapa teve como principal foco a remoção da inspeção manual no processo de *Debond*, na qual se traduziu num ganho de 300 PPM face ao valor de 2018;
- A terceira etapa teve como principal objetivo a automatização do equipamento para transporte de *Wafers* em modo automático por intermédio de um robot que permitiu um ganho de 3773 PPM.

O conjunto de resultados obtidos com a implementação das melhorias excedeu os objetivos estabelecidos para o projeto, tendo reduzido 4128 PPM com as ações acima descritas. Como o valor Inicial do nível de falhas eram de 5219 PPM e a meta definida no *Project Charter* era de 1500 PPM o projeto foi concluído com sucesso visto que o nível de falhas atingido foi de 1091PPM.

De referir que com estas alterações também foi possível reduzir o tempo de ciclo de dez minutos por lote no processo de *Warpadjust* e por fim com a eliminação das operações manuais das *Wafers* por parte da operação, permitiu reduzir o risco de *Wafers* partidas devido a operações manuais.

Na última fase do ciclo DMAIC, foi identificado que o modelo em Excel (Figura 67) exigia muito tempo e dedicação e, atendendo à criticidade do KPI, foi criada uma nova ferramenta automática (*Web Report* Figura 68), para facilitar o controlo e respetiva monitorização.

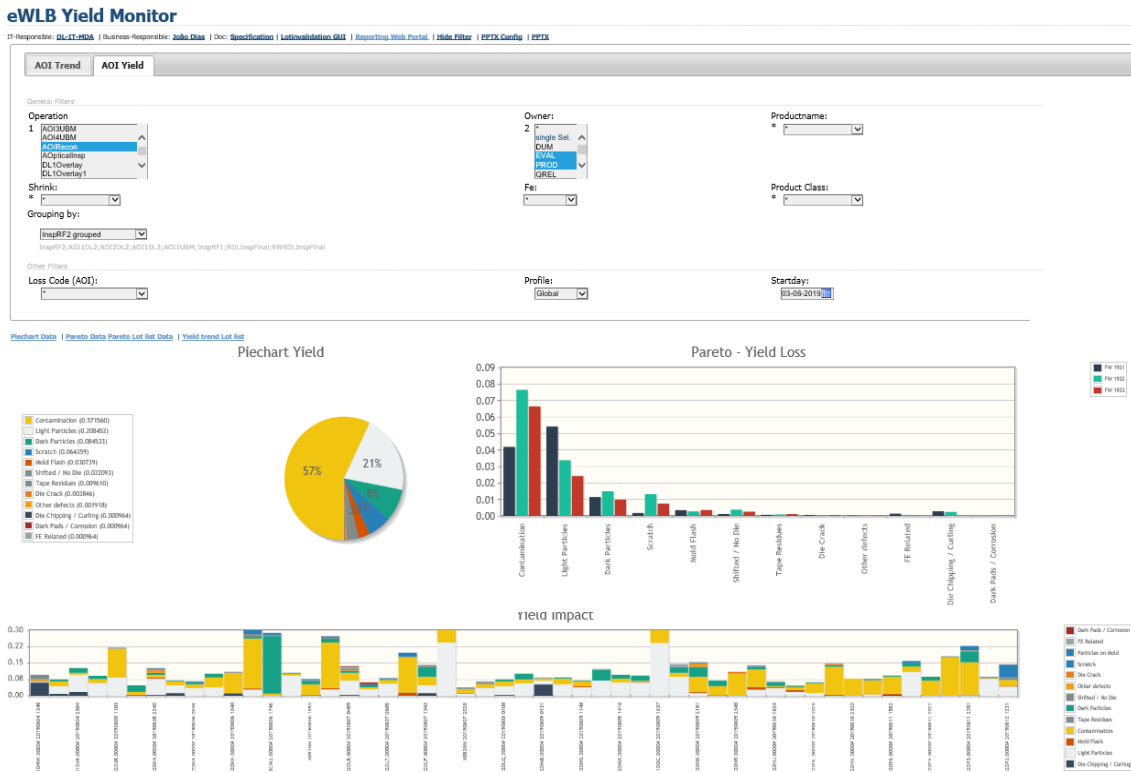


Figura 68 - Nova ferramenta para controlo e monitorização de falhas.

## 4.2 PROPOSTA DE TRABALHOS FUTUROS

Uma vez que o desenho de experiências (DOE) baseado na metodologia Taguchi não foi terminado, após a execução deste conjunto de experiências, o resultado será tratado através do cálculo de Análise de Variância (ANOVA), para determinação da percentagem de contribuição de cada Fator na variação total (identificação dos fatores mais importantes). De seguida serão feitas análises gráficas ou executadas tabelas das médias para determinação dos melhores níveis de cada um dos fatores. Após identificação da melhor combinação de fatores, será estatisticamente calculada a estimativa da média esperada para essa melhor combinação. Esta média situar-se-á num intervalo (+/-X) que dependerá do grau de confiança a definir pela equipa. De seguida será executada uma experiência de validação, usando a melhor combinação de fatores identificada. O resultado da experiência será considerado válido se o resultado obtido na experiência de validação se situar dentro do intervalo de resposta calculado.

Pelos inúmeros benefícios descritos pelo uso do Seis Sigma, é importante prosseguir esta dinâmica na organização para dar continuidade ao trabalho desenvolvido e mitigar as causas potenciais de variação do processo. Para tal, devem-se criar mais equipas de melhoria com formação em Seis Sigma.

É de extrema importância a criação de um mecanismo que agregue toda a informação dos estudos já efetuados na organização, para que, o conhecimento adquirido neste projeto, sirva como base e auxílio nos potenciais trabalhos futuros, e que o mesmo seja divulgado por todos os colaboradores da organização.

Para garantir os zero defeitos nos processos produtivos, devem ser analisados todos os processos manuais efetuados pelas operações, e validar a possibilidade de os eliminar.



**BIBLIOGRAFIA E OUTRAS FONTES  
DE INFORMAÇÃO**



## BIBLIOGRAFIA E OUTRAS FONTES DE INFORMAÇÃO

- Antony, J., & Coronado, R. B. J. M. E. (2001). A strategy for survival. *80*(3), 119-121.
- Banuelas Coronado, R., & Antony, J. J. T. T. m. (2002). Critical success factors for the successful implementation of six sigma projects in organisations. *14*(2), 92-99.
- Barjaktarovic, L., & Jecmenica, D. J. A. T. C.-B. o. E. (2011). Six sigma concept. *4*(4), 103.
- Barone, S., & Franco, E. L. (2012). *Statistical and managerial techniques for Six Sigma methodology: Theory and application*: John Wiley & Sons.
- Bhola, P. (2017). *Project Leadership and Team Building in Global Project Management: Best Practices*: Partridge Publishing India.
- Cardoso, A., Barros, H., & Hantos, G. (2016). *Development and fabrication of a thermally enhanced WLFO demonstrator*. Paper presented at the 2016 6th Electronic System-Integration Technology Conference (ESTC).
- Cardoso, A., Dias, L., Fernandes, E., Martins, A., Janeiro, A., Cardoso, P., & Barros, H. (2017). *Development of novel high density system integration solutions in FOWLP-complex and thin wafer-level SiP and wafer-level 3D packages*. Paper presented at the 2017 IEEE 67th Electronic Components and Technology Conference (ECTC).
- César, F. I. G. *Ferramentas Básicas da Qualidade*: BIBLIOTECA 24 HORAS.
- Chang, S.-I., Yen, D. C., Chou, C.-C., Wu, H.-C., Lee, H.-P. J. T. Q. M., & Excellence, B. (2012). Applying Six Sigma to the management and improvement of production planning procedure's performance. *23*(3-4), 291-308.
- De Mast, J., & Lokkerbol, J. J. I. J. o. P. E. (2012). An analysis of the Six Sigma DMAIC method from the perspective of problem solving. *139*(2), 604-614.
- Feld, W. M. (2000). *Lean manufacturing: tools, techniques, and how to use them*: CRC press.
- FRANZ, L. d. S., & CATEN, C. J. I. d. E. d. P. e. T. (2003). Uma discussão quanto à relação entre os métodos DMAIC e PDCA.
- Gupta, P., & Sri, A. (2012). *Seis Sigma*: Vida Economica Editorial.
- Linderman, K., Schroeder, R. G., Zaheer, S., & Choo, A. S. J. J. o. O. m. (2003). Six Sigma: a goal-theoretic perspective. *21*(2), 193-203.
- McCarty, T., Daniels, L., Bremer, M., Gupta, P., Heisey, J., & Mills, K. (2004). *The Six Sigma Black Belt Handbook*: McGraw-Hill Education.
- McCarty, T., Daniels, L., Bremer, M., Gupta, P., Heisey, J., & Mills, K. (2004). *The Six Sigma Black Belt Handbook, Chapter 10-Lean Teams*: McGraw Hill Professional.
- Pereira, Z., & Requeijo, J. J. F. U. F. E., Lisboa. (2012). *Qualidade: Planeamento e Controlo Estatístico de Processos (Quality: Statistical Process Control and Planning)*.
- Pyzdek, T. J. M.-H., New York. (2003). *The six sigma*.
- Ross, P. J. (1996). *Taguchi Techniques for Quality Engineering: Loss Function, Orthogonal Experiments, Parameter and Tolerance Design*: McGraw-Hill.
- Roy, R. K. (2001). *Design of Experiments Using The Taguchi Approach: 16 Steps to Product and Process Improvement*: Wiley.
- Roy, R. K. (2010). *A Primer on the Taguchi Method, Second Edition*: Society of Manufacturing Engineers.
- Singh, K. B. (2015). *WRAP THE SCRAP WITH DMAIC: Strategic Deployment of Six Sigma in Indian Foundry SMEs*: Anchor Academic Publishing (aap\_verlag).
- Sokovic, M., Pavletic, D., Pipan, K. K. J. J. o. a. i. m., & engineering, m. (2010). Quality improvement methodologies—PDCA cycle, RADAR matrix, DMAIC and DFSS. *43*(1), 476-483.
- Taguchi, G., Elsayed, E. A., & Hsiang, T. C. (1990). *Engenharia da qualidade em sistemas de produção*: McGraw-Hill.

- 
- Tenera, A. M. B. R., & Luís Carneiro, P. J. S. P. F. T. T. I. (2014). A Lean Six Sigma (LSS) project management improvement model. 912-920.
- Wei, C.-C., Sheen, G.-J., Tai, C.-T., & Lee, K.-L. J. S. C. M. A. I. J. (2010). Using Six Sigma to improve replenishment process in a direct selling company. *15*(1), 3-9.
- Werkema, C. (2013). *Métodos PDCA e Demaic e Suas Ferramentas Analíticas* (Vol. 1): Elsevier Brasil.
- Werkema, C. (2016). *Ferramentas Estatísticas Básicas do Lean Seis Sigma Integradas: PDCA e DMAIC*: Elsevier Brasil.

# ANEXOS

ANEXO1 – IS IS-NOT

ANEXO2 – RCA (ROOT CAUSE ANALYSIS)



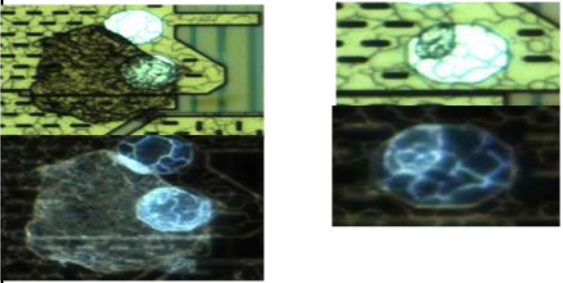

## ANEXOS

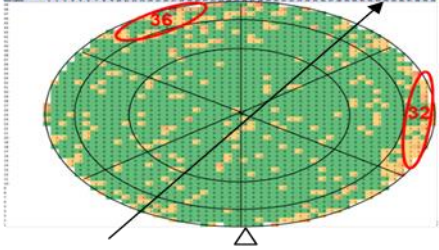
## ANEXO1 – Is Is-Not

# Is - Is - Not

**Problem :** Tape residues and Contaminations on Durian product detected in AOIRecon step



	What the problem <b>IS</b>	What else it might be but <b>IS NOT</b>	Get Information
<b>WHO</b>	Who reported the problem?	Who did not report the problem?	
	Daily PMT meeting ( AOIRecon and AOI1DL1 results)	Metrology operators	
	Who is affected by the problem?	Who is not affected by the problem?	
	QND ( lots inspected in iFocus)	IMC (lots inspected in Camtek)	

<b>WHAT</b>	<b>What products are involved in the problem?</b>	<b>What products could also be involved in the problem?</b>	
	<p>A</p> <p><b>What is (describe) the defect?</b> Tape Residues</p> 	<p>Is not possible to compare the focus images with Camtek images ( low quality and grey images).</p> <p><b>What is not the defect?</b> Contaminations, mold flash</p> 	
			<p>Realizar um GRR para aferir a capacidade dos equipamentos de medida</p>

<b>WHERE</b>	<b>Where does the problem occurred\observed?</b>	<b>Where is it not occurring but could?</b>	Validar o nº de tape residues e contaminações em wafers processadas com luvas latex
	 <p>Random, but higher concentration in the wafer edge and at 23 &amp; 15 o'clock ( Durian)</p>	Lower concentration in wafer center	
	<b>Where was the problem first observed?</b>	<b>Where else might it occur?</b>	
	AOIRecon and AOI1DL1	After Debond	
<b>WHEN</b>	<b>When was the problem first reported\noticed?</b>	<b>When could the problem be noticed but was not?</b>	
	Jan-18	N.A.	
	<b>When was the problem last reported?</b>	<b>When might it reappear?</b>	
	Today	When is used the tape ( only this products are inspected in ifocus)	
<b>WHY</b>	<b>Why is this a problem?</b>	<b>Why is this <i>not</i> a problem?</b>	
	Yield loss and increasement of cycle time in AOI	N.A.	
	<b>Why should this be fixed now?</b>	<b>Why is the problem urgent?</b>	
	Yield loss and increasement of cycle time in AOI	Because happens daily	

<b>HOW</b>	<b>How often is the problem observed (continuous, random, cyclical) How often is it not observed? What could be the trend but</b>		
	Continuous	Random, cyclical	
	<b>How many objects show the defect? How many could have had the problem but weren't? How</b>		
	Variable (between 0 to 12 wafers per lot)	N.A.	
<b>OTHER</b>	<b>How much of the object is affected? How much of the object could be affected but it isn't?</b>		
	The most affected wafer in the last month have 4.7% of yield loss due to tape residues & contaminations	100%	
<b>SCOPE</b>	<b>Can the problem be isolated? Replicated? Has the problem occurred previously?</b>		
	The problem could not be replicated because the mechanism of failure is unknown.		
<b>MISC</b>	<b>Customer: QND Incident D: #REF! Lot #: #REF!</b>		
	<b>What is the start of the pro(cess/duct)?</b>		<b>What is the end of the pro(cess/duct)?</b>
	Failure Rate: 5219 PPM		
<b>PROBLEM DESCRIPTION</b>	<b>Based on answers to the questions above, please describe the problem and/or the opportunity</b>		
	Tape residues & contaminations on product A, more concentrated in the wafer edge zone 32&36		

## ANEXO2 – RCA (Root Cause Analysis)

Análise de árvore de falhas				
Problema ou efeito: Contaminações no processo de Debond no produto Durian, mais concentrado na periferia da wafer (Zona 32 e 36)				
Fatores contribuidores de primeiro nível	2º nível fatores contribuidores	3º nível fatores contribuidores	Validação	Resultados
Man	Peeling manual incorreto	Peeling a alta velocidade	Fazer Peeling manual a alta velocidade	000PZ805RSP.0000# - Wafer 1 Não é a causa raiz
		Não em matrizes diagonais	Fazer Peeling manual na diagonal face a orientação dos Dies	000PZ805RSP.0000# - Wafer 2 Não é a causa raiz
	Peeling manual incorreto		Fazer peeling manual após 1 min de espera	000PZ805RSP.0000# - Wafer 3 Não é a causa raiz
	Operações manuais durante a inspeção debond		Contaminar um dedo (tocando na pele e, em seguida, no Die) e de seguida tocar num Die	No processo de AOIRecon foi observado o mesmo modo da falha É a causa raiz 
	Operações manuais no processo de WarpAdjust (carregar e descarregar)		Contaminar um dedo (tocando na pele e, em seguida, no Die) e de seguida tocar num Die	No processo de AOIRecon foi observado o mesmo modo da falha É a causa raiz 

<b>Machine</b>	Força desequilibrada durante <i>Debond</i>		Perguntar à ERS se precisamos de calibrar o sensor de força. Teste com papel de pressão se a força é equilibrada.	<b>Não é a causa raiz</b>
	Rolo <i>detape</i> não paralelo		Medir a altura do rolo <i>detape</i> nos extremos das guias.	WLPBDB#01 32.07-----32.02 -Cilindro estendido 9.6-----9.3- Cilindro Fletido  WLPBDB#02 32.10-----32.3 -Cilindro estendido 10.20-----9.70- Cilindro Fletido  <b>Não é a causa raiz</b>
	Folga dos cilindros (sincronismo)		Verifique se o movimento do rolo está sincronizado	Observou-se a sequência de peeling e o rolo está em sincronia  <b>Não é a causa raiz</b>
	Dispersão térmica	<i>Bottom chuck</i> <i>Top Chuck</i> <i>PreHeat Chuck</i>	Medir as temperaturas com termopares em 5 pontos e verificar se está dentro de especificação.	Todas as temperaturas estão dentro de especificação.  <b>Não é a causa raiz</b>

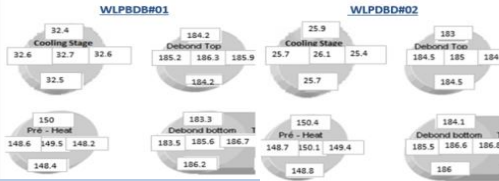
Process	Duplo <i>PreHeat</i> devido à intervenção do técnico		Validar resultados AOI de wafers com processo de pré-aquecimento duplo	Não é a causa raiz
	Tempo de <i>PreHeat</i> demasiado elevado/baixo		Verifique na receita o tempo de pré-aquecimento	Verificado este parâmetro, o tempo de pré-aquecimento era igual ao EPA em ambas as máquinas (40s). Não é a causa raiz
	Temperatura de <i>PreHeat</i> demasiado elevada/baixa		Medir as temperaturas com termopares em 5 pontos e verificar se está dentro de especificação. Medir a temperatura em 5 pontos da <i>Wafer</i> .	 Não é a causa raiz
	Temperatura de <i>Debond</i> muito elevada		Medir as temperaturas com termopares em 5 pontos e verificar se está dentro de especificação. Medir a temperatura em 5 pontos da <i>Wafer</i> .	Não é a causa raiz
	Tempo de <i>Debond</i> muito alto		Verificar na receita o tempo de <i>Debond</i> .	Verificado este parâmetro, o tempo de debond era igual ao EPA em ambas as máquinas (20s). Não é a causa raiz
	Ângulo incorreto		Verificar na receita o ângulo da chuck de <i>Peeling</i>	Verificado este parâmetro, o ângulo era igual ao EPA em ambas as máquinas (-29°). Não é a causa raiz
	Velocidade de <i>Peeling</i> alta / baixa		Verificar na receita o parâmetro de velocidade da <i>Chuck de Peeling</i>	Verificado este parâmetro, a velocidade era igual à EPA em ambas as máquinas (30mm/s). Não é a causa raiz
	Posição em X do Rolo de <i>Detape</i> antes de se mover para cima		Verificar nos parâmetros da máquina a posição do rolo de <i>Detape</i> antes de mover para cima	Verificado este parâmetro da máquina, era igual em ambas as máquinas (50mm). Não é a causa raiz
Materials	Revalpha tape (31952V) em mau estado		Analise o impacto do lote de tape	Não é a causa raiz
	Grinding tape em mau estado		Inspeção de 1 lote antes de colocar a <i>tape</i>	Não é a causa raiz
	Contaminações sobre a passivação do Die		Inspeção de 1 lote antes de colocar a <i>tape</i>	Não é a causa raiz
	Profundidade do pad demasiado elevada		Validar se é possível medir em profilómetro	Não é a causa raiz

Figura 69 - RCA – Root cause analysis.

### ANEXO 3 – Diagrama de Gantt

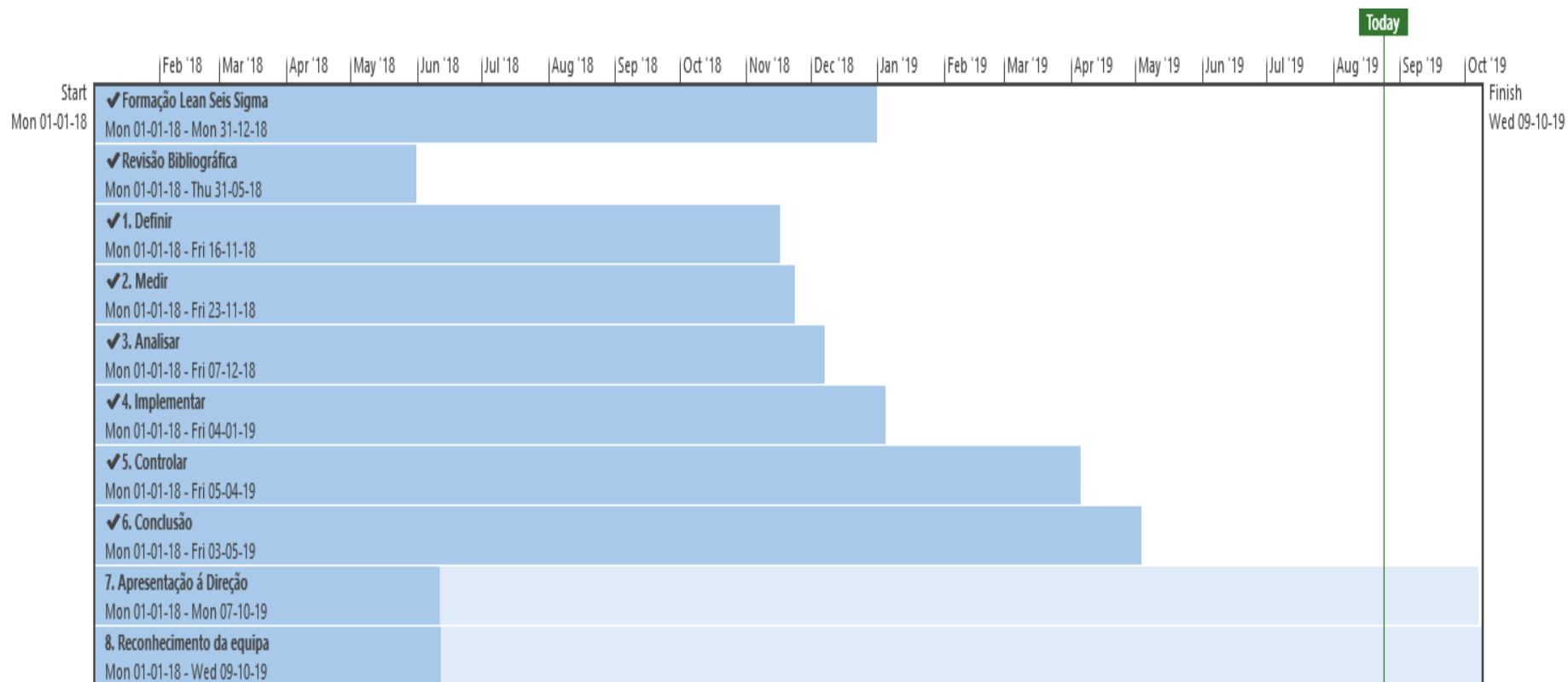


Figura 70 - Diagrama de Gantt