PROJECTO PARA O TESTE E DEPURAÇÃO COM BASE NAS ARQUITECTURAS IEEE 1149.1 E 1149.4

(Comunicação apresentada no âmbito das Jornadas Científicas do ISEP, referente ao trabalho de Doutoramento do primeiro autor)

Gustavo Ribeiro Alves [1,2] e José M. Martins Ferreira [2]
[1] Instituto Superior de Engenharia do Porto
[2] Faculdade de Engenharia da Universidade do Porto

RESUMO

A infraestrutura *Boundary Scan Test* (BST), definida na norma IEEE 1149.1, tem sido tradicionalmente utilizada para o teste estrutural de Cartas de Circuito Impresso (CCI) na fase de produção [1, 2]. O seu aparecimento deveu-se, entre outras razões, à crescente dificuldade das tradicionais tecnologias de teste de CCI (o teste *in-circuit* e o teste funcional) em lidar com os novos tipos de encapsulamento de Circuitos Integrados (CI) e com a sua crescente complexidade. A utilização de CI de montagem superficial veio reduzir o distanciamento entre os pinos e permitir a montagem de componentes em ambos os lados da CCI, dificultando assim o acesso físico requerido pelo teste *in-circuit*. A crescente complexidade veio por sua vez dificultar a propagação de valores no interior da CCI, diminuindo assim a qualidade do teste funcional.

A crescente preocupação dos fabricantes e dos utilizadores com a qualidade em geral e com a redução dos tempos de projecto e dos ciclos de vida, têm vindo a colocar diversas dificuldades à verificação e validação dos sistemas electrónicos. A utilização de ferramentas de depuração baseadas no acesso físico enfrenta porém as mesmas restrições sentidas pelas tradicionais tecnologias de teste. Esta conjugação de factores tem levado à utilização do 1149.1 na depuração de protótipos e na manutenção dos sistemas electrónicos, estendendo assim o seu uso para além do teste de produção [2, 3], conforme se ilustra na figura 1. Os modos de operação definidos na norma não contemplam porém directamente os requisitos levantados por estas novas áreas de utilização, pelo que as lacunas do 1149.1, em face destes novos requisitos, constituem o assunto principal do trabalho de doutoramento efectuado.

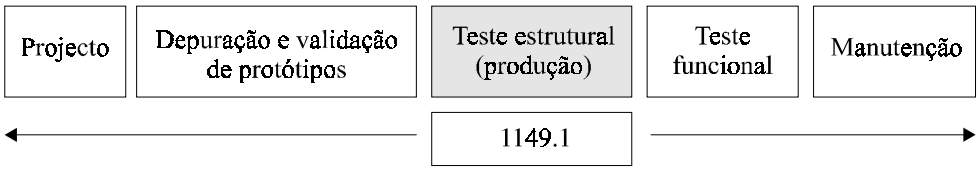

Figura 1: Utilização do 1149.1 nas várias etapas do ciclo de vida de um sistema electrónico.

Apesar de já existirem exemplos de modos de operação opcionais do 1149.1, para implementarem operações de depuração, as soluções actualmente disponíveis dificilmente se podem considerar de carácter geral. A dependência entre as soluções propostas e o tipo de sistema sob depuração dificulta uma utilização generalizada,

visível no aumento das interligações existentes entre a lógica de teste e a lógica funcional [4, 5]. No presente trabalho descreve-se uma solução de projecto para o teste e depuração, baseada na reutilização de infraestruturas de teste compatíveis com as normas IEEE 1149.1 e 1149.4. Os modos de operação básicos e opcionais destas infraestruturas permitem apenas implementar um subconjunto das operações de depuração identificadas no segundo capítulo da dissertação. Esta conclusão decorre da análise da utilização destas infraestruturas para a implementação de um conjunto de operações de depuração, que inclui: operações de controlo, observação e verificação de estados; operações passo-a-passo; operações de pontos de paragem por condição; e operações de análise em tempo real. As principais lacunas situam-se na detecção em tempo real de condições de paragem, na aquisição em tempo real e na detecção de tempos de atraso. Para colmatar estas lacunas, propõe-se um conjunto de novas instruções opcionais (1149.1 e 1149.4), que implicam um conjunto reduzido de alterações na respectiva infraestrutura de teste mínima. O suporte deste conjunto de instruções opcionais justifica a expressão *infraestrutura para o teste e depuração*.

As operações de depuração que não dependem unicamente da infraestrutura proposta são implementadas através de um controlador residente. A arquitectura deste controlador assenta em dois processadores, um para controlar as acções efectuadas através da infraestrutura para o teste e depuração e o outro para controlar as acções da lógica funcional do sistema sob depuração, através do controlo do fornecimento de impulsos de relógio. Esta solução garante o sincronismo entre a lógica de teste e a lógica funcional.

Define-se ainda uma metodologia de utilização da infraestrutura proposta e do controlador, de acordo com o tipo e nível hierárquico do sistema sob depuração, sendo considerados os níveis do CI e da CCI. Em relação ao tipo, consideram-se sistemas baseados em lógica dedicada, sistemas baseados em microprocessadores e sistemas híbridos. A metodologia definida serve de suporte à criação do programa executado pelo controlador, que é gerado automaticamente por uma ferramenta computacional a partir de um conjunto de informação de entrada, que vai sendo disponibilizada à medida que avança o projecto do sistema. A disponibilização do modelo do controlador permite a simulação da implementação das operações de depuração, mesmo quando não existe ainda qualquer tipo de protótipo físico do sistema em desenvolvimento.

REFERÊNCIAS

[1] IEEE Standard Test Access Port and Boundary-Scan Architecture, Oct. 1993, IEEE Std. 1149.1 (Includes IEEE Std. 1149.1a), ISBN 1-55937-350-4.

[2] C. M. Maunder, " Boundary-Scan: An End-of-Term Report," em *IEEE Design & Test of Computers*, pp. 82-85, June 1992.

[3] Richard M. Sedmak, "Boundary-Scan: Beyond Production Test," em *International Test Conference*, pp. 415-420, IEEE Computer Society Press, 1994.

[4] K. Holdbrook, S. Joshid, S. Mitra, J. Petolino, R. Ramon e M. Wong, "microSPARC™: A Case-Study of Scan Based Debug," em *International Test Conference*, pp. 70-75, IEEE Computer Society Press, 1994.

[5] Gustavo R. Alves e José M. M. Ferreira, "From Design-for-Test to Design-for-debug-and-Test: Analysis of Requirements and Limitations for 1149.1," *VLSI Test Symposium*, IEEE Computer Society Press, April 1999.