

# SISTEMA DE TESTE DE TRANSÍSTORES BIPOLARES DE JUNÇÃO E DE EFEITO DE CAMPO

Jorge Paulo Nunes Tavares



Mestrado em Engenharia Electrotécnica e de Computadores

Área de Especialização em Automação e Sistemas

Departamento de Engenharia Electrotécnica

Instituto Superior de Engenharia do Porto

2011



Este relatório satisfaz, parcialmente, os requisitos que constam da Ficha de Disciplina de  
Tese/Dissertação, do 2º ano, do Mestrado em Engenharia Electrotécnica e de  
Computadores

Candidato: Jorge Paulo Nunes Tavares, N° 1920530, 1920530@isep.ipp.pt  
Orientação científica: Prof. António Avelino Amorim Marques, aav@isep.ipp.pt



Mestrado em Engenharia Electrotécnica e de Computadores  
Área de Especialização em Automação e Sistemas  
Departamento de Engenharia Electrotécnica  
Instituto Superior de Engenharia do Porto  
24 de Julho de 2011



À minha esposa Elisabete e às minhas filhas Beatriz e Gabriela

## *Agradecimentos*

Tratando-se de um trabalho cujo desenvolvimento dependeu, para além do meu empenho, do tempo e recursos de diversos intervenientes que directa ou indirectamente contribuíram para o seu sucesso, quero aqui deixar uma nota de agradecimento, sem qualquer ordem específica:

- ao meu orientador, por me ter dado a oportunidade de desenvolver este projecto e pelas sugestões e orientações que levaram ao seu desenvolvimento;
- ao Prof. Rogério Baldaia, da Escola Profissional Perpétuo Socorro, como coordenador do curso Técnico de Electrónica e de Telecomunicações, pela cedência do kit de desenvolvimento da SiLabs que foi parte integrante deste projecto;
- ao meu colega, Prof. Vasco Coelho, pelas sugestões e opiniões;

e finalmente à Elisabete, à Beatriz e à Gabriela pela compreensão e paciência demonstradas, sempre que as minhas “ausências” em vários momentos do desenvolvimento deste projecto as exigiram.

## *Resumo*

O estudo das curvas características de um transistor permite conhecer um conjunto de parâmetros essenciais à sua utilização tanto no domínio da amplificação de sinais como em circuitos de comutação. Deste estudo é possível obter dados em condições que muitas vezes não constam na documentação fornecida pelos fabricantes.

O trabalho que aqui se apresenta consiste no desenvolvimento de um sistema que permite de forma simples, eficiente e económica obter as curvas características de um transistor (bipolar de junção, efeito de campo de junção e efeito de campo de metal-óxido semiconductor), podendo ainda ser utilizado como instrumento pedagógico na introdução ao estudo dos dispositivos semicondutores ou no projecto de amplificadores transistorizados.

O sistema é constituído por uma unidade de condicionamento de sinal, uma unidade de processamento de dados (*hardware*) e por um programa informático que permite o processamento gráfico dos dados obtidos, isto é, traçar as curvas características do transistor. O seu princípio de funcionamento consiste na utilização de um conversor Digital-Analógico (DAC) como fonte de tensão variável, alimentando a base (TBJ) ou a porta (JFET e MOSFET) do dispositivo a testar. Um segundo conversor fornece a variação da tensão  $V_{CE}$  ou  $V_{DS}$  necessária à obtenção de cada uma das curvas. O controlo do processo é garantido por uma unidade de processamento local, baseada num microcontrolador da família 8051, responsável pela leitura dos valores em corrente e em tensão recorrendo a conversores Analógico-Digital (ADC). Depois de processados, os dados são transmitidos através de uma ligação USB para um computador no qual um programa procede à representação gráfica, das curvas características de saída e à determinação de outros parâmetros característicos do dispositivo semiconductor em teste. A utilização de componentes convencionais e a simplicidade construtiva do projecto tornam este sistema económico, de fácil utilização e flexível, pois permite com pequenas alterações a análise de outros dispositivos semicondutores, tais como díodos, tirístores ou triacs.

### ***Palavras-Chave***

TBJ, JFET, MOSFET, curvas características, curvas de dreno, amplificadores, transistor.



## *Abstract*

The transistor curves analysis allows the determination of a set of important parameters in signal amplification and transistor switching circuit development. The curves analysis allows one to obtain data often not included in the manufacturer datasheets.

This project aims the development of a simple, economic yet efficient transistor curve tracing system covering the major transistor types (bipolar junction transistor, junction field-effect transistor and metal oxide semiconductor field-effect transistor). These features make this system a valuable tool for introduction to semiconductor devices or transistor amplifiers circuits teaching classes.

This curve tracer contains a signal-conditioning unit, an 8051 based microcontroller data processing unit and a Windows application for the transistor curve trace. The I/V measurement process is based on the use of two Digital-Analog Converters (DAC) as variable voltage sources for transistor base/gate step biasing and for  $V_{CE}$  or  $V_{DS}$  voltage sweep to obtain the curves data. The processing unit acquires the current and voltage values using an analog-to-digital converter (ADC), and sends the processed data via a USB connection to a running PC application, that traces the I/V characteristics and determines other parameters providing additional information about the status of the device under test. The use of general purpose components and easy construction make this project an inexpensive, flexible and easy to use system, allowing with small changes the I/V characteristics analysis of other semiconductor devices such as diodes, thyristors or triacs.

### ***Keywords***

BJT, JFET, MOSFET, characteristic curves, drain curves, amplifier, transistor.



# Índice

<b>AGRADECIMENTOS</b> .....	<b>II</b>
<b>RESUMO</b> .....	<b>III</b>
<b>ABSTRACT</b> .....	<b>V</b>
<b>ÍNDICE</b> .....	<b>VII</b>
<b>ÍNDICE DE FIGURAS</b> .....	<b>X</b>
<b>ÍNDICE DE TABELAS</b> .....	<b>XIII</b>
<b>ACRÓNIMOS</b> .....	<b>XV</b>
<b>1. INTRODUÇÃO</b> .....	<b>1</b>
1.1. CONSTITUIÇÃO E PRINCÍPIO DE FUNCIONAMENTO DOS TBJ E FET .....	3
1.1.1. <i>O Transístor Bipolar de Junção – TBJ</i> .....	3
1.1.2. <i>O Transístor de Efeito de Campo – FET</i> .....	7
1.2. CLASSIFICAÇÃO DOS SISTEMAS DE TESTE DE TRANSÍSTORES .....	17
1.3. TRAÇADORES ANALÓGICOS SEM ECRÃ INTEGRADO .....	17
1.4. TRAÇADORES ANALÓGICOS COM ECRÃ INTEGRADO.....	18
1.5. TRAÇADORES DIGITAIS COM ECRÃ INTEGRADO.....	19
1.6. TRAÇADORES DIGITAIS PARA PC .....	20
1.7. SISTEMAS NÃO COMERCIAIS.....	21
<b>2. ARQUITECTURA E ESPECIFICAÇÕES</b> .....	<b>25</b>
2.1. ESPECIFICAÇÕES E FUNCIONALIDADES DA UCS .....	27
2.2. ESPECIFICAÇÕES E FUNCIONALIDADES DA UC.....	27
2.3. ESPECIFICAÇÕES E FUNCIONALIDADES DO PROGRAMA PARA PC .....	28
<b>3. HARDWARE</b> .....	<b>29</b>
3.1. UNIDADE DE CONTROLO.....	29
3.2. UNIDADE DE CONDICIONAMENTO DE SINAL .....	34
3.2.1. <i>Tensões de Base/Porta e Colector/Dreno</i> .....	34
3.2.2. <i>Correntes de colector (<math>I_C</math>) e de Dreno (<math>I_D</math>)</i> .....	35
3.2.3. <i>Corrente de Base (<math>I_B</math>) e Tensão Porta-Fonte (<math>V_{GS}</math>)</i> .....	37
3.3. ADAPTADOR USB <-> RS-232 .....	40
3.4. IMAGENS DO HARDWARE.....	40
<b>4. SOFTWARE</b> .....	<b>43</b>
4.1. PROGRAMA DA UC E DA UCS.....	43
4.1.1. <i>Estrutura</i> .....	44

4.1.2.	<i>principal.c</i> .....	44
4.1.3.	<i>Serie.c</i> .....	46
4.1.4.	<i>config.c</i> .....	49
4.1.5.	<i>adc.c</i> .....	51
4.1.6.	<i>switch.c</i> .....	52
4.1.7.	<i>dac.c</i> .....	53
4.1.8.	<i>bjt.c</i> .....	55
4.1.9.	<i>jfet.c</i> .....	58
4.1.10.	<i>mosfet.c</i> .....	58
4.2.	PROGRAMA PARA O PC.....	61
4.2.1.	<i>Modo de operação</i> .....	62
4.2.2.	<i>Configuração das curvas</i> .....	65
4.2.3.	<i>Configuração das escalas dos eixos</i> .....	65
4.2.4.	<i>Configuração do tipo de dispositivo</i> .....	66
4.2.5.	<i>Configuração das grelhas</i> .....	66
4.2.6.	<i>Configuração das cores</i> .....	67
4.2.7.	<i>Importação de curvas</i> .....	67
4.2.8.	<i>Visualização dos dados obtidos - <math>I_C=f(V_{CE})</math> e <math>I_D=f(V_{DS})</math></i> .....	68
4.2.9.	<i>Consola</i> .....	69
4.2.10.	<i>Informações gerais</i> .....	70
4.2.11.	<i>Erros</i> .....	70
4.3.	PROTOCOLO DE COMUNICAÇÃO.....	70
4.4.	PRINCIPAIS CLASSES VB .NET.....	73
<b>5.</b>	<b>ENSAIOS E RESULTADOS</b> .....	<b>75</b>
5.1.	TRANSÍSTORES BIPOLARES DE JUNÇÃO - TBJ.....	76
5.1.1.	<i>2N3866 – NPN</i> .....	77
5.1.2.	<i>2N3019 – NPN</i> .....	78
5.1.3.	<i>2N2222 – NPN</i> .....	78
5.1.4.	<i>BC547B – NPN</i> .....	79
5.1.5.	<i>2N914 – NPN</i> .....	79
5.1.6.	<i>BC107B – NPN</i> .....	80
5.1.7.	<i>2N4031 – PNP</i> .....	80
5.1.8.	<i>BC327 – PNP</i> .....	81
5.1.9.	<i>BC557 – PNP</i> .....	81
5.2.	TRANSÍSTORES DE EFEITO DE CAMPO (JFET).....	82
5.2.1.	<i>BF245 – Canal N</i> .....	83
5.2.2.	<i>2N5460 – Canal P</i> .....	83
5.3.	TRANSÍSTORES FET METAL-ÓXIDO SEMICONDUTOR (MOSFET).....	84
5.3.1.	<i>BS170 – Canal N</i> .....	84
5.3.2.	<i>BS250 – Canal P</i> .....	85
<b>6.</b>	<b>CONCLUSÕES</b> .....	<b>87</b>
6.1.	DESEMPENHO DO SISTEMA.....	87

6.2. CONSIDERAÇÕES SOBRE OS RESULTADOS EXPERIMENTAIS.....	88
6.3. MELHORIAS E OPTIMIZAÇÕES.....	90
<b>REFERÊNCIAS .....</b>	<b>92</b>
<b>BIBLIOGRAFIA .....</b>	<b>93</b>
<b>ANEXO A. CURVAS CARACTERÍSTICAS DO FABRICANTE .....</b>	<b>94</b>
<b>ANEXO B. ESQUEMA DO CIRCUITO .....</b>	<b>98</b>

## Índice de Figuras

Figura 1	– Curvas de saída do BC548 (VISHAY) [1] .....	2
Figura 2	– Característica de saída do JFET BF245 (PHILIPS) [2].....	2
Figura 3	– Estrutura e constituição típica de um TBJ npn .....	3
Figura 4	– Polarização do transistor bipolar na zona ativa .....	5
Figura 5	– Polarização do transistor na zona ativa.....	5
Figura 6	– Configuração do transistor bipolar em emissor comum .....	6
Figura 7	– Curvas de saída do transistor na configuração em EC .....	7
Figura 8	– Constituição de um JFET canal n .....	8
Figura 9	– O JFET canal N polarizado com $V_{GS} \leq 0$ V e $V_{DS}$ pequeno .....	9
Figura 10	– O JFET sem polarização da porta ( $V_{GS}=0$ V) e $V_{DS}$ crescente .....	10
Figura 11	– Curvas de saída de um JFET de canal N .....	11
Figura 12	– Estrutura e constituição do MOSFET de enriquecimento .....	13
Figura 13	– Polarização do E-MOSFET canal N.....	13
Figura 14	– Curvas características de saída do E-MOSFET.....	14
Figura 15	– Influência da variação de $V_{DS}$ na corrente de dreno $I_D$ .....	15
Figura 16	– Estrutura e constituição de um D-MOSFET de canal N.....	15
Figura 17	– Curvas características do D-MOSFET .....	16
Figura 18	– Traçadores para osciloscópio a) EATHKIT IT-1121; b) LEADER LTC-905 .....	17
Figura 19	– Adaptadores para: a) TO-220; b) díodos; c) potência (TO-3, TO-66) .....	18
Figura 20	– Traçadores com CRT: a) CA4810A [3]; b) TEKTRONIX 576 [4].....	18
Figura 21	– Traçado de um 2N2219 num TEK 576 [5].....	19
Figura 22	– Traçadores com display: a) Tektronix 371B [6]; b) Agilent B1505A [7] .....	19
Figura 23	– HAMEG HM6042 [8] .....	20
Figura 24	– STI <i>Curve Tracer</i> - Série 500 [9] .....	20
Figura 25	– STI Série 500: a) Software de configuração; b) Curvas obtidas [9].....	21
Figura 26	– Traçador de curvas utilizando a placa de som de um PC [10].....	21
Figura 27	– Sistema da Elektor: a) <i>Hardware</i> ; b) Software de traçado das curvas [11].....	22
Figura 28	– a) Níveis de corrente de base ( <i>Step</i> ); b) Variação de tensão de colector ( <i>Sweep</i> ).....	25
Figura 29	– Esquema típico para obtenção das curvas características de um TBJ .....	26
Figura 30	– Arquitetura do sistema .....	26
Figura 31	– Kit de desenvolvimento C8051F00x/01x-DK [12] .....	30
Figura 32	– Arquitetura do C8051F000 [13] .....	30
Figura 33	– Arquitetura interna dos conversores D/A [13].....	31
Figura 34	– Arquitetura interna do conversor A/D [13] .....	32

Figura 35	– <i>Layout</i> do kit C8051F005 [14] .....	32
Figura 36	– Esquema de ligações entre a UC, a UCS e o conversor USB – RS232 .....	33
Figura 37	– Diagrama de blocos da adaptação dos níveis de tensão dos conversores.....	34
Figura 38	– Medição da corrente de colectador ( $I_C$ ), ou de dreno ( $I_D$ ) .....	36
Figura 39	– Adaptação dos níveis de tensão na medição de $I_C/I_D$ .....	37
Figura 40	– Medição da corrente $I_C/I_D$ - diagrama de blocos.....	37
Figura 41	– Polarização da base do transistor em teste .....	38
Figura 42	– Medição da tensão porta-fonte ( $V_{GS}$ ).....	38
Figura 43	– Medição da tensão de base ( $V_B$ ) ou de porta ( $V_G$ ).....	39
Figura 44	– Medição de $V_B/V_G$ – Diagrama de blocos .....	39
Figura 45	– Adaptador USB – RS-232: a) módulo; b) integração na UCS .....	40
Figura 46	– Transístores em teste .....	41
Figura 47	– Hardware completo: UCS e UC .....	41
Figura 48	– Estrutura do programa da UC e da UCS .....	44
Figura 49	– Fluxograma da função <i>main()</i> .....	45
Figura 50	– Fluxograma da função <i>inicia()</i> .....	45
Figura 51	– Fluxograma da função <i>temp_ms()</i> .....	46
Figura 52	– Fluxograma da função <i>recebe()</i> .....	47
Figura 53	– Identificação do tipo de mensagem .....	47
Figura 54	– Fluxograma da função <i>info()</i> .....	48
Figura 55	– Fluxograma da função <i>comando()</i> .....	49
Figura 56	– Fluxogramas de configuração: a) geral; b) portas 0, 1 e 3; c) UART .....	50
Figura 57	– Fluxogramas de configuração: a) oscilador externo; b) conversor AD.....	51
Figura 58	– Funções do conversor A/D: a) controlo da conversão; b) vector de interrupção .....	52
Figura 59	– Fluxograma da função <i>confsw()</i> .....	53
Figura 60	– Fluxograma da função <i>incdec()</i> .....	54
Figura 61	– Fluxograma da função <i>confDACs()</i> .....	55
Figura 62	– Fluxogramas das funções: a) <i>calcVceSat()</i> ; b) <i>estadoBJT()</i> ; c) <i>calcBetaDc()</i> .....	56
Figura 63	– Fluxogramas das funções <i>goBJT()</i> e <i>calcRbIbmax()</i> .....	57
Figura 64	– Fluxogramas das funções <i>goJFET()</i> e <i>estadoJFET()</i> .....	59
Figura 65	– Fluxogramas das funções <i>goMOS()</i> e <i>estadoMOS()</i> .....	60
Figura 66	– Janela principal do programa “Curvas V1.2” .....	61
Figura 67	– Configuração da comunicação RS232.....	62
Figura 68	– Atualização do campo ‘Definições’ .....	63
Figura 69	– Estabelecimento da ligação série com a unidade de condicionamento de sinal.....	63
Figura 70	– Barra de estado – a) sistema desligado; b) ligado .....	63
Figura 71	– Painel de definições das curvas .....	65
Figura 72	– Configuração das escalas dos eixos.....	65
Figura 73	– Selecção do tipo de dispositivo a testar.....	66

Figura 74	– Campos de valores em teste.....	66
Figura 75	– Tipos de grelha: a) grelhas 1 e 2 ativas; b) grelha 1; c) grelha 2.....	67
Figura 76	– Configuração das cores dos gráficos .....	67
Figura 77	– Importação de curvas previamente obtidas.....	68
Figura 78	– Tabela de valores obtidos .....	68
Figura 79	– Consola de comandos .....	69
Figura 80	– a) Menu de Ajuda; b) Informação .....	70
Figura 81	– Determinação de $\beta_{DC}$ .....	76
Figura 82	– Determinação de $V_{CE(sat)}$ .....	77
Figura 83	– Curvas obtidas para o transistor 2N3866.....	77
Figura 84	– Curvas obtidas para o transistor 2N3019.....	78
Figura 85	– Curvas obtidas para o transistor 2N2222.....	78
Figura 86	– Curvas obtidas para o transistor BC547B.....	79
Figura 87	– Curvas obtidas para o transistor 2N914.....	79
Figura 88	– Curvas obtidas para o transistor BC107B.....	80
Figura 89	– Curvas obtidas para o transistor 2N4031.....	80
Figura 90	– Curvas obtidas para o transistor BC327 .....	81
Figura 91	– Curvas obtidas para o transistor BC557 .....	81
Figura 92	– Curvas para o transistor BF245 .....	83
Figura 93	– Curvas para o transistor 2N5460 .....	83
Figura 94	– Curvas para o transistor BS170 .....	84
Figura 95	– Curvas para o transistor BS250 .....	85
Figura 96	– Curvas do NMOS BS170 (Fairchild Semi.) [15] .....	88
Figura 97	– Curvas do PMOS BS250 (Vishay) .....	88
Figura 98	– Curvas do JFET Canal N - BF245 (Philips) [2] .....	89
Figura 99	– Erro de linearidade na medição de $V_{CE(sat)}$ : a) BC107B; b) BC557.....	89

## *Índice de Tabelas*

Tabela 1	– Tipos de polarização do TBJ e sua aplicação .....	4
Tabela 2	– Modos de funcionamento do E-MOSFET .....	14
Tabela 3	– Comparativo das características dos dois sistemas .....	22
Tabela 4	– Mapeamento dos pinos da UC .....	33
Tabela 5	– Polaridades das correntes e tensões nos transístores .....	52
Tabela 6	– Comandos informativos .....	71
Tabela 7	– Comandos de execução .....	72
Tabela 8	– Classes do programa “Curvas V1.2” .....	73
Tabela 9	– Transístores testados .....	75



## *Acrónimos*

- BJT – *Bipolar Junction Transistor* – Transístor Bipolar de Junção
- FET – *Field Effect Transistor* – Transístor de Efeito de Campo
- JFET – *Junction Field Effect Transistor* – Transístor de Efeito de Campo de Junção
- MOSFET – *Metal Oxyde Semiconductor Field Effect Transistor* – Transístor FET de semiconductor de óxido metálico (id. IGFET)
- IGFET – *Insulated Gate Field Effect Transistor* – Transístor FET de porta isolada (id. MOSFET)
- DUT – *Device Under Test* – Dispositivo em teste
- UC – Unidade de Controlo
- UCS – Unidade de Condicionamento de Sinal
- CRT – *Cathode Ray Tube* – Tubo de raios catódicos
- LCD – *Liquid Crystal Display* – Ecrã de cristais líquidos
- USB – *Universal Serial Bus* – Barramento série universal (protocolo de comunicação série)
- PC – *Personal Computer* – Computador pessoal



# 1. INTRODUÇÃO

O projecto de circuitos com transístores, sejam amplificadores de áudio, de radiofrequência ou mesmo um simples circuito de comutação, implica o conhecimento das suas características eléctricas. Essas características obtêm-se geralmente a partir dos dados do fabricante, que podem ser fornecidas sob forma de valores fixos, caracterizando um determinado transístor, por intervalos de valores máximos, típicos e/ou mínimos, ou ainda através de gráficos que traduzem o comportamento (eléctrico) do transístor em face das variações de alguns parâmetros, como sejam a temperatura, a frequência ou a corrente de colectador (ou de dreno), entre outros. Um desses gráficos, que actualmente já poucos fabricantes incluem na sua documentação, é o gráfico das curvas de colectador ou curvas características de saída, no caso dos transístores bipolares de junção (TBJ), que relacionam a variação da corrente de colectador com a tensão colectador-emissor ( $V_{CE}$ ), para diferentes correntes de base (figura 1). Estas curvas, no caso do projecto de amplificadores, são particularmente importantes pois permitem situar o ponto de funcionamento do transístor na zona pretendida, dependendo do esquema de polarização escolhido garantindo assim o seu bom funcionamento dentro das especificações pretendidas. No caso dos transístores de efeito de campo (JFET) ou de porta isolada (MOSFET), as curvas que mais interessam são as curvas que relacionam a corrente de dreno ( $I_D$ ) com a tensão dreno-fonte ( $V_{DS}$ ) para diferentes valores de tensão porta-fonte ( $V_{GS}$ ), geralmente designadas por curvas de dreno (figura 2), e que permitem igualmente polarizar correctamente o transístor.

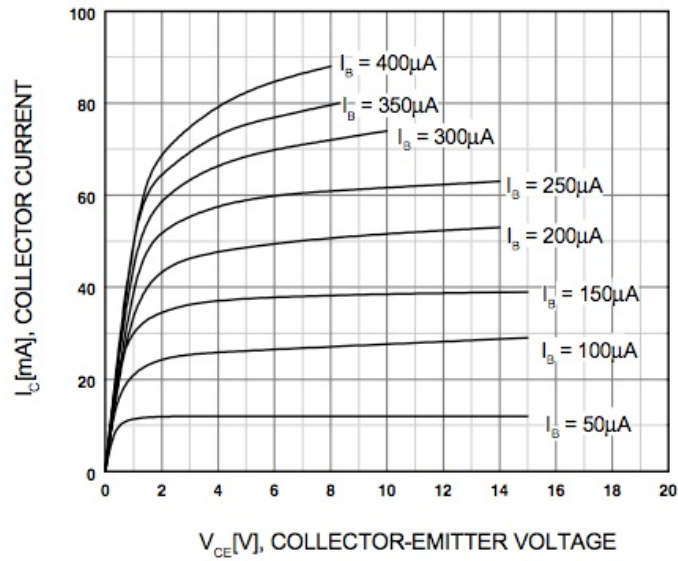


Figura 1 – Curvas de saída do BC548 (VISHAY) [1]

Não tendo acesso a estas curvas de saída através dos dados do fabricante, é possível obtê-las experimentalmente, embora esta solução se apresente morosa, exigindo ainda diverso equipamento suplementar (fontes de alimentação variáveis, voltímetros, amperímetros, ...).

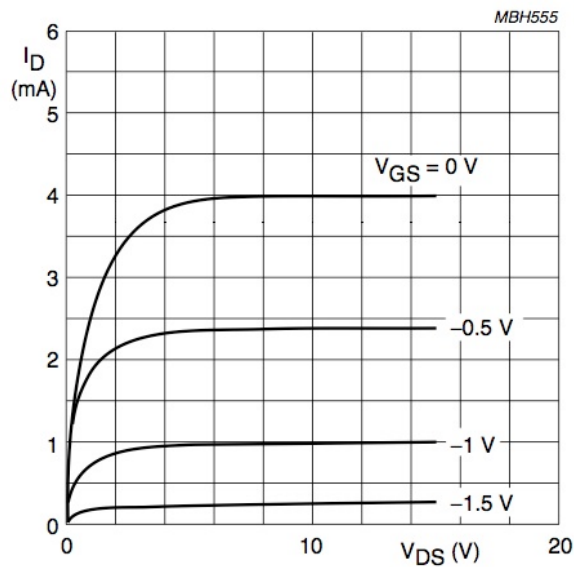


Figura 2 – Característica de saída do JFET BF245 (PHILIPS) [2]

Uma solução mais simples consiste na utilização de instrumentos de medida específicos para o traçado de curvas características ou características de corrente tensão (I/V) de dispositivos

semicondutores. Esta solução embora ideal é a mais dispendiosa, e nem sempre este equipamento está disponível nos laboratórios.

Neste contexto, no presente trabalho, pretendeu-se desenvolver um sistema dedicado ao teste de transístores que permita caracterizar estes dispositivos electrónicos a partir do traçado das suas curvas características de saída. Procurou-se desenvolver um sistema (de teste) económico e de fácil utilização no contexto laboratorial não só com objectivos formativos mas também como ferramenta de trabalho no desenvolvimento e implementação de circuitos baseados em transístores, para aplicações predominantemente no domínio da electrónica analógica para sinais

O sistema desenvolvido permite a caracterização (eléctrica) de transístores bipolares de junção e de transístores de efeito de campo.

## 1.1. CONSTITUIÇÃO E PRINCÍPIO DE FUNCIONAMENTO DOS TBJ E FET

A fim de percebermos melhor o funcionamento deste sistema e a natureza das grandezas medidas, importa fazer uma breve análise sobre o princípio de funcionamento dos diversos tipos de transístores por ele suportado.

### 1.1.1. O TRANSÍSTOR BIPOLAR DE JUNÇÃO – TBJ

Os transístores bipolares de junção, também conhecidos por TBJs (ou do inglês *Bipolar Junction Transistor* - BJT) são componentes (dispositivos) electrónicos obtidos por justaposição em anti-série de duas junções pn, originando num caso um transístor npn e no outro caso um transístor pnp. A designação bipolar resulta da condução eléctrica neste transístor ser assegurada pelo movimento dos dois tipos de portadores de carga eléctrica negativa (electrões) e positiva (lacunas).

A figura 3 ilustra a constituição de um transístor npn e evidencia as duas junções pn, uma designada a junção emissor-base e a outra designada a junção colector-base.

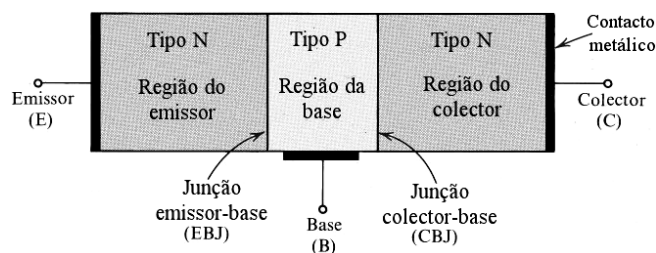


Figura 3 – Estrutura e constituição típica de um TBJ npn

Os vários modos de funcionamento deste transistor, também designados como as zonas de funcionamento ou estados de funcionamento, estão associados às quatro possibilidades que resultam de ser possível polarizar directa ou indirectamente cada uma das duas junção pn que o constituem.

A tabela 1 resume os vários modos de funcionamento bem como a sua aplicação típica.

**Tabela 1 – Tipos de polarização do TBJ e sua aplicação**

Zonas de funcionamento	Junção emissor-base ( $J_{EB}$ )	Junção colector-base ( $J_{CB}$ )	Aplicação típica
Corte	Pol. inversa	Pol. Inversa	Comutação (interruptor aberto)
Saturação	Pol. directa	Pol. directa	Comutação (interruptor fechado)
Activa	Pol. directa	Pol. Inversa	Amplificação
Activa inversa	Pol. inversa	Pol. directa	N/A

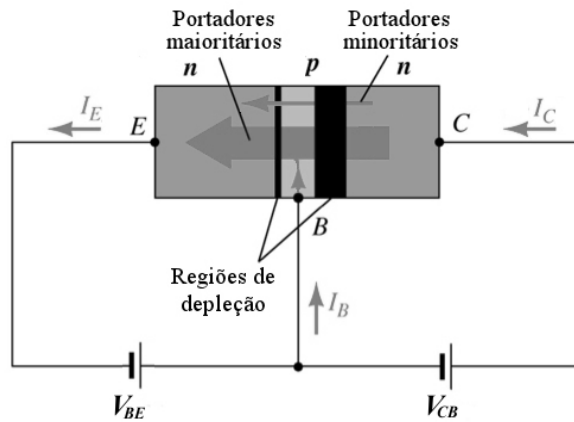
No contexto da electrónica analógica os três primeiros modos apresentados na tabela 1 são os mais relevantes, a saber :

- zona de corte, a que se associa habitualmente o funcionamento do TBJ como um interruptor em aberto (desligado), ocorre quando ambas as junções estão polarizadas inversamente;
- zona de saturação, a que se associa habitualmente o funcionamento do TBJ como um interruptor fechado (ligado), ocorre quando ambas as junções estão polarizadas directamente
- zona activa ou modo activo (directo) ocorre quando a junção de emissor está polarizada directamente e a junção de colector está polarizada inversamente. Este é o estado de funcionamento mais interessante no domínio da amplificação de sinais, visto que a corrente de colector é directamente controlada pela corrente de base, tal como sugere a figura 4.

A amplificação de sinais é uma das mais importantes utilizações e aplicações do TBJ e é por isso que se destaca o seu funcionamento na zona activa.

A figura 4 apresenta um transistor bipolar do tipo NPN polarizado na zona activa, focando as diversas componentes das correntes (sentido convencional), envolvidas no processo de condução. No transistor NPN os portadores maioritários são os electrões, responsáveis pela corrente principal que se estabelece neste tipo de polarização. Na mesma figura é possível ainda

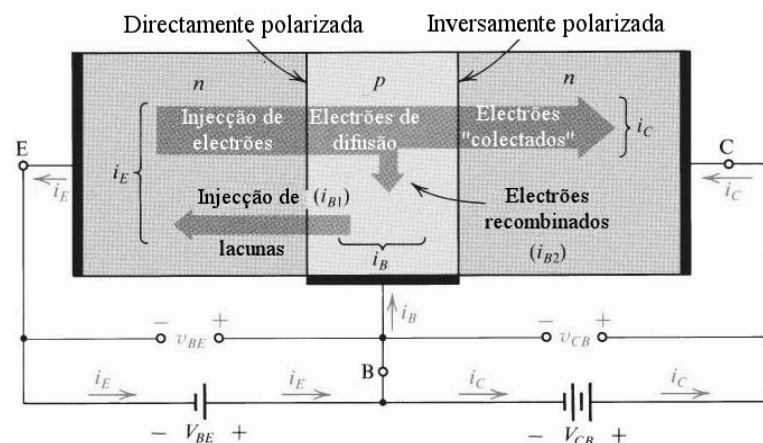
verificar a influência da polarização de cada junção na largura das regiões de depleção. Esta diferença de largura deve-se ainda aos diferentes níveis de dopagem em cada camada, sendo o emissor a camada mais dopada e as camadas da base e do colector as menos dopadas.



**Figura 4 – Polarização do transistor bipolar na zona activa**

Assim, os portadores de carga eléctrica negativa (electrões) injectados pelo emissor na base devido à polarização directa desta junção, passam pela estreita camada da base, chegando ao colector onde são recolhidos devido à polarização inversa da sua junção, estabelecendo assim a corrente principal no transistor (tal como sugere a figura 5).

A base é muito estreita e menos dopada do que o emissor e é por isso que a corrente de base é muito inferior à que se estabelece no colector e no emissor. A corrente (de base) resulta do movimento de lacunas da base para o emissor - em muito menor número do que os electrões que passam do emissor para a base - e da recombinação de alguns dos electrões (vindos do emissor) na base, que por isso não alcançam o colector.



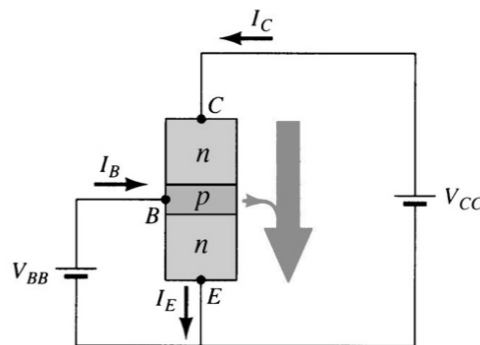
**Figura 5 – Polarização do transistor na zona activa**

O transistor bipolar de junção pode ser montado de três formas distintas, também designadas como configurações do transistor, tendo em atenção os terminais associados à entrada e à saída ou de forma equivalente mencionando qual é o terminal (do transistor) que é comum à entrada e à saída. Assim são possíveis a montagem em:

- Emissor comum (EC) – o emissor é comum à entrada pela base e à saída pelo colector;
- Base comum (BC) – a base é comum à entrada pelo emissor e à saída pelo colector;
- Colector comum (CC) – o colector é comum à entrada pela base e à saída pelo emissor.

Estas configurações ou montagens diferem entre si quando comparadas quanto à resistência (impedância) de entrada e de saída e quanto ao ganho em tensão, em corrente, de transresistência ou de transcondutância.

A montagem em colector tem a particularidade do seu ganho em tensão ser aproximadamente unitário e a montagem em base comum tem a particularidade do seu ganho em corrente ser aproximadamente unitário. A configuração ou montagem em emissor comum, apresentada na figura 6, é a mais usada em amplificação de sinais pois permite simultaneamente, entre outros, ganho em tensão e ganho em corrente .



**Figura 6 – Configuração do transistor bipolar em emissor comum**

Nesta configuração em emissor comum, analisando pelas leis de Kirchoff e tratando o transistor como um nó, verifica-se que:

$$I_C + I_B = I_E$$

O ganho de corrente para grandes sinais ( $\beta$  ou  $h_{FE}$ ) em emissor comum, um dos parâmetros mais importantes do transistor, obtém-se pela relação entre as corrente de entrada (base) e a corrente de saída (colector):

$$\beta = \frac{I_C}{I_B} \Rightarrow I_C = \beta I_B$$

As curvas características de saída  $I_C = f(V_{CE})$  típicas desta montagem estão representadas na figura 7, onde se encontram igualmente representadas as diferentes zonas de operação do transistor.

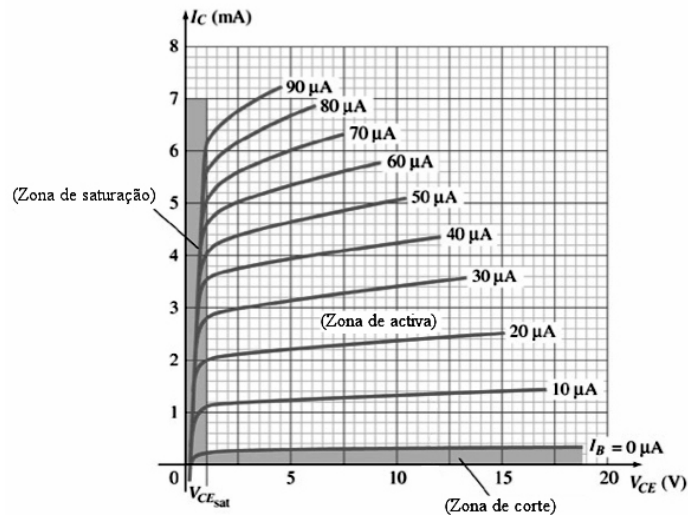


Figura 7 – Curvas de saída do transistor na configuração em EC

A observação do andamento das curvas características de saída na zona activa evidencia que a corrente de colectador aumenta à medida que aumenta a tensão  $V_{CE}$ , contrariando a descrição simplificada de que  $I_C = \beta I_B$ . Este facto deve-se ao fenómeno de modulação da largura da base, ao qual se associa a tensão de Early e a correspondente resistência de saída do transistor. Ao aumento da tensão  $V_{CE}$ , corresponde o aumento da zona de depleção da junção colectador-base e logo à diminuição da largura efectiva da base, onde poderão ocorrer recombinações, o que tem como consequência o aumento da corrente de colectador.

É na configuração em emissor comum que são obtidas as curvas traçadas pelo sistema descrito neste trabalho.

### 1.1.2. O TRANSÍSTOR DE EFEITO DE CAMPO – FET

Os transístores de efeito de campo, são habitualmente referenciados como FETs a partir da sua designação em inglês *Field Effect Transistor*.

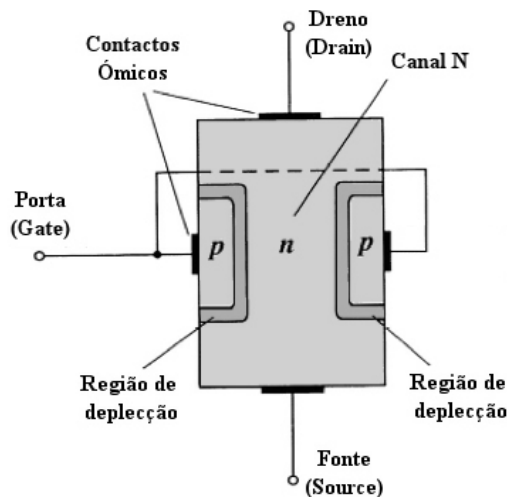
Estes transístores podem ser classificados, em face da sua constituição (e do seu princípio de funcionamento), em dois tipos:

- transístores de efeito de campo de junção ou do inglês JFETs, *Junction Field Effect transistor*;
- transístores de efeito de campo metal-óxido-semicondutor ou do inglês, MOSFETs, *Meta-Oxide-Semiconductor Field Effect transistor*.

Os JFETs são obtidos pela associação de 3 camadas de material semicondutor tal como mostra a figura 8, mas ao contrário do transistor bipolar de junção em que a condução se deve ao movimento dos dois tipos de portadores de carga eléctrica, no caso dos FETs apenas está envolvido

um dos portadores de carga eléctrica e por isso estes dispositivos electrónicos são classificados como unipolares.

Neste transistor, a um cristal semiconductor extrínseco do tipo N (ou P, se for um JFET canal P), são adicionadas duas camadas complementares P, que formam as zonas da porta (*Gate*), como se pode ver na figura 8.



**Figura 8 – Constituição de um JFET canal n**

A camada principal forma o canal por onde se estabelece a corrente principal no transistor e define se se trata de um JFET de canal N ou de um JFET de canal P. Nas extremidades do canal encontram-se o terminal de entrada ou dreno (*Drain*) e o terminal de saída ou fonte (*Source*). Estas designações correspondem no TBJ ao colector e ao emissor respectivamente, considerando o sentido convencional da corrente eléctrica.

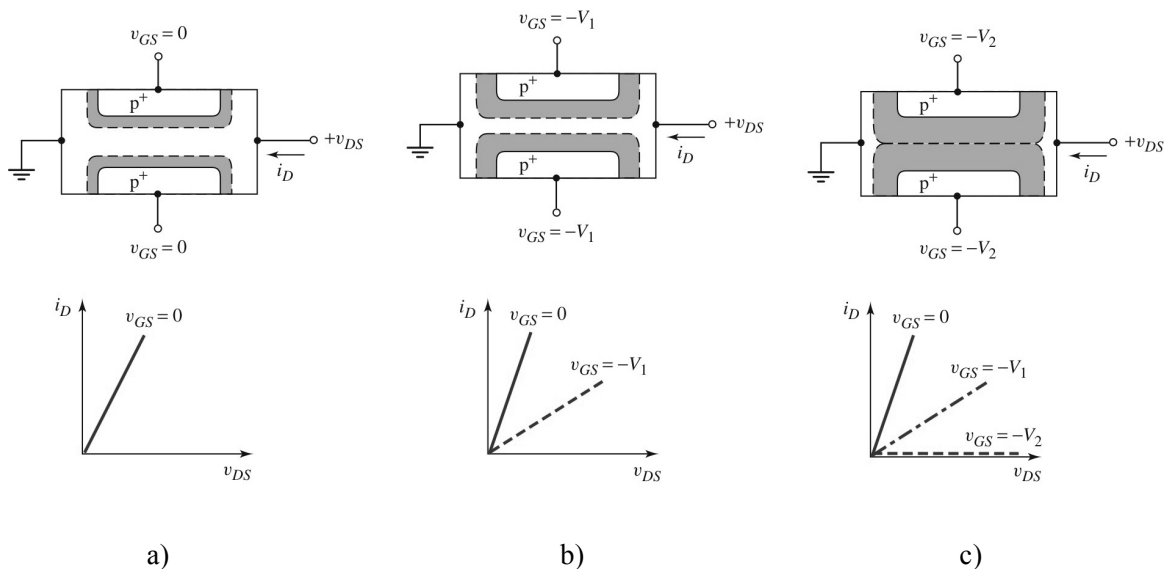
As outras duas camadas do mesmo tipo, estão separadas do canal por uma região de depleção formada no momento da sua associação ao cristal principal (canal). Poder-se-á dizer que, tal como no TBJ, é através da variação destas regiões de depleção que é conseguido o controlo da corrente que flui pelo canal do transistor.

Apesar das semelhanças entre os JFETs e os TBJs quanto à natureza da sua constituição, é da forma como estão dispostas as diversas camadas que resultam as grandes diferenças entre estes dois componentes. Para além de ser um dispositivo unipolar, o controlo da largura das camadas de depleção é conseguido através do campo eléctrico resultante da polarização das camadas laterais, que no caso do JFET toma a designação de porta (*Gate*) e que por analogia corresponde à base do transistor bipolar de junção. Verifica-se assim que, enquanto no TBJ o controlo da corrente que flui entre o colector e o emissor é conseguido actuando sobre a corrente da base e/ou tensão entre a

base e o emissor, no JFET esse controlo é conseguido actuando unicamente sobre a tensão entre a porta e a fonte. Diz-se por isso que os JFETs (e os FETs) são dispositivos controlados por tensão.

O princípio de funcionamento do JFET assenta no controlo da largura (e conseqüentemente da condutividade) do canal entre o dreno e a fonte do transistor, à custa da polarização inversa das junções porta-canal.

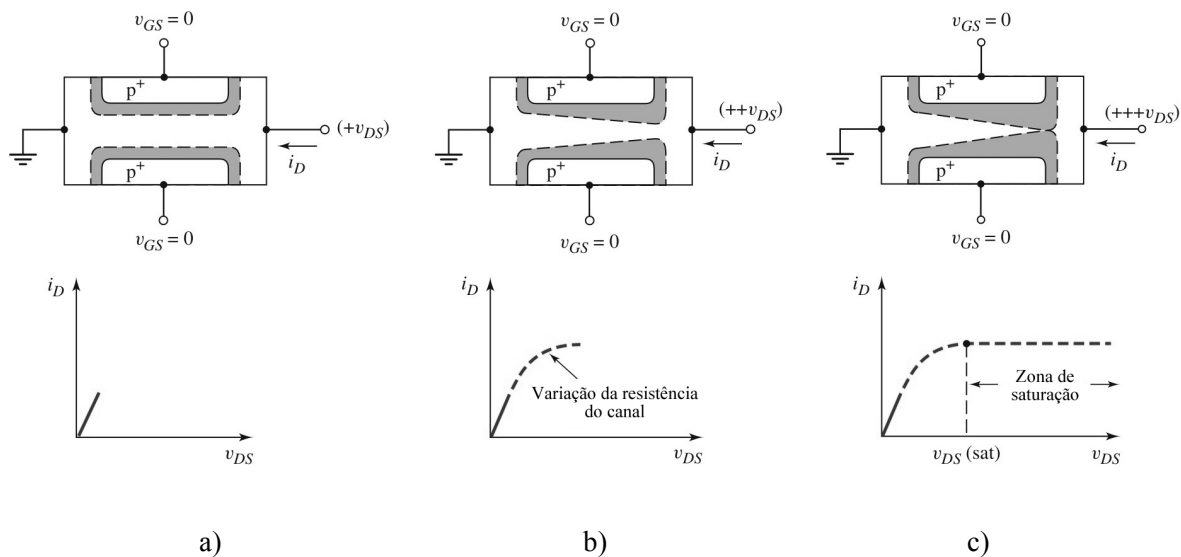
Atendendo à figura 9, em que se considera um JFET canal n e no qual se fixa um pequeno valor da tensão entre o dreno e a fonte ( $V_{DS}$ ), e atendendo em particular à figura 9a) em que se considera nula a tensão entre a porta e a fonte ( $V_{GS}$ ) verifica-se que o canal se apresenta com a sua largura máxima e a corrente  $I_D$  circula através do canal numa relação inversamente proporcional à resistência do canal. À medida que  $V_{GS}$  diminui (a tensão  $V_{GS}$  é mais negativa) ocorre o estreitamento do canal e a conseqüente diminuição da corrente  $I_D$ , tal como sugere a figura 10b). Mantendo a diminuição da tensão aplicada à porta, as regiões de depleção aumentam de tal forma que ocorre o encerramento total do canal, interrompendo assim a circulação da corrente tal como sugere a figura 10c). Esta tensão responsável pelo encerramento do canal designa-se por tensão de estrangulamento, constrição ou tensão de “*pinch-off*” (*pinch-off voltage*), e representa-se geralmente por  $V_P$  ou  $V_{GS(off)}$ . Para um JFET canal n, esta tensão  $V_{GS}$  tem um valor negativo e para um JFET canal p um valor positivo. O valor desta tensão (ou intervalo em que se situa) é uma informação dada pelos fabricantes.



**Figura 9 – O JFET canal N polarizado com  $V_{GS} \leq 0$  V e  $V_{DS}$  pequeno**

Na explicação dada considerou-se  $V_{DS}$  com valores pequenos de tal forma que se podia considerar o canal com uma largura uniforme. Todavia o aumento da tensão  $V_{DS}$  acarreta uma não uniformidade da largura do canal. Sem qualquer tensão aplicada à porta ( $V_{GS}=0$ ) e aplicando uma

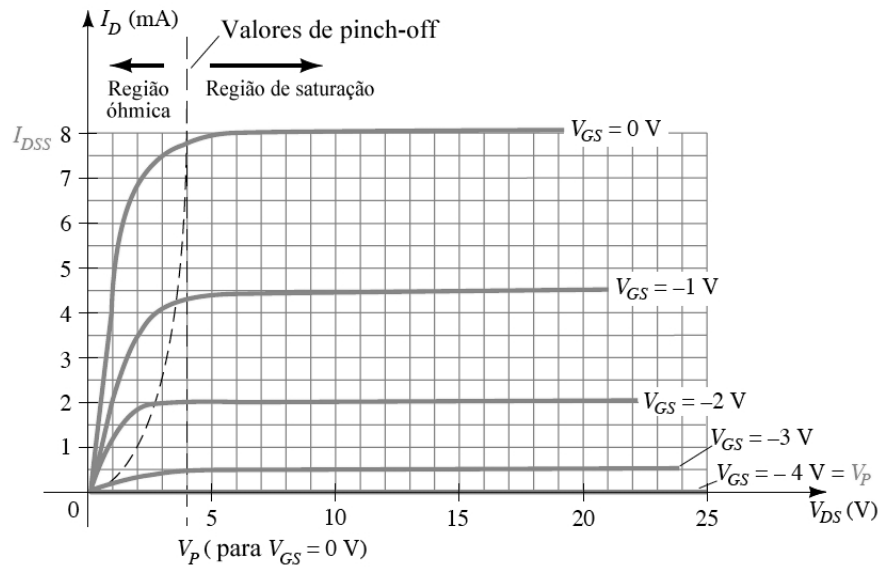
tensão pequena entre o dreno e a fonte ( $V_{DS}$ ), o JFET comporta-se como um condutor através do qual circulará uma corrente  $I_D$  dependente dessa tensão e da resistência intrínseca do canal, tal como sugere a figura 10a). Com o aumento de  $V_{DS}$  ocorre igualmente um maior aumento das regiões de depleção junto ao dreno tornando assim o canal mais estreito junto ao dreno, oferecendo uma oposição ao aumento da corrente no canal ( $I_D$ ) (figura 10b)). A partir de um certo valor de  $V_{DS}$ , designado na figura  $V_{DS(SAT)}$  as zonas de depleção tocam-se junto ao dreno e entra-se numa zona de funcionamento (em que deixa de ser válida a lei de Ohm) de velocidade de deriva dos portadores de carga eléctrica limitada ou saturada, designada por esta razão de zona de saturação (figura 10c)); o valor da corrente  $I_D$  alcançada nesta zona de funcionamento com  $V_{GS} = 0$  é designada corrente de dreno-fonte na saturação,  $I_{DSS}$ , e é o valor máximo da corrente aceite pelo JFET; este valor ou o intervalo em que se situa é uma informação dada pelos fabricantes.



**Figura 10 – O JFET sem polarização da porta ( $V_{GS}=0V$ ) e  $V_{DS}$  crescente**

Neste transístor temos então três modos de funcionamento típicos, dependendo das tensões aplicadas entre a porta e a fonte ( $V_{GS}$ ) e entre o dreno e a fonte ( $V_{DS}$ ), exemplificados na figura 11 para um JFET canal n:

- Zona de corte com  $V_{GS} \leq V_p$  (e  $I_D = 0$ );
- Zona de saturação com  $V_p < V_{GS} \leq 0$  e  $V_{DS} \geq V_{GS} - V_p$ ;
- Zona óhmica, funcionando como uma resistência controlada por tensão, com  $V_p < V_{GS} \leq 0$  e  $V_{DS} < V_{GS} - V_p$



**Figura 11 – Curvas de saída de um JFET de canal N**

Na zona de saturação a corrente que circula pelo canal do transistor ( $I_D$ ) pode ser obtida através da seguinte equação:

$$I_D = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_{GS(off)}}\right)^2 \quad (A)$$

que permite igualmente obter a característica de transferência (ou curva de transcondutância) do JFET.

Na zona ôhmica o JFET é utilizado na zona da sua característica (de saída) em que a variação da corrente no dreno  $I_D$  é aproximadamente proporcional à tensão  $V_{DS}$  (designada por região ôhmica), na qual  $V_{DS} < V_{GS} - V_P$ . Nesta situação o JFET pode ser utilizado como uma resistência variável controlada por tensão (*voltage-controlled resistor*), cujo valor aproximado pode ser obtido através das expressão:

$$R_{DS} \approx \frac{V_P}{2 \cdot I_{DSS} (V_{GS} - V_P)} \quad (\Omega)$$

Ainda neste modo de funcionamento, é possível determinar a corrente que circula no transistor pela expressão:

$$I_D = I_{DSS} \left[ 2 \left(1 - \frac{V_{GS}}{V_P}\right) \cdot \left(\frac{V_{DS}}{-V_P}\right) - \left(\frac{V_{DS}}{-V_P}\right)^2 \right] \quad (A)$$

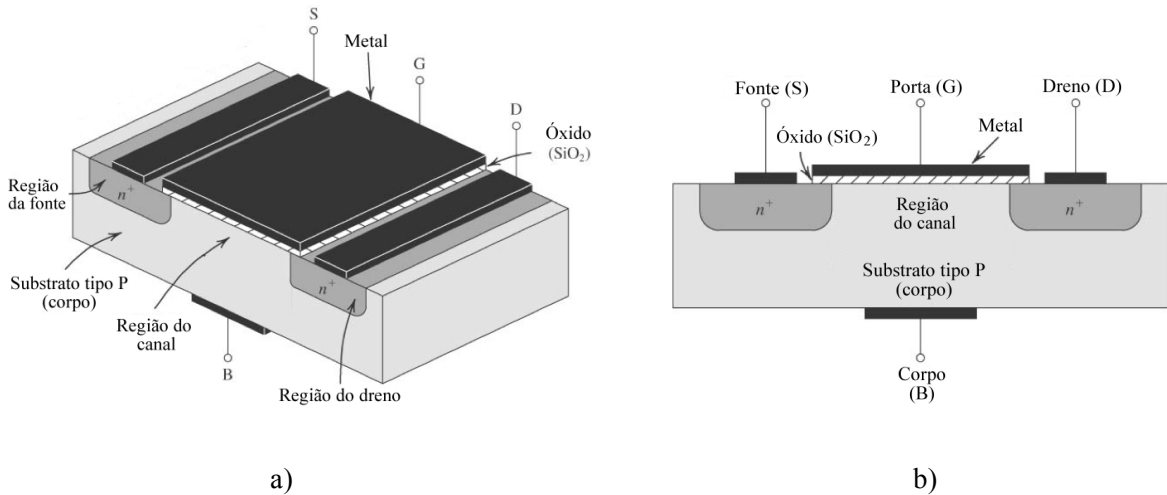
À semelhança do que acontece com o transistor bipolar, são possíveis três configurações ou formas de montar o JFET, a saber a montagem em fonte comum, em porta comum e em dreno comum. A configuração do JFET mais usada é a configuração em fonte comum, e é a usada neste trabalho para o traçado das curvas características dos JFETs.

Ainda no grupo dos transístores de efeito de campo, o isolamento das camadas de controlo por uma fina camada de material isolante (geralmente dióxido de silício), deu origem ao aparecimento do tipo de FETs, designados genericamente como transístores de efeito de campo de porta isolada (IGFET – *Insulated Gate Field Effect Transistor*), cujo exemplo é o transistor de efeito de campo de metal-óxido semiconductor, do inglês MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), devido ao material isolante entre a porta e o semiconductor ser um óxido. Por sua vez, este tipo de transístores divide-se em dois subtipos, relativamente à sua constituição e modo de funcionamento:

- O MOSFET de enriquecimento ou de acumulação (*enhanced* MOSFET ou ainda E-MOSFET)
- O MOSFET de empobrecimento ou de depleção (depletion MOSFET ou ainda D-MOSFET)

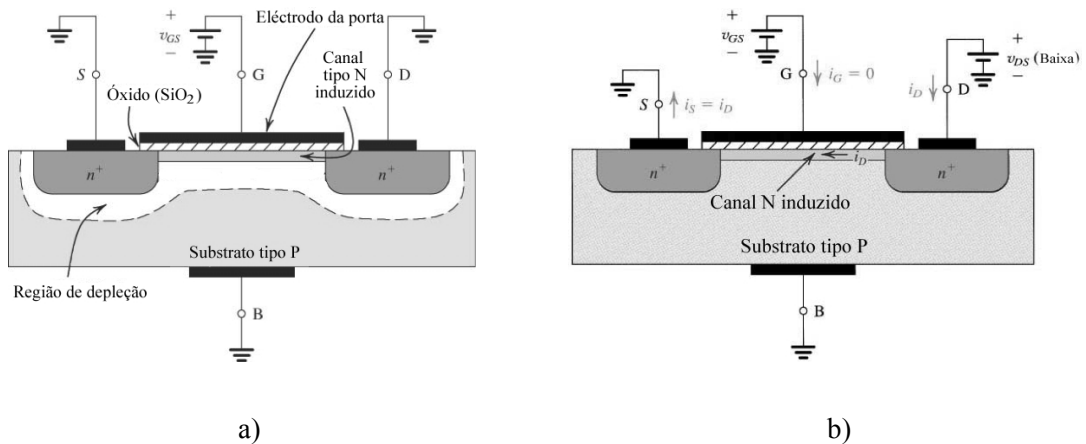
O E-MOSFET é estruturalmente formado a partir de um substrato tipo N (PMOS) ou tipo P (NMOS) ligeiramente dopado, ao qual foram adicionadas duas regiões complementares fortemente dopadas, que constituem a fonte e o dreno do transistor. Entre essas regiões, e separada do substrato por uma camada de dióxido de silício ( $\text{SiO}_2$ ), está localizada a porta, tal como mostra a figura 12.

Os terminais do dreno e da fonte estão directamente acoplados através de contactos metálicos às respectivas regiões, enquanto o terminal da porta é ligado a um contacto metálico, que separado do substrato pela camada de  $\text{SiO}_2$  fica localizado entre as duas regiões complementares (figura 12b)).



**Figura 12 – Estrutura e constituição do MOSFET de enriquecimento**

O E-MOSFET, ao contrário do JFET é um dispositivo normalmente desligado, isto é, para que a corrente circule entre o dreno e a fonte, é necessário a aplicação de uma tensão positiva à porta (negativa no caso do PMOS), e uma tensão positiva entre o dreno e a fonte ( $V_{DS}$ ). Nestas condições, e tomando como exemplo o E-MOSFET de canal N, este potencial irá atrair electrões para a região junto à porta, exercendo uma acção de repulsão sobre as lacunas formando assim uma região de depleção e um canal tipo N induzido, tal como sugere a figura 13a).



**Figura 13 – Polarização do E-MOSFET canal N**

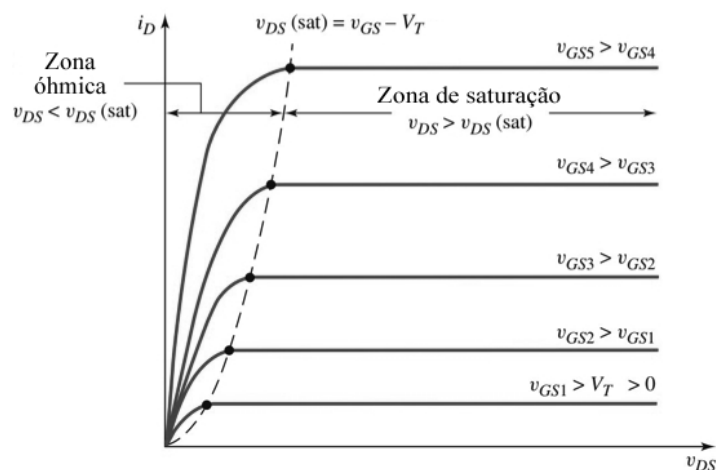
A partir de um certo valor de  $V_{GS}$  forma-se um canal entre as duas regiões N, permitindo à corrente fluir entre o dreno e a fonte caso o dreno seja positivamente polarizado (figura 13b)). Esta fina camada condutora que forma o canal designa-se por camada de inversão tipo N, e a tensão  $V_{GS}$  que a origina é a tensão de limiar  $V_t$  (*threshold voltage*), sendo um dos parâmetros mais importantes fornecido pelos fabricantes nas especificações deste tipo de transistor, geralmente sob a designação de  $V_{GS(TH)}$ . Trata-se de um dos parâmetros medidos pelo sistema desenvolvido.

Dependendo das condições de polarização do E-MOSFET, a sua característica de saída apresenta três regiões distintas: zona de corte, zona ôhmica e zona de saturação à semelhança do que foi explicado para o JFET. A tabela 2 resume as condições associadas a cada um destes estados.

**Tabela 2 – Modos de funcionamento do E-MOSFET**

		Em condução	
Ao corte		$V_{GS} > V_t$	
		Zona ôhmica	Zona de saturação
$V_{GS} \leq V_t$		$V_{DS} < V_{GS} - V_t$	$V_{DS} \geq V_{GS} - V_t$
$I_D = 0 \text{ A}$		$I_D = k \cdot [2 \cdot (V_{GS} - V_t) \cdot V_{DS} - V_{DS}^2]$	$I_D = k \cdot (V_{GS} - V_t)^2$

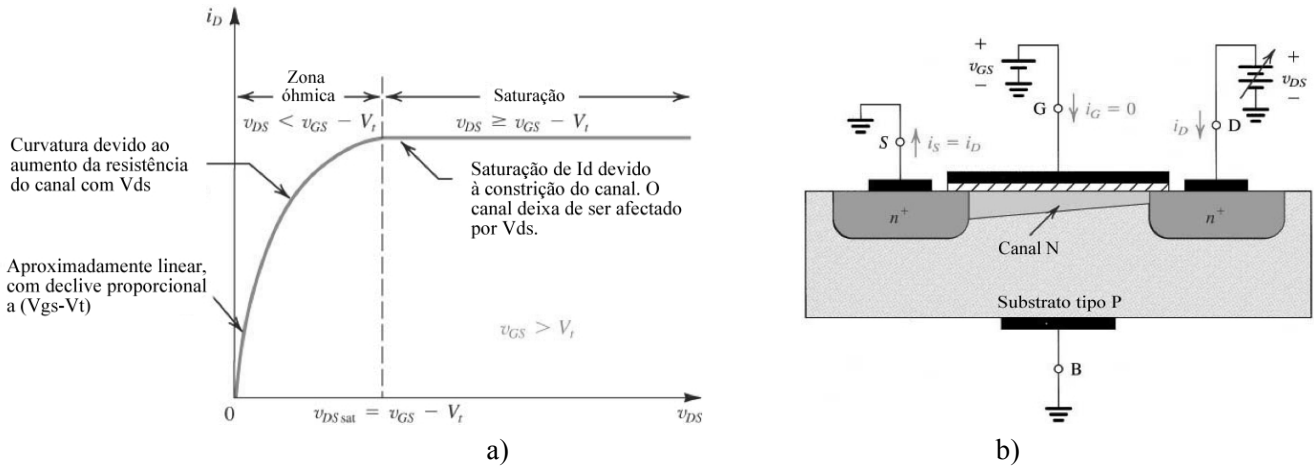
A figura 14 apresenta as curvas característica de saída do E-MOSFET, obtidas por variação de  $V_{DS}$  para diferentes valores fixos de  $V_{GS}$ , bem como as diferentes regiões de funcionamento.



**Figura 14 – Curvas características de saída do E-MOSFET**

Analisando estas curvas (figura 15a)), verifica-se que estas apresentam igualmente três zonas distintas que caracterizam o comportamento de corrente de dreno  $I_D$ . O aumento da tensão dreno-fonte ( $V_{DS}$ ) provoca um aumento inicial da corrente aproximadamente linear e proporcional a  $V_{GS} - V_t$ . O canal que para pequenos valores de  $V_{DS}$  é aproximadamente constante, com o aumento do seu valor, torna-se mais estreito junto ao dreno tomando uma forma em “cunha” (figura 15b)). Esta configuração do canal, leva a uma aumento da sua resistência, sendo responsável pela curvatura que antecede a zona de saturação. Atingido o valor de saturação da corrente de dreno  $I_D$

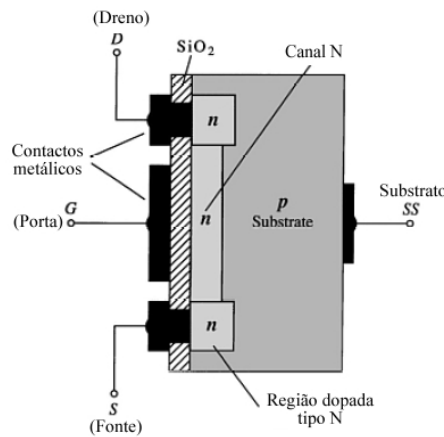
devido à constrição do canal quando  $V_{DS}=V_{DS(sat)}$ , qualquer valor superior de  $V_{DS}$  não terá, de forma aproximada, qualquer influência no valor da corrente do canal.



**Figura 15 – Influência da variação de  $V_{DS}$  na corrente de dreno  $I_D$**

Todavia à medida que aumenta a tensão  $V_{DS}$ , verifica-se uma diminuição do comprimento (efectivo) do canal e que tem como consequência o aumento da corrente de dreno; este fenómeno, que se verifica no MOSFET e no JFET, é designado modulação do comprimento do canal numa analogia com aquele que se verifica no TBJ designado modulação da largura da base.

O D-MOSFET ao contrário do E-MOSFET, por ser um componente de utilização muito específica e menos utilizado, não foi testado no sistema aqui apresentado. Trata-se de um componente estruturalmente idêntico ao MOSFET de enriquecimento, excepto no canal que já faz parte integrante da estrutura deste componente (figura 16).



**Figura 16 – Estrutura e constituição de um D-MOSFET de canal N**

À semelhança do JFET, trata-se de um componente normalmente ligado, isto é, sem qualquer polarização da porta ( $V_{GS}=0$ ), a corrente  $I_D$  circula caso seja aplicada uma tensão dreno-fonte ( $V_{DS}$ ). Neste transistor o controlo da corrente de dreno é igualmente controlada pela polarização da porta ( $V_{GS}$ ). Polarizando positivamente a porta com  $V_{GS} > 0$ , ocorre o efeito de enriquecimento pela atracção de mais electrões para o canal. No entanto, polarizando negativamente o canal verifica-se o mesmo fenómeno que no JFET, ou seja, o canal tende a fechar de forma que a partir de um determinado valor de  $V_{GS}$ , ocorre a constrição total do canal, anulando a corrente que por ele circula ( $I_D=0$ ). Verifica-se assim que o D-MOSFET tanto funciona no modo de enriquecimento como no modo de depleção, dependendo da polarização da porta.

Na figura 17 encontram-se representadas as curvas de entrada e de saída do D-MOSFET, onde se podem ver as diferentes zonas de funcionamento deste componente, bem como o seu comportamento no modo de depleção e no modo de enriquecimento.

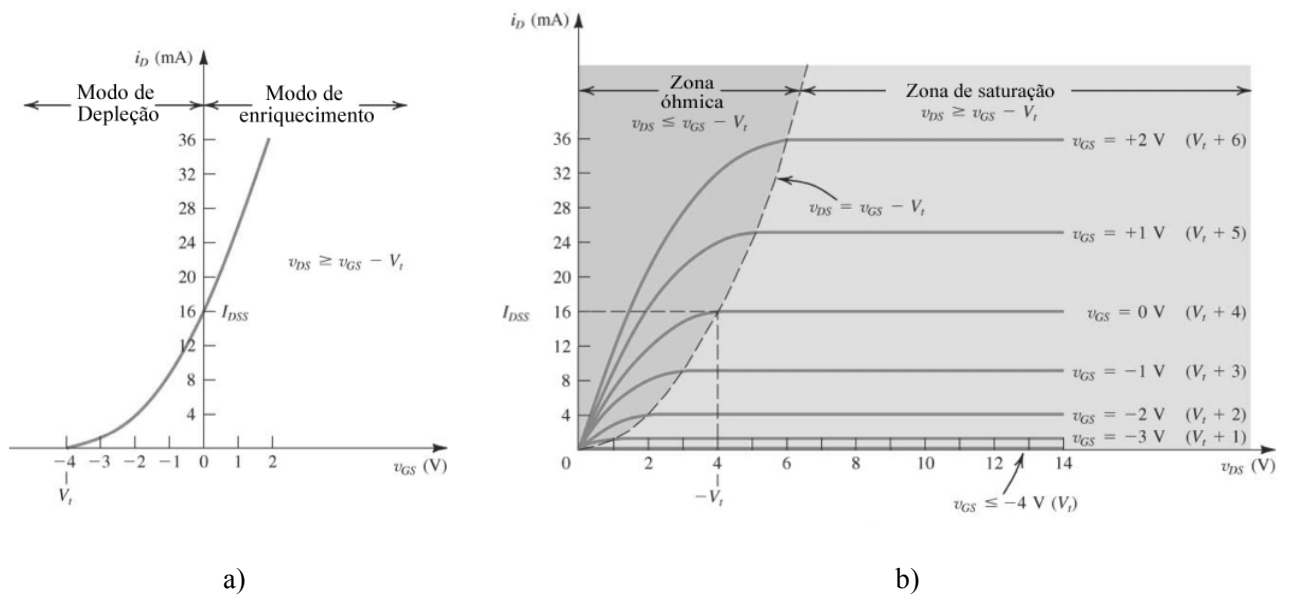


Figura 17 – Curvas características do D-MOSFET

## 1.2. CLASSIFICAÇÃO DOS SISTEMAS DE TESTE DE TRANSÍSTORES

Os sistemas que permitem o traçado e análise de curvas características de dispositivos semicondutores como os transístores, podem-se classificar em 2 grupos:

Traçadores de curvas analógicos:	{	Com ecrã integrado – As curvas são representadas no próprio sistema (ecrã CRT). Sem ecrã integrado – As curvas são representadas num osciloscópio.
Traçadores de curvas digitais:	{	Com ecrã integrado – As curvas são representadas no próprio sistema (display LCD) Sem ecrã integrado – As curvas são representadas num PC.

Tanto os sistemas analógicos como os sistemas digitais podem ser encontrados no mercado, sendo utilizados há muito pela indústria na elaboração da documentação técnica de dispositivos semicondutores. Os sistemas analógicos, apesar de terem sido descontinuados, continuam a ser comercializados como equipamento recondicionado (*refurbished*).

## 1.3. TRAÇADORES ANALÓGICOS SEM ECRÃ INTEGRADO



a)



b)

**Figura 18 – Traçadores para osciloscópio a) EATHKIT IT-1121; b) LEADER LTC-905**

Tratam-se de equipamentos que permitem na sua maioria, o traçado das características de diversos dispositivos semicondutores (diodos, diodos de Zener, para além dos transístores), sendo a sua representação feita num osciloscópio. São equipamentos relativamente económicos, mas o recurso ao osciloscópio torna-os menos versáteis que os outros sistemas. Com o aparecimento dos sistemas informatizados, a grande maioria destes equipamentos foi descontinuada.

#### 1.4. TRAÇADORES ANALÓGICOS COM ECRÃ INTEGRADO

Este tipo de traçadores integram um ecrã do tipo CRT, idêntico ao osciloscópio, sendo as características traçadas pela deflexão dos canais vertical e horizontal do CRT. Estes possibilitam igualmente o traçado de diversas características, incluindo as de dispositivos de potência, podendo fornecer tensões de colectora até 1600 V e correntes até 10 A (Tektronix 577) [4].

A grande variedade de dispositivos possíveis de testar requer a utilização de adaptadores específicos como os que se apresentam na figura 19.



Figura 19 – Adaptadores para: a) TO-220; b) díodos; c) potência (TO-3, TO-66)



Figura 20 – Traçadores com CRT: a) CA4810A [3]; b) TEKTRONIX 576 [4]

Na figura 21 podemos ver o traçado de um transistor 2N2219 num Tektronix 576. Com os parâmetros de configuração do traçador e fazendo a leitura das curvas, torna-se possível determinar os parâmetros do transistor, como o ganho de corrente DC e a tensão de saturação, ficando a cargo do operador a sua determinação.

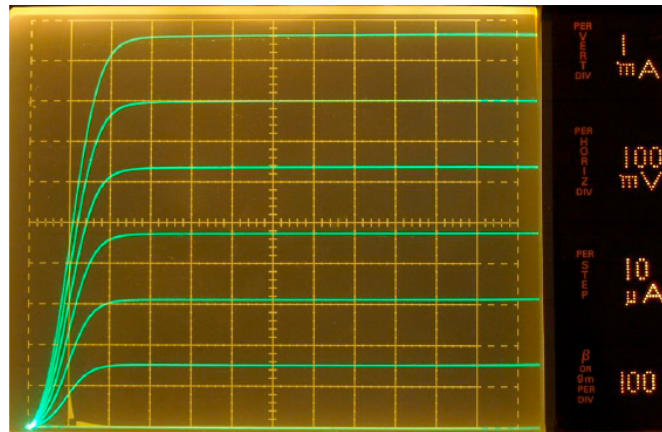
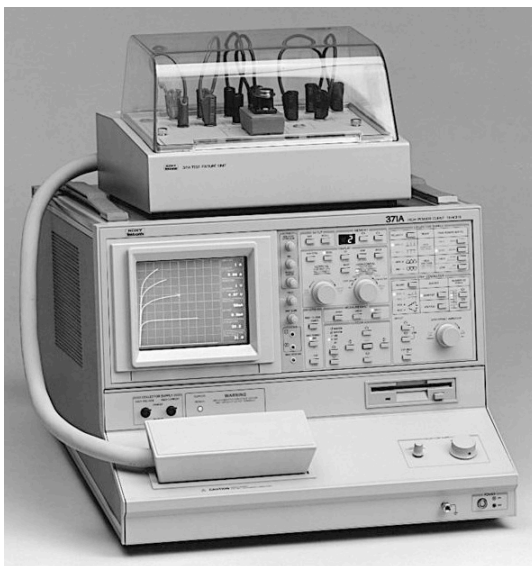


Figura 21 – Traçado de um 2N2219 num TEK 576 [5]

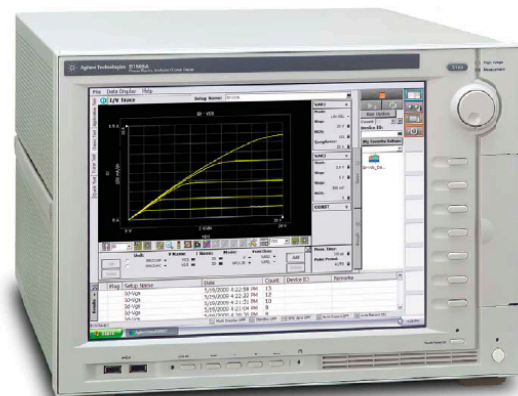
## 1.5. TRAÇADORES DIGITAIS COM ECRÃ INTEGRADO

Os traçadores digitais com ecrã integrado, constituem a evolução mais recente deste tipo de equipamentos, mantendo as mesmas características funcionais que os modelos anteriores, acrescidas da possibilidade de armazenar os dados em memória, transferi-los para um computador remoto, processamento digital do sinal, entre outras.

Este tipo de equipamento fornece directamente ao utilizador os valores dos parâmetros do componente em teste. Na figura 22 podemos ver dois sistemas em que o traçado das curvas é feito num ecrã em formato digital, permitindo a análise ponto a ponto, comparação de curvas e armazenamento dos dados em suporte físico.



a)



b)

Figura 22 – Traçadores com display: a) Tektronix 371B [6]; b) Agilent B1505A [7]

O modelo da figura 22b) utiliza uma aplicação para sistema operativo Windows XP onde são executadas aplicações dedicadas para traçado e análise das curvas características.



Figura 23 – HAMEG HM6042 [8]

O processamento digital dos dados aumenta a versatilidade dos sistemas permitindo efectuar as mais diversas análises, armazenar os parâmetros medidos, exportar os dados e imprimir curvas e dados.

Para além dos equipamentos amovíveis, pelo seu peso e dimensão, algumas empresas apresentam linhas de equipamentos de bancada portáteis como o da figura 23, que apresenta, tal como o 371A da Tektronix o traçado das curvas em CRT sendo o controlo e a apresentação de alguns dados em formato digital.

## 1.6. TRAÇADORES DIGITAIS PARA PC

A utilização massiva dos computadores veio permitir o desenvolvimento de sistemas que prescindem do uso de ecrã próprio para a representação gráfica das características, passando essa tarefa a ser desempenhada pelo ecrã dos computadores pessoais.



Figura 24 – STI Curve Tracer - Série 500 [9]

O sistema da figura 24 é um desses sistemas, em que os dados são recolhidos por uma unidade dedicada, sendo o seu processamento e a sua representação gráfica feita num programa a correr num computador pessoal (figura 25).

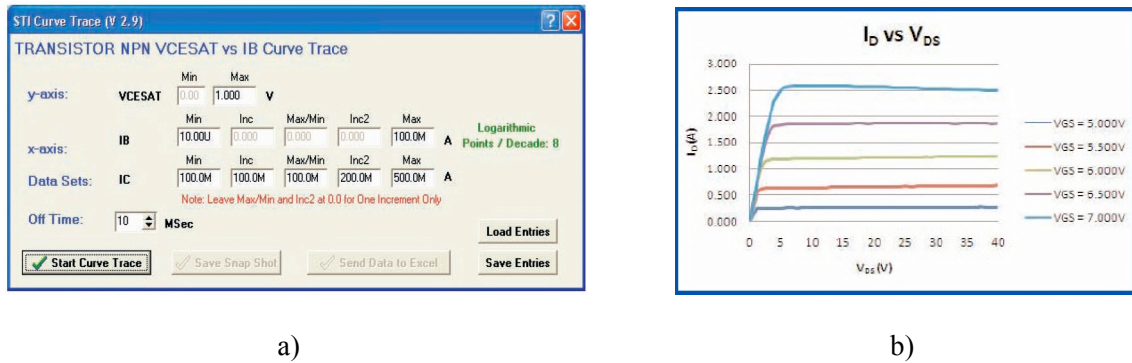


Figura 25 – STI Série 500: a) Software de configuração; b) Curvas obtidas [9]

## 1.7. SISTEMAS NÃO COMERCIAIS

Revistas da especialidade têm apresentado diversas soluções que, embora com algumas limitações, revelam algum interesse do ponto de vista pedagógico pois apresentam alguma fiabilidade nos resultados obtidos. A figura 26 apresenta um destas soluções em que é utilizada a placa de som de um PC para fazer a aquisição dos sinais, sendo a representação gráfica efectuada num programa específico (figura 26b)).

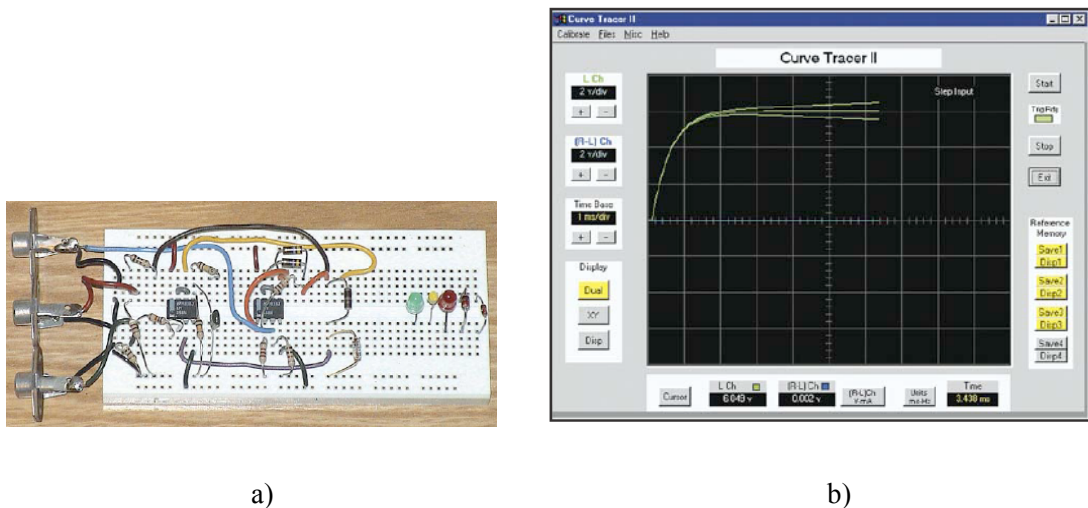
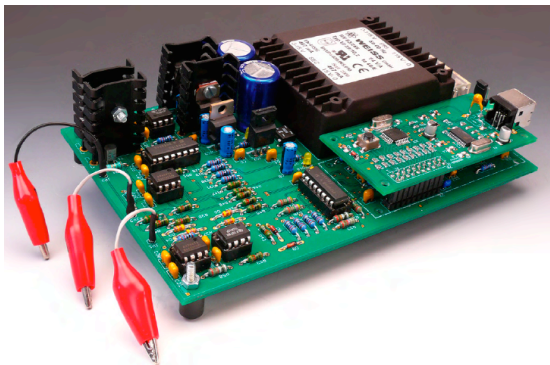


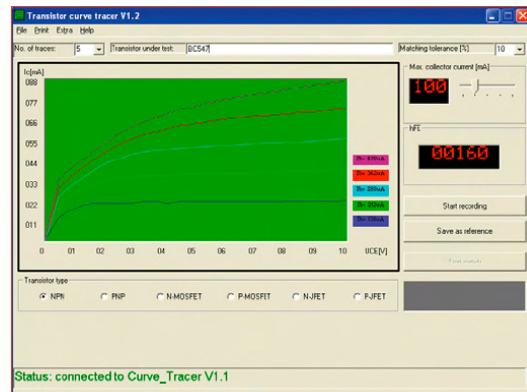
Figura 26 – Traçador de curvas utilizando a placa de som de um PC [10]

A revista Elektor tem apresentado em diversas edições algumas soluções interessantes, sendo a última publicada na edição Portuguesa de Fevereiro de 2009, a mais completa e mais versátil (figura 27). Nesta solução, a unidade de controlo é constituída por um microcontrolador

R8C/13 de 16 bits, integrando um conversor AD de 10 bits, permitindo o traçado das curvas de saída dos transistores TBJ npn e pnp, JFET de canal N e canal P e MOSFET de canal N e canal P.



a)



b)

**Figura 27 – Sistema da Elektor: a) Hardware; b) Software de traçado das curvas [11]**

O sistema aqui apresentado enquadra-se neste último grupo, sendo constituído por uma unidade de *Hardware* (condicionamento e processamento de sinal) e por um programa para sistema operativo Windows, responsável pela representação gráfica das curvas. A tabela 3 apresenta a comparação de algumas características do sistema desenvolvido e do sistema proposto em [11].

**Tabela 3 – Comparativo das características dos dois sistemas**

Características	Sistema da Elektor	Sistema apresentado
Traçado das curvas de saída dos transistores TBJ, JFET e MOSFET, nas diversas polaridades	Sim	Sim
Corrente máxima de $I_C/I_D$	400 mA	100 mA
Resolução do ADC	10 bits	12 bits
Resolução do(s) DAC(s)	Não tem. Utiliza PWM para gerar as tensões.	12 bits
Parâmetros medidos	<ul style="list-style-type: none"> <li>Ganho de corrente DC (<math>h_{FE}</math>);</li> <li>Transcondutância (<math>g_m</math>).</li> </ul>	<ul style="list-style-type: none"> <li>Ganho de corrente DC (<math>h_{FE}</math>);</li> <li>Tensão de saturação <math>V_{CE(sat)}</math>;</li> <li>Tensão de corte porta-fonte <math>V_{GS(off)}</math>;</li> <li>Corrente máxima de dreno <math>I_{DSS}</math>;</li> <li>Tensão de limiar <math>V_{GS(th)}</math>;</li> <li><math>I_{B(max)} _{I_C=100mA}</math>, <math>V_{GS(max)} _{I_D=100mA}</math>;</li> </ul>
Controlo de $\Delta I_B/\Delta V_{GS}$	Não tem. Apenas permite especificar o n° de curvas.	Sim
Consola de controlo da UC	Não tem	Sim

Medição directa dos parâmetros do transistor	Não	Sim
Comparação de curvas	Sim	Não
Grelhas	1	2, configuráveis.
Controlo da taxa de transferência de dados	Não. Fixo a 9600 bps.	Sim. No programa, com possibilidade de implementação na UC
Impressão das curvas	Sim	Não
Independência entre UC e aplicação.	Não. Sem a UC presente o sistema não apresenta funcionalidades.	Sim. É possível o traçado e análise de curvas previamente traçadas sem ligação à UC.
Controlo da resolução vertical/horizontal	Não. Automático	Sim. Vertical ( $I_C/I_D$ ): <ul style="list-style-type: none"> <li>• 1 a 10 mA/div (grelha 1)</li> <li>• .01 a 1 mA/div (grelha 2)</li> </ul>

Estando fora do âmbito deste estudo a elaboração de uma lista exaustiva das diferenças entre as duas soluções, verifica-se que o sistema de teste de transístores aqui descrito apresenta algumas vantagens, nomeadamente:

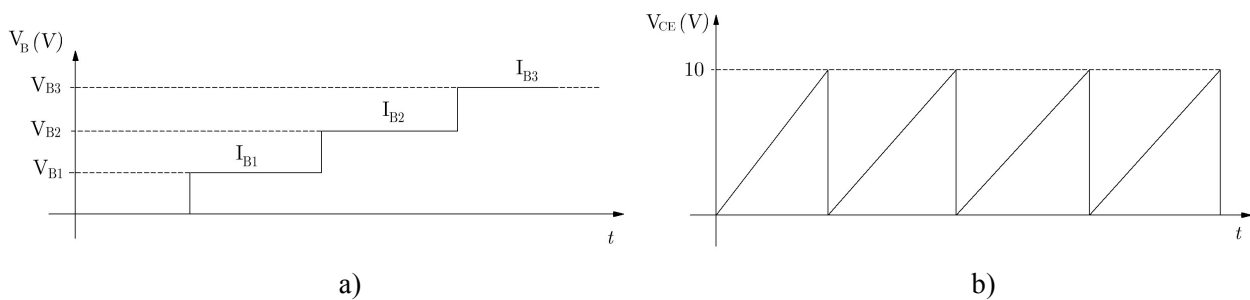
- fornece mais informações sobre os transístores em teste (grandezas medidas);
- o utilizador possui um maior controlo sobre o *hardware* e sobre o processo de medição;
- apresenta maior versatilidade pelas diversas configurações possíveis.

As secções seguintes exploram de forma mais detalhada cada um destes aspectos, através da análise detalhada das diferentes partes que constituem este sistema.



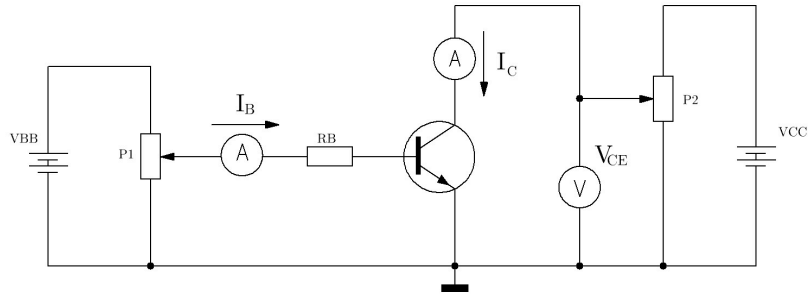
## 2. ARQUITECTURA E ESPECIFICAÇÕES

O princípio mais comum utilizado no traçado das curvas de um transistor, por exemplo de um TBJ consiste inicialmente em fixar uma corrente de base –  $I_B$  (*Step*), e de seguida fazer variar a tensão de colectador até ao valor máximo especificado  $V_{CCmax}$  (*Sweep*). Durante o processo é registada a variação da corrente de colectador  $I_C$ . A cada nível de corrente de base corresponderá uma curva da característica de saída.



**Figura 28 – a) Níveis de corrente de base (*Step*); b) Variação de tensão de colectador (*Sweep*)**

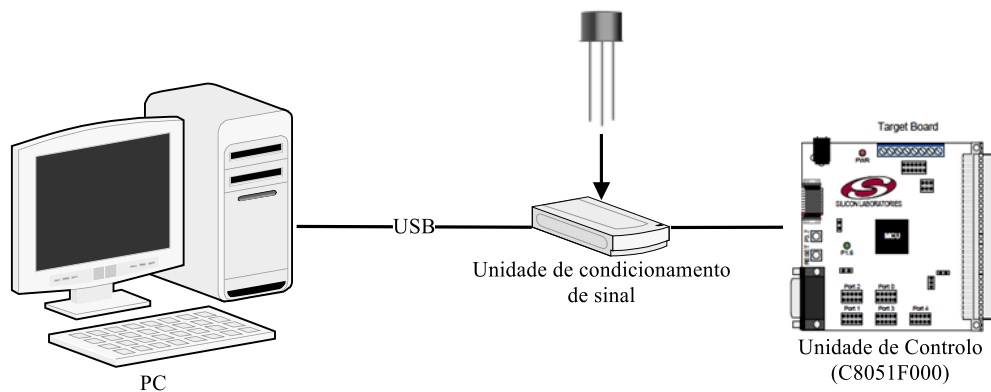
Na figura 29 apresenta-se o esquema típico para a medição das características corrente-tensão ( $I/V$ ) de um transistor bipolar de junção, permitindo a partir dos dados recolhidos, a obtenção das curvas características de entrada ( $I_B=f(V_{BE})$ ), das curvas característica de saída ( $I_C=f(V_{CE})$ ) e a avaliação de vários parâmetros do transistor.



**Figura 29 – Esquema típico para obtenção das curvas características de um TBJ**

Com o sistema proposto, pretende-se realizar de forma autónoma o registo dos valores de corrente e de tensão ( $I/V$ ), que permitirão o traçado da característica de saída numa aplicação gráfica executada num computador pessoal. O controlo das tensões do sistema é conseguido recorrendo a dois conversores Digital-Analógico (DAC), um para gerar a tensão de polarização da base ou da porta, e outro para gerar a tensão de colector ou de dreno. A leitura dos valores de corrente e de tensão é conseguida utilizando dois canais de um conversor Analógico-Digital (ADC), sendo um para a leitura da tensão de base (ou porta) e outro para leitura da tensão aos terminais de uma resistência de  $1\Omega$  presente no circuito de emissor, permitindo assim obter o valor aproximado da corrente de colector. Apesar do exemplo da figura 29 utilizar um TBJ, o mesmo processo é aplicável para a obtenção dos parâmetros dos FETs.

Todo o processo é gerido por uma unidade de controlo, baseada num microcontrolador da família 8051.



**Figura 30 – Arquitectura do sistema**

Os dados recolhidos são transmitidos através de uma ligação USB para o PC, formatados recorrendo a um protocolo de comunicação desenvolvido para o efeito. Depois de recebidos, os dados são armazenados localmente no PC, permitindo assim a sua posterior análise e representação.

## **2.1. ESPECIFICAÇÕES E FUNCIONALIDADES DA UCS**

A unidade de condicionamento de sinal é responsável pelo ajuste dos níveis de tensão entre a unidade de controlo e o transistor em teste; e na conversão tensão-corrente necessária ao traçado das curvas características. Assim, as funcionalidades previstas para a unidade de condicionamento de sinal consistem essencialmente em:

- Permitir a utilização dos modelos de transístores mais utilizados (TBJ, JFET e MOSFET), garantindo a selecção correcta das respectivas polaridades através dos comutadores analógicos;
- Controlar a tensão de colector ou de dreno, permitindo a sua variação entre 0 e 10 VDC ou entre 0 e -10 VDC, dependendo da polaridade e do tipo de transistor;
- Controlar a tensão de base ou de porta, permitindo a sua variação entre 0 e 10 VDC ou entre 0 e -10 VDC dependendo da polaridade e do tipo de transistor;
- Promover o ajuste dos níveis de tensão às entradas do ADC (2,4 VDC).

## **2.2. ESPECIFICAÇÕES E FUNCIONALIDADES DA UC**

A unidade de controlo deve assegurar a gestão das tensões necessárias à obtenção da grandezas pretendidas, sendo ainda responsável pela determinação, formatação e envio dos resultados obtidos para o PC.

Assim, a UC deverá:

Receber e interpretar responder aos comandos provenientes da aplicação do PC;

Fornecer à UCS os níveis de tensão dos DACs, sendo posteriormente aplicados ao transistor em teste depois de adaptados através dos respectivos andares de amplificação da UCS;

- Fazer a leitura da corrente de colector ou de dreno, até um valor máximo de 100 mA;
- Fazer a leitura da corrente de base até 10 mA ou tensão de porta até 10 VDC;
- Transmitir para um PC os dados recolhidos e tratados, utilizando regras de comunicação definidas pelo protocolo implementado.

### 2.3. ESPECIFICAÇÕES E FUNCIONALIDADES DO PROGRAMA PARA PC

O programa de representação das curvas deverá:

- Receber e interpretar o dados provenientes da unidade de condicionamento de sinal;
- Traçar as curvas características do transistor em análise, garantindo resultados próximos daqueles que o fabricante fornece nas suas folhas de dados;
- Determinar outras grandezas específicas de cada tipo de transistor que possam aferir do seu estado funcional;
- Permitir o controlo de algumas funcionalidades da UCS (leitura dos DACs ou dos ADC's, versão do *firmware*, etc...);
- Guardar os dados recolhidos de cada componente, a fim de possibilitar mais tarde a sua reutilização e/ou análise, sem ter que efectuar novos testes ao componente;
- Ler os dados armazenados em testes efectuados anteriormente.

Nas secções seguintes é feita a análise pormenorizada de cada uma destas funcionalidades e a forma como foram implementadas.

# 3. HARDWARE

O hardware do sistema pode ser dividido em 2 partes essenciais, para facilitar a descrição do sistema desenvolvido:

- Uma unidade de controlo: constituída por um kit de desenvolvimento baseado no microcontrolador da família 8051 que é responsável pela geração e leitura das tensões e correntes envolvidas no processo de medição. Esta unidade integra ainda um protocolo de comunicação desenvolvido para o efeito, que permite a transferência dos dados processados para o programa no PC;
- Uma unidade de processamento de sinal: responsável pelo tratamento dos dados adquiridos e pela selecção das diversas escalas e polaridades de tensão durante o processo de medição.

## 3.1. UNIDADE DE CONTROLO

O controlo da placa de condicionamento de sinal e o envio dos dados para o PC são realizados recorrendo a um microcontrolador da família 8051, integrado num kit de desenvolvimento da *Silicon Laboratories (Silicon Labs)*, o C8051F000DK - figura 31. As características deste microcontrolador, nomeadamente os periféricos integrados, bem como o suporte do ambiente de desenvolvimento uVision da Keil, ao permitir a simulação e emulação em tempo real de aplicações *onboard*, tornam esta ferramenta a solução ideal para este projecto.



Figura 31 – Kit de desenvolvimento C8051F00x/01x-DK [12]

A figura 32 apresenta o diagrama interno do C8051F000, que para além da estrutura típica do 8051, integra ainda alguns periféricos fundamentais ao projecto, dos quais se destacam:

- 1 conversor analógico digital de 12 bits com 8 canais multiplexados (podendo ser configurados como 4 canais diferenciais);
- 2 conversores digital analógico de 12 bits.

Ambos os conversores funcionam com tensões de referência de 2.40V, ficando a cargo da unidade de condicionamento de sinal a adaptação das tensões para este nível.

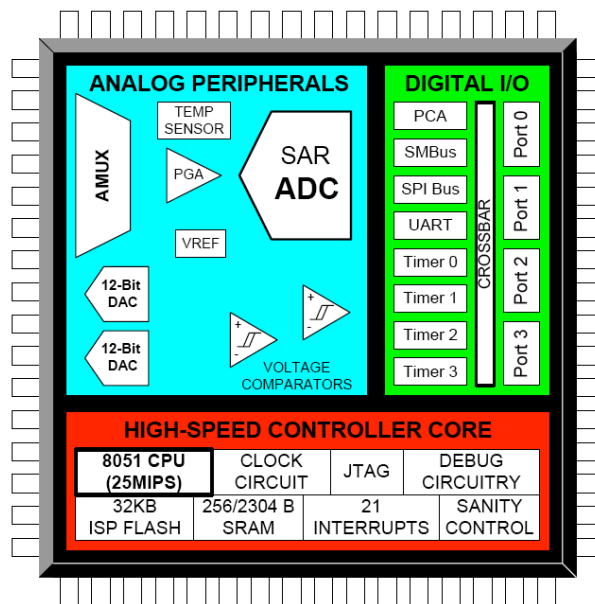


Figura 32 – Arquitectura do C8051F000 [13]

Esta estrutura integrada permite numa única unidade de processamento controlar e processar as principais grandezas envolvidas no traçado das curvas características do transistor em teste, nomeadamente:

- Gerar a tensão em rampa de colector ( $V_{CC}$ ), que está na origem da variação da tensão colector-emissor ( $V_{CE}$ ) através do DAC0 (figura 33);
- Gerar as diversas tensões de base ( $V_{BB}$ ), correspondente a cada uma das curvas pretendidas através do DAC1 (figura 33);
- Obter as correntes de base ( $I_B$ ) e de colector ( $I_C$ ), através do ADC (figura 34), obtidas a partir da queda de tensão na resistências de base e de emissor, respectivamente;
- Empacotar os dados numa trama predefinida (protocolo), pronta a ser enviada para posterior processamento no programa em PC;
- Enviar os dados através de um ligação USB, sequencialmente ou sempre que solicitado pelo programa em PC.

A figura 33 apresenta a arquitectura interna dos conversores integrados no C8051F000 e os registos associados.

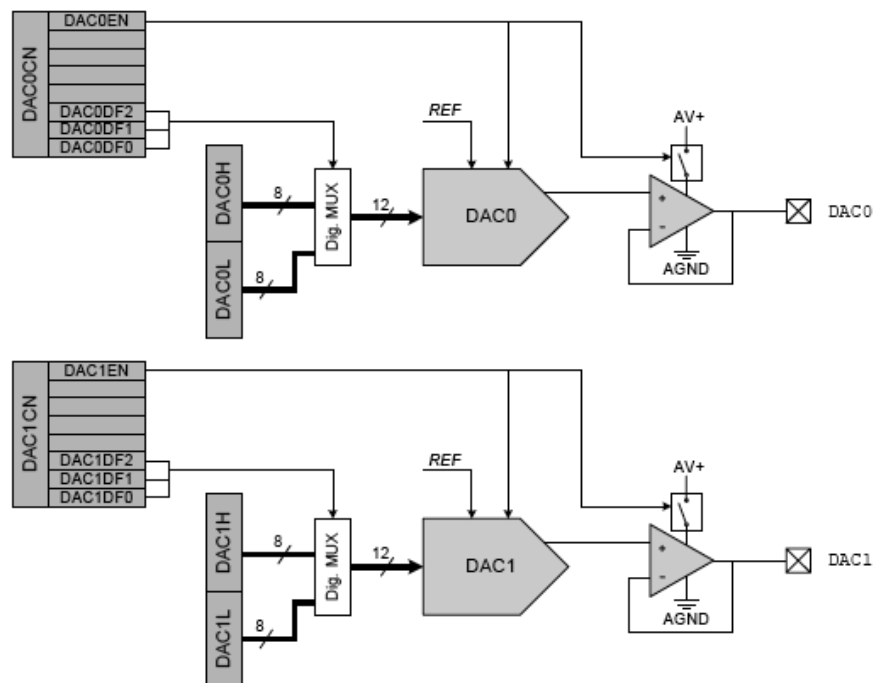


Figura 33 – Arquitectura interna dos conversores D/A [13]

A figura 34 apresenta o diagrama interno do conversor analógico-digital integrado e os registos de controlo associados. Trata-se de um conversor de aproximações sucessivas (SAR) de 12 bits, com uma velocidade de 100 kps e que permite utilizar as suas 8 entradas multiplexadas como entradas individuais ou configurar as 8 entradas como 4 canais diferenciais. Esta unidade permite ainda o controlo de ganho do sinal de entrada por 1, 2, 4, 8, 16 ou 0.5.

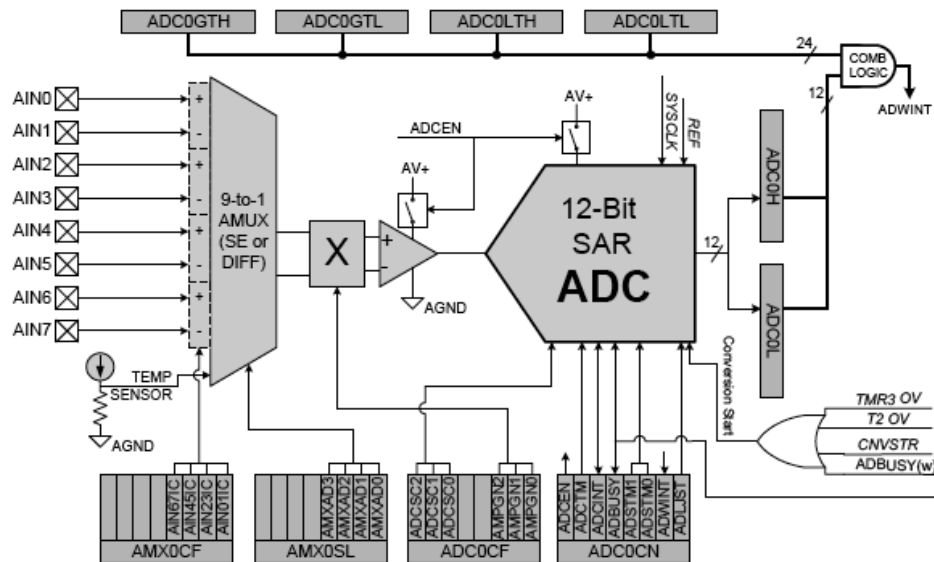


Figura 34 – Arquitectura interna do conversor A/D [13]

Na figura 35 podemos ver o *Layout* do Kit de desenvolvimento que serve de base à unidade de controlo. As ligações às portas de comunicação, aos conversores e às linhas de comunicação série [TX] e [RX] são feitas no conector J2 de 64 pinos, que disponibiliza todo o hardware integrado ao utilizador. A figura 36 apresenta o esquema de ligações utilizado no sistema de teste e a tabela 4 a distribuição dos pinos e as respectivas funcionalidades.

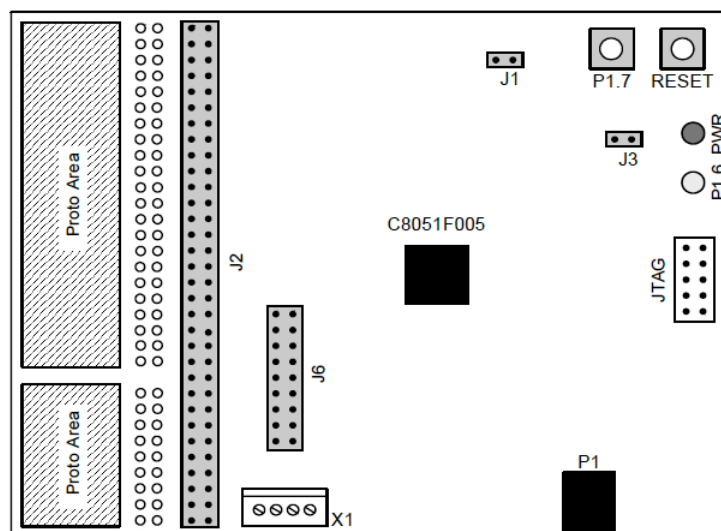
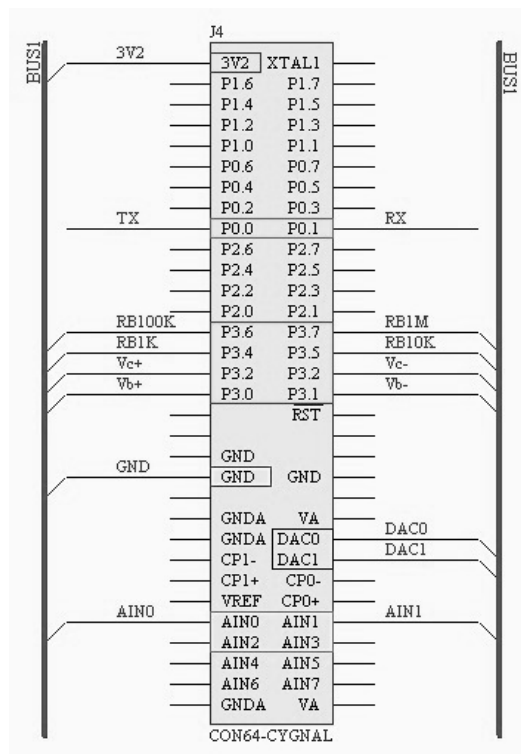


Figura 35 – Layout do kit C8051F005 [14]

**Tabela 4 – Mapeamento dos pinos da UC**

Pino n°	Designação	Função
1	VCC	Tensão de alimentação do kit (digital) – 3.2VDC
17	TX	Linha de transmissão série
18	RX	Linha de recepção série
28	P3.7	Linha de selecção da resistência de 1M $\Omega$
27	P3.6	Linha de selecção da resistência de 100k $\Omega$
30	P3.5	Linha de selecção da resistência de 10k $\Omega$
29	P3.4	Linha de selecção da resistência de 1k $\Omega$
32	P3.3	Seleção de inversão da tensão de colector (-V <sub>CC</sub> )
31	P3.2	Seleção directa da tensão de colector (V <sub>CC</sub> )
34	P3.1	Seleção da inversão da tensão de base (-V <sub>BB</sub> )
33	P3.0	Seleção directa da tensão de base (V <sub>BB</sub> )
41	GND	Massa (Digital)
48	DAC0	Conversor DA 1
50	DAC1	Conversor DA 2
55	AIN0	Entrada 0 do Conversor AD
56	AIN1	Entrada 1 do Conversor AD



**Figura 36 – Esquema de ligações entre a UC, a UCS e o conversor USB – RS232**

### 3.2. UNIDADE DE CONDICIONAMENTO DE SINAL

Esta unidade foi especialmente desenvolvida para a realização do condicionamento de sinal do sistema, sendo responsável pela adaptação dos níveis de tensão envolvidos no processo, pela conversão da tensão em corrente na medição das correntes de colector ou de dreno, por gerar as correntes de polarização nos TBJs e a tensão entre a porta e fonte nos FETs.

Devido à diversidade de tensões envolvidas nestes processos, esta unidade foi projectada tendo sempre em vista a protecção da unidade de controlo, que de todo o sistema é a que exige maiores cuidados (funciona com uma tensão de 3,2 V, e as entradas do ADC não suportam tensões superiores a 2,4 VDC).

#### 3.2.1. TENSÕES DE BASE/PORTA E COLECTOR/DRENO

Visto que o nível de tensão dos DACs não é suficiente para garantir o funcionamento do sistema (2,4 VDC), é necessário proceder à sua adaptação através de uma amplificação que garanta uma variação entre 0 e 10 VDC. Esta adaptação é conseguida recorrendo a andares de amplificação, baseados em amplificadores operacionais. A escolha desta metodologia revelou-se a mais simples e económica devido à versatilidade destes componentes.

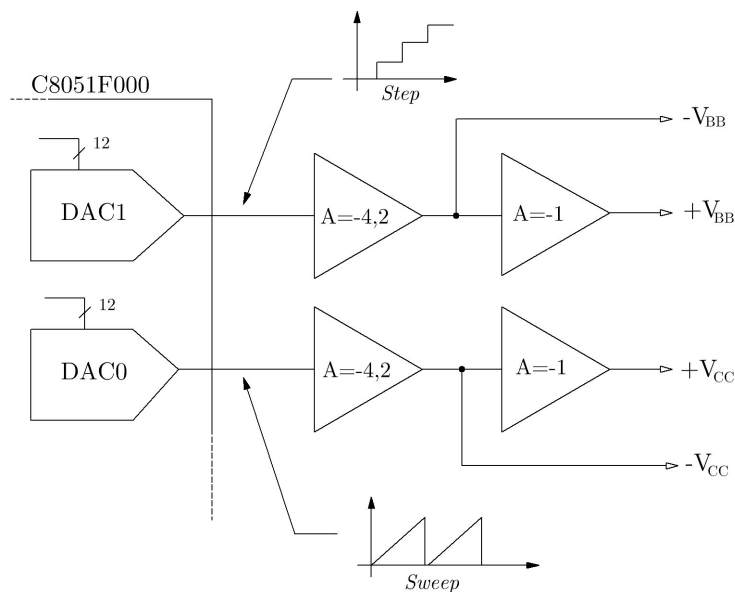


Figura 37 – Diagrama de blocos da adaptação dos níveis de tensão dos conversores

Sendo necessário utilizar tensões tanto negativas como positivas para o traçado de curvas dos diversos tipos de transístores, o acoplamento de dois andares em que o primeiro fornece o ganho necessário e o segundo inverte a polaridade, constitui a solução ideal para a polarização, tanto do colector/dreno como da base/porta .

A figura 37 apresenta, em diagrama de blocos, a implementação desta solução. Sendo a tensão de saída dos DACs de 0 a +2,4 VDC, o ganho necessário para uma escala de 0-10 VDC, e o valor das resistências de uma montagem inversora obtêm-se facilmente através das expressões:

$$A_U = \frac{U_o}{U_i} \text{ e } A_U = -\frac{R_f}{R_1}$$

Da primeira expressão obtêm-se o ganho pretendido:

$$|A_U| = \frac{10}{2,4} = 4,16$$

Fazendo  $R_1=10 \text{ k}\Omega$ , teremos:

$$|A_U| = \frac{R_f}{R_1} \Leftrightarrow R_f = |A_U| \cdot R_1 = 4,16 \cdot 10 \text{ k}\Omega = 41,6 \text{ k}\Omega$$

Considerando as quedas de tensão nos amplificadores e nos comutadores analógicos, o valor da resistência de realimentação  $R_f$  foi ajustada para  $47 \text{ k}\Omega$ , levando a uma correção do ganho para:

$$A_U = \frac{47 \text{ k}\Omega}{10 \text{ k}\Omega} = 4,7$$

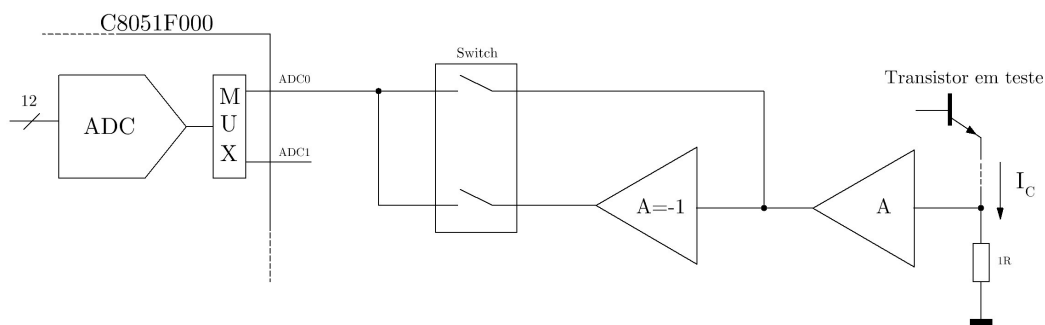
tendo-se verificado experimentalmente que este ganho é suficiente para compensar as referidas quedas. Esta solução é utilizada na adaptação dos níveis de tensão de colector/dreno, na tensão de base/porta e na obtenção da corrente de colector/dreno, através da queda de tensão da resistência de emissor/fonte de  $1 \Omega$  (figura 38).

A obtenção de valores positivos é conseguida por uma nova inversão do valor da tensão através de um segundo andar amplificador inversor de ganho unitário, garantido assim a existência de níveis de tensão iguais com polaridades diferentes, essenciais à medição das correntes e tensão envolvidas no processo.

### 3.2.2. CORRENTES DE COLECTOR ( $I_C$ ) E DE DRENO ( $I_D$ )

Na medição das correntes de colector e de dreno, uma resistência de  $1 \Omega$  é inserida na linha do emissor/fonte, fornecendo assim uma leitura directa do valor destas correntes. Fazendo variar a tensão de colector entre 0 e 10 V, a situação mais desfavorável será o valor máximo da tensão nessa resistência, resultando num valor de corrente que excederia o máximo permitido (100 mA). Nesta situação, o sistema contempla vários níveis de protecção, a fim de evitar danos nos componentes e nos conversores:

- Tratando-se de um sistema dedicado a dispositivos de baixa potência (essencialmente para transístores de sinais), a fonte de alimentação utilizada está limitada a 300 mA DC;
- A utilização de tensões simétricas 12V/-12V na alimentação dos amplificadores garante que, na eventualidade de ocorrer saturação de um ou mais andares, a tensão na sua saída nunca será superior a aproximadamente 10 VDC;
- Os amplificadores operacionais escolhidos para o projecto (TL084) possuem protecção de corrente no andar de saída, fornecendo um nível de protecção acrescido ao sistema.



**Figura 38 – Medição da corrente de colectador ( $I_C$ ), ou de dreno ( $I_D$ )**

Como o conversor analógico-digital apenas aceita tensões positivas (0-2,4 VDC), é necessário adaptar a polaridade do valor da corrente lido, através do processo anteriormente descrito: dois andares de amplificação em que o primeiro fornece o ganho necessário e o segundo inverte a polaridade da tensão, garantindo assim a presença de uma tensão sempre positiva na entrada do ADC (figura 38).

Na leitura da corrente de colectador/dreno, as especificações do projecto limitam o seu valor a 100 mA, assim o valor máximo da queda de tensão na resistência  $R_E/R_s$  será de 100 mV. A conversão deste valor para o valor máximo de 2,4 VDC do ADC é feito em duas fases:

- 1º - Conversão da variação da tensão de 0-100 mV para 0-10 V, pelo processo descrito;
- 2º - Conversão da variação da tensão de 0-10V para 0-2,4 V, recorrendo a divisores de tensão (figura 39).

Esta solução promove a segurança do processo pelos motivos já descritos.

Na determinação das resistências do divisor de tensão, fazendo  $R_2=10\text{ k}\Omega$ , vem:

$$V_{ADC} = \frac{V_o \cdot R_2}{R_2 + R_1} \Leftrightarrow 2,4V = \frac{10 \cdot 10k\Omega}{10k\Omega + R_1} \Leftrightarrow R_1 = \frac{100k\Omega}{2,4V} - 10k\Omega = 31,6\text{ k}\Omega$$

Procede-se aqui à mesma compensação das quedas anteriormente descritas para a tensão de colector/dreno, adoptando o valor de 33 k $\Omega$  para R<sub>1</sub>.

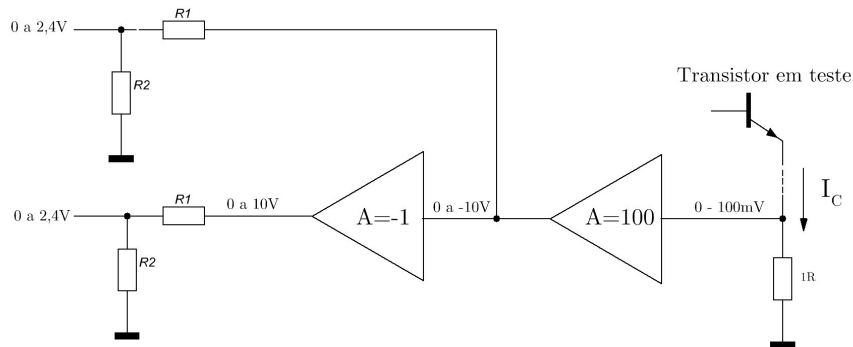


Figura 39 – Adaptação dos níveis de tensão na medição de I<sub>C</sub>/I<sub>D</sub>

A figura 40 apresenta o diagrama de blocos do processo de obtenção das correntes de colector e de dreno.

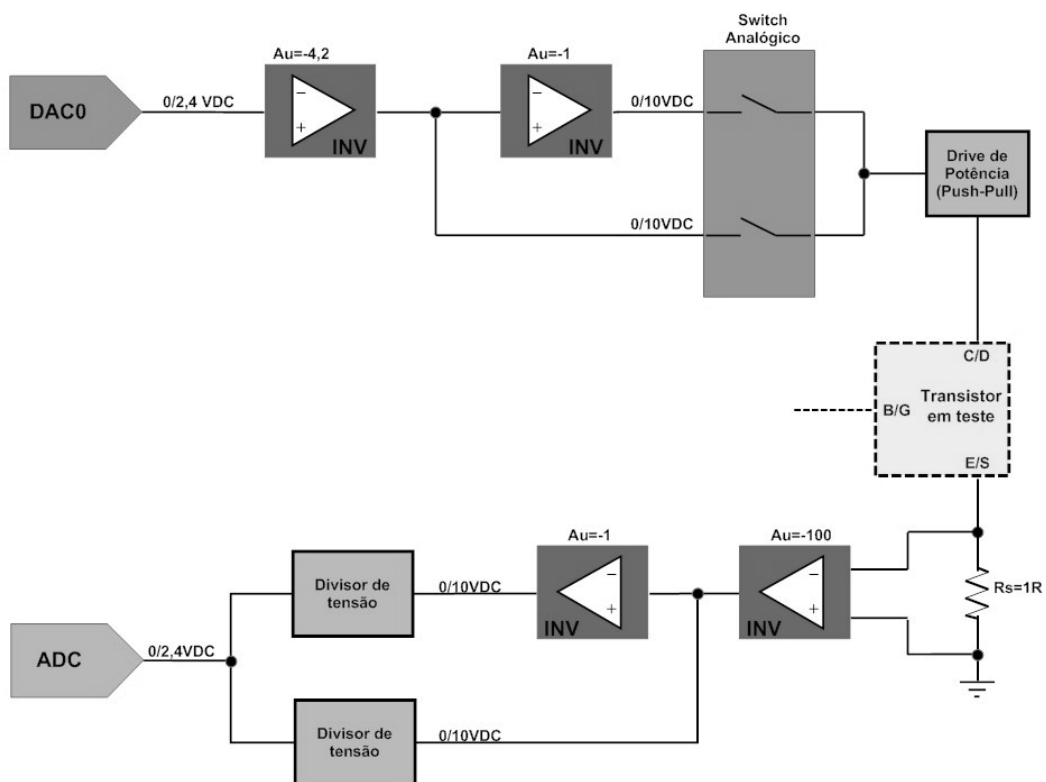


Figura 40 – Medição da corrente I<sub>C</sub>/I<sub>D</sub> - diagrama de blocos

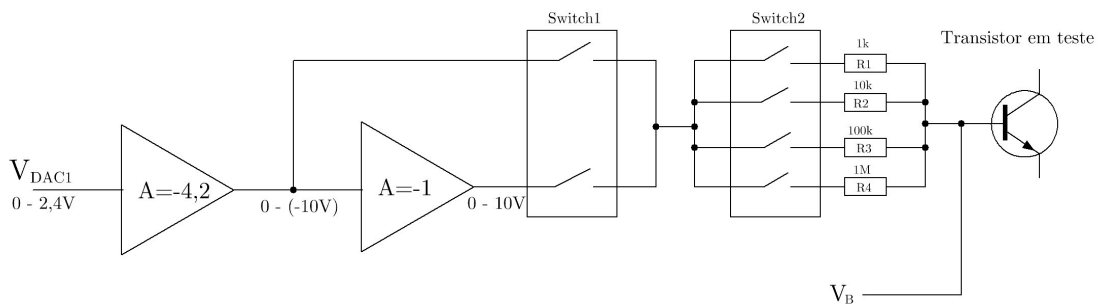
### 3.2.3. CORRENTE DE BASE (I<sub>B</sub>) E TENSÃO PORTA-FONTE (V<sub>GS</sub>)

A medição da corrente de base nos TBJs e da tensão porta-fonte nos FETs é feita partindo do valor da tensão medida na base do transistor. No caso dos TBJs, depois de determinada a resistência mais adequada na polarização do transistor em teste, o valor da corrente de base é obtida

a partir da queda de tensão na resistência de polarização, considerando a tensão  $V_{BB}$  com o valor máximo de 10 V. Assim, o valor da corrente obtém-se a partir da expressão:

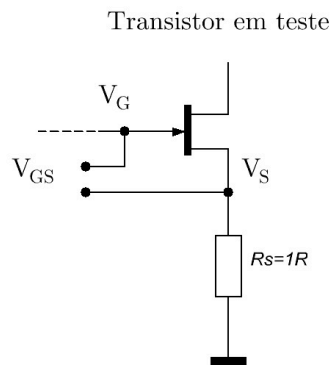
$$I_B = \frac{V_{BB} - V_B}{R_B}$$

A utilização desta expressão implica desprezar o valor das quedas de tensão nos 2 comutadores (MAX4662). Apresentando uma resistência de funcionamento máxima de  $2,5 \Omega$  por canal, relativamente à resistência mínima (caso mais desfavorável), este valor introduz um erro de apenas 0,25%.



**Figura 41 – Polarização da base do transistor em teste**

Nos FETs, o valor da tensão  $V_{GS}$  é obtida fazendo a diferença entre a tensão medida na porta e a queda de tensão na resistência de fonte (figura 42).

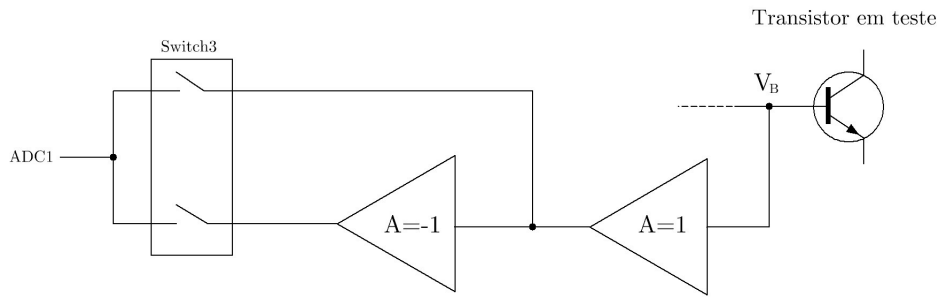


**Figura 42 – Medição da tensão porta-fonte ( $V_{GS}$ )**

Como se pode verificar, a resistência de fonte cumpre aqui dois objectivos fundamentais:

- permitir a leitura do valor da corrente de dreno (0-100 mA)
- permitir a leitura da tensão de fonte, para o cálculo de  $V_{GS}$  (0-100 mV)

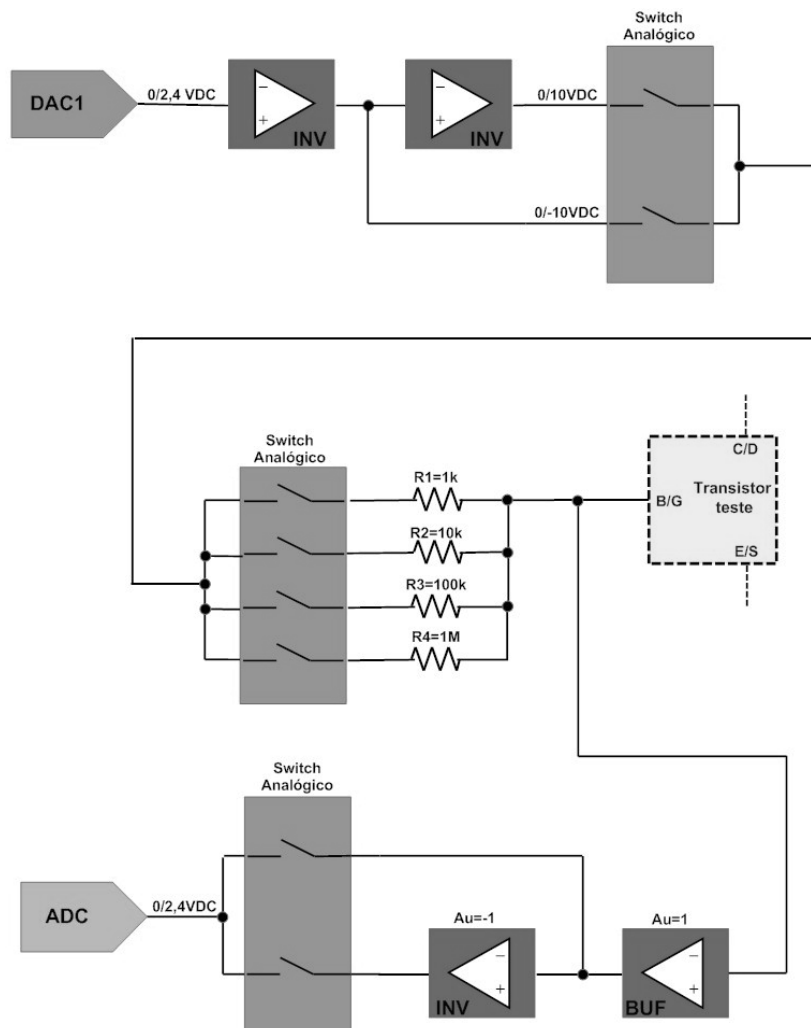
A adaptação dos níveis de tensão ao AD consiste apenas no controlo da polaridade do valor de  $V_B$  de forma a que este valor seja sempre positivo (figura 43).



**Figura 43 – Medição da tensão de base ( $V_B$ ) ou de porta ( $V_G$ )**

Neste caso, a monitorização do valor da tensão de base é feito pela unidade de controlo, que devolverá um sinal de erro e tornará nula a tensão  $V_{BB}$ , caso o valor máximo do AD (2,4 V) seja atingido. Esta situação poderá ocorrer em duas situações:

- 1° - Não existe transistor no sistema;
- 2° - A junção base-emissor ou porta-fonte está danificada.



**Figura 44 – Medição de  $V_B/V_G$  – Diagrama de blocos**

Qualquer uma destas situações origina um erro de medição. A figura 44 apresenta um diagrama de blocos completo do controlo e aquisição da tensão de base.

### 3.3. ADAPTADOR USB <-> RS-232

Sendo as portas USB o meio de comunicação mais utilizado entre o PC e o exterior, foi integrado nesta unidade um módulo conversor USB<->RS232 compatível com *chipset* PL-2303 da **Prolific**, que serve de ponte entre a unidade de controlo e o PC (figura 45).

A escolha deste *chipset* deve-se á sua compatibilidade com os sistemas operativos mais utilizados.

### 3.4. IMAGENS DO HARDWARE

Tendo em conta as diversas possibilidades evolutivas do sistema, a implementação da unidade de condicionamento de sinal foi realizada em *breadboard*, recorrendo a componentes discretos convencionais. A figura 45 apresenta o módulo adaptador USB<->RS-232 utilizado na comunicação entre a unidade de controlo e o PC.

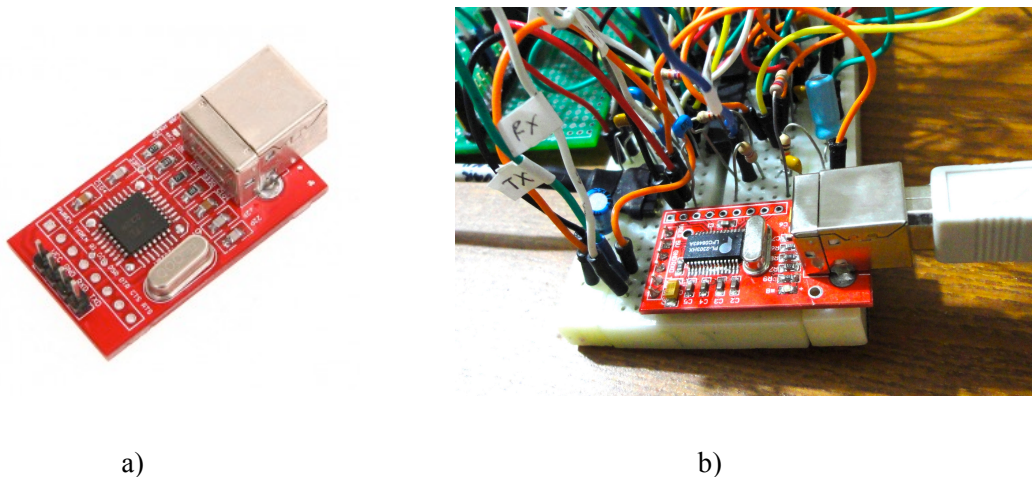
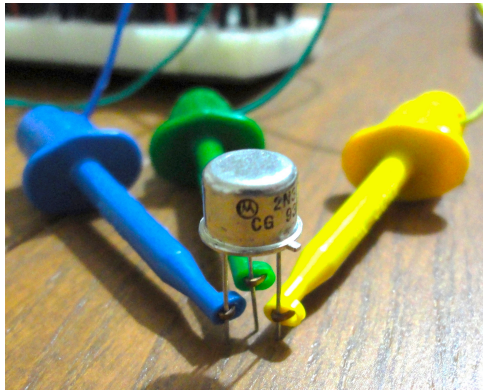


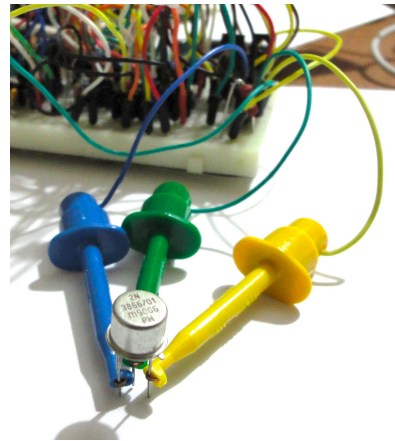
Figura 45 – Adaptador USB – RS-232: a) módulo; b) integração na UCS

A ligação dos transístores ao sistema é feito através de 3 ligadores (figura 46), cuja cor corresponde a cada um dos terminais do transístor:

- **Amarelo** – emissor ou fonte;
- **Verde** - base ou porta;
- **Azul** – colector ou dreno.



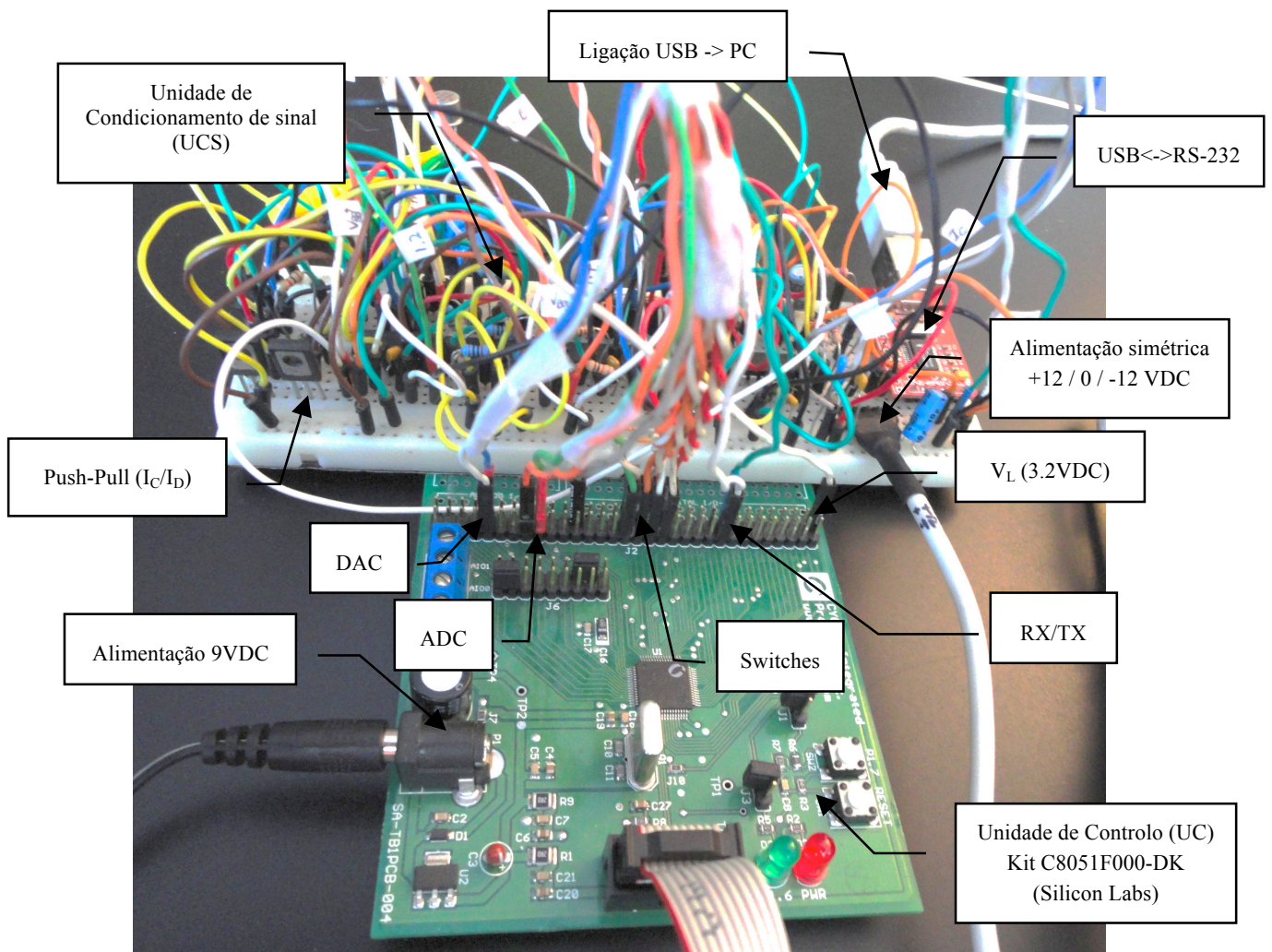
a)



b)

**Figura 46 – Transistores em teste**

A figura 47 apresenta a interligação das duas unidades (UC+UCS), podendo o esquema integral do sistema ser consultado no **Anexo A** deste documento.



**Figura 47 – Hardware completo: UCS e UC**



# 4. SOFTWARE

O software desenvolvido para assegurar as funcionalidades especificadas para o sistema de teste de transístores é constituído genericamente por 2 grupos de programas:

- Programa da UC e da UCS – corresponde às rotinas desenvolvidas para a unidade de controlo (microcontrolador) e que é responsável pela leitura e pré-processamento dos dados recolhidos da placa principal e posterior transmissão via USB para uma unidade central (PC);
- Programa para o PC – responsável pela representação gráfica das curvas em PC, em função dos dados recolhidos pela porta USB, proveniente da unidade de controlo.

## 4.1. PROGRAMA DA UC E DA UCS

Este programa foi desenvolvido em linguagem C no sistema de desenvolvimento integrado (IDE) *KEIL*, sendo responsável por realizar as seguintes funções:

- Gerar a tensão de colector/dreno, fazendo-a variar de 0 a 10 V;
- Gerar os níveis de tensão de base/porta entre 0 e 10 V;
- Seleccionar a resistência de polarização mais adequada ao dispositivo em teste;
- Seleccionar os canais adequados à obtenção de níveis de tensão positivos, adaptados às entradas do AD;
- Medir as grandezas pretendidas ( $I_C$ ,  $I_B$ ,  $V_{CE}$ ,  $I_D$ ,  $V_{DS}$ , ...);
- Manter os valores de corrente/tensão dentro dos valores especificados;

- Preparar os dados processados, formatando-os mediante o protocolo estabelecido, para serem enviados para o PC;
- Enviar os dados formatados para o PC.

#### 4.1.1. ESTRUTURA

A natureza das tarefas a realizar pela unidade de controlo, envolvendo operações de cálculo, comunicação de dados e controlo de periféricos, aponta para a utilização de uma estrutura modular que simplifique o seu desenvolvimento, análise e a depuração de código, como se sugere na figura 48.

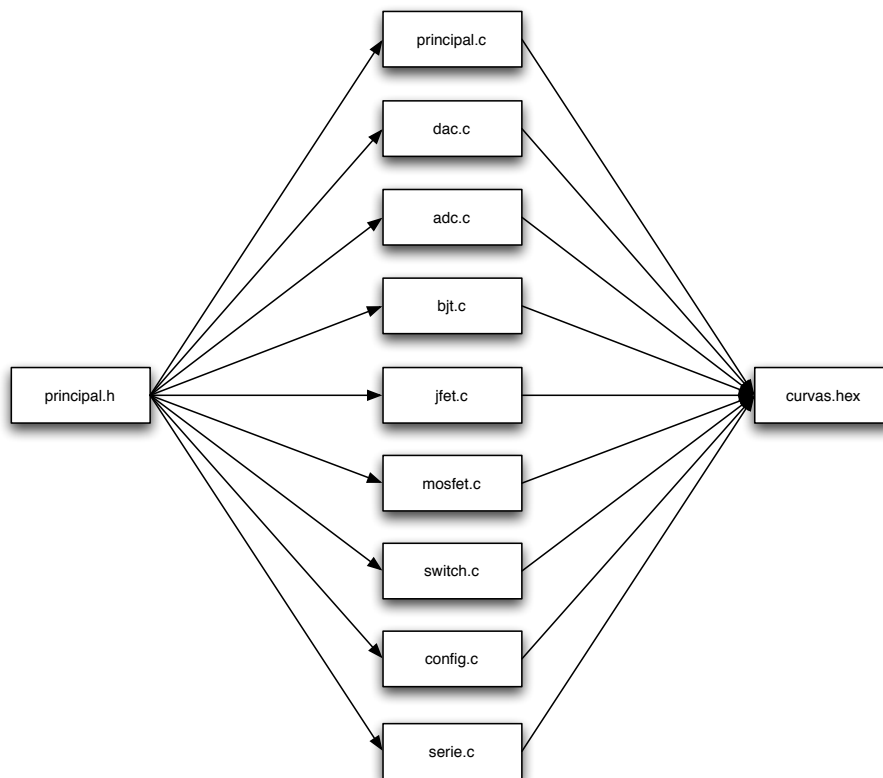


Figura 48 – Estrutura do programa da UC e da UCS

#### 4.1.2. PRINCIPAL.C

Como o próprio nome indica, esta função é responsável pelas configurações iniciais do sistema (conversores, timers, UART e portas), colocando o microcontrolador em modo de espera da ocorrência de uma interrupção da porta série (figura 49).

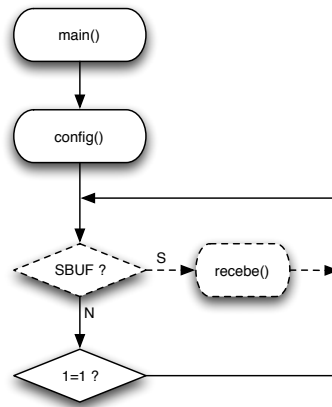


Figura 49 – Fluxograma da função *main()*

Ocorrida a interrupção, a primeira função a ser chamada é a função *inicia()* – ver figura 50 –

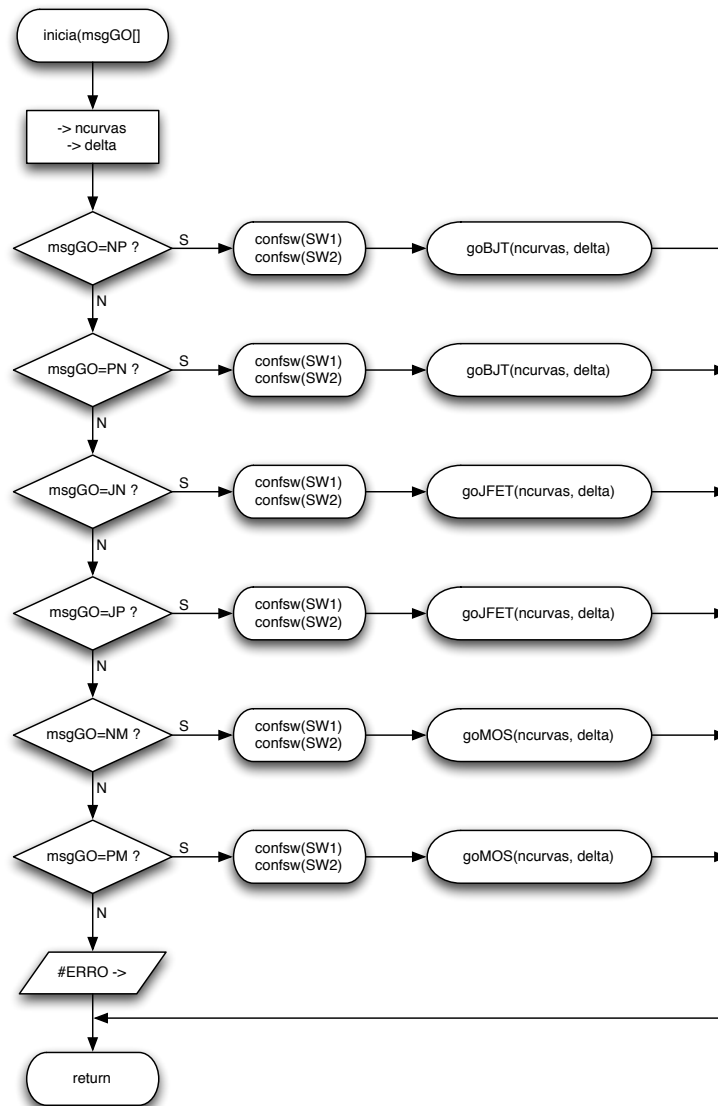


Figura 50 – Fluxograma da função *inicia()*

que recebe da função de atendimento da interrupção depois de identificada, a mensagem proveniente da porta série. Nesta função, é identificado o tipo de transistor, seleccionada a resistência de polarização mais adequada e chamada a função que irá proceder ao traçado das curvas.

Encontra-se ainda definida neste ficheiro a função *temp\_ms()* – ver figura 51 – que executa temporizações de 1 ms, utilizadas essencialmente na conversão de dados (DAC, ADC), a fim de garantir a estabilidade das tensões antes da recolha de dados.

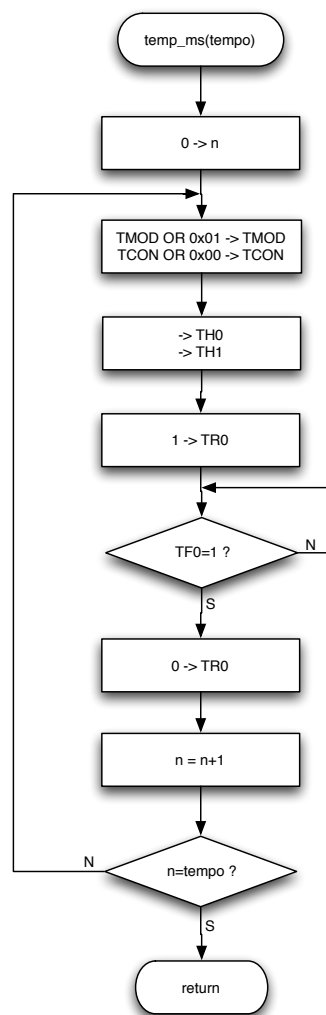
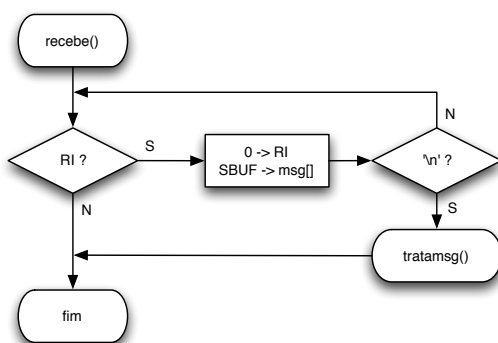


Figura 51 – Fluxograma da função *temp\_ms()*

#### 4.1.3. SERIE.C

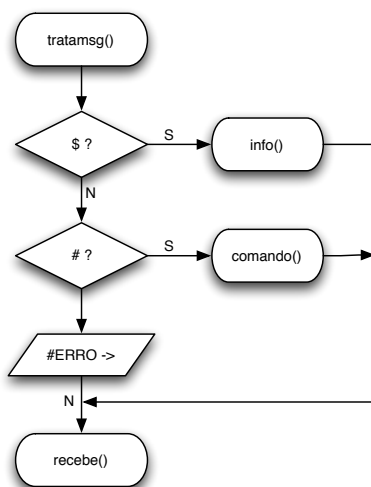
O ficheiro serie.c contém a função do vector de interrupção da UART, onde são recebidas e enviadas as instruções necessárias ao funcionamento de todo o sistema.



**Figura 52 – Fluxograma da função *recebe()***

Recebida uma mensagem, esta é encaminhada para a função *tratmsg()* – ver figura 53 – onde é feita a sua identificação em função do cabeçalho:

- \$ - Pedido de informação (versão do *programa da UC*, estado dos DACs, ...)
- # - Instrução de execução (incrementar a saída dos DACs, alterar a resistência de polarização, etc...)



**Figura 53 – Identificação do tipo de mensagem**

Identificado o tipo de mensagem, esta é utilizada pela respectiva função: *info()* – figura 54 – para pedidos de informação, e *comando()* – figura 55 – para instruções de execução.

Na função *info()* são analisados os estados dos 4 bits menos significativos da porta 3 que controla os comutadores analógicos de selecção da polaridade dos transístores, e os 4 mais significativos que seleccionam as resistências de polarização de base ou de porta.

É ainda esta função que dá início ao processo de análise dos parâmetros característicos do componente em teste (ganho DC,  $V_{CE(Sat)}$ ,  $V_{GS(th)}$ , ...)

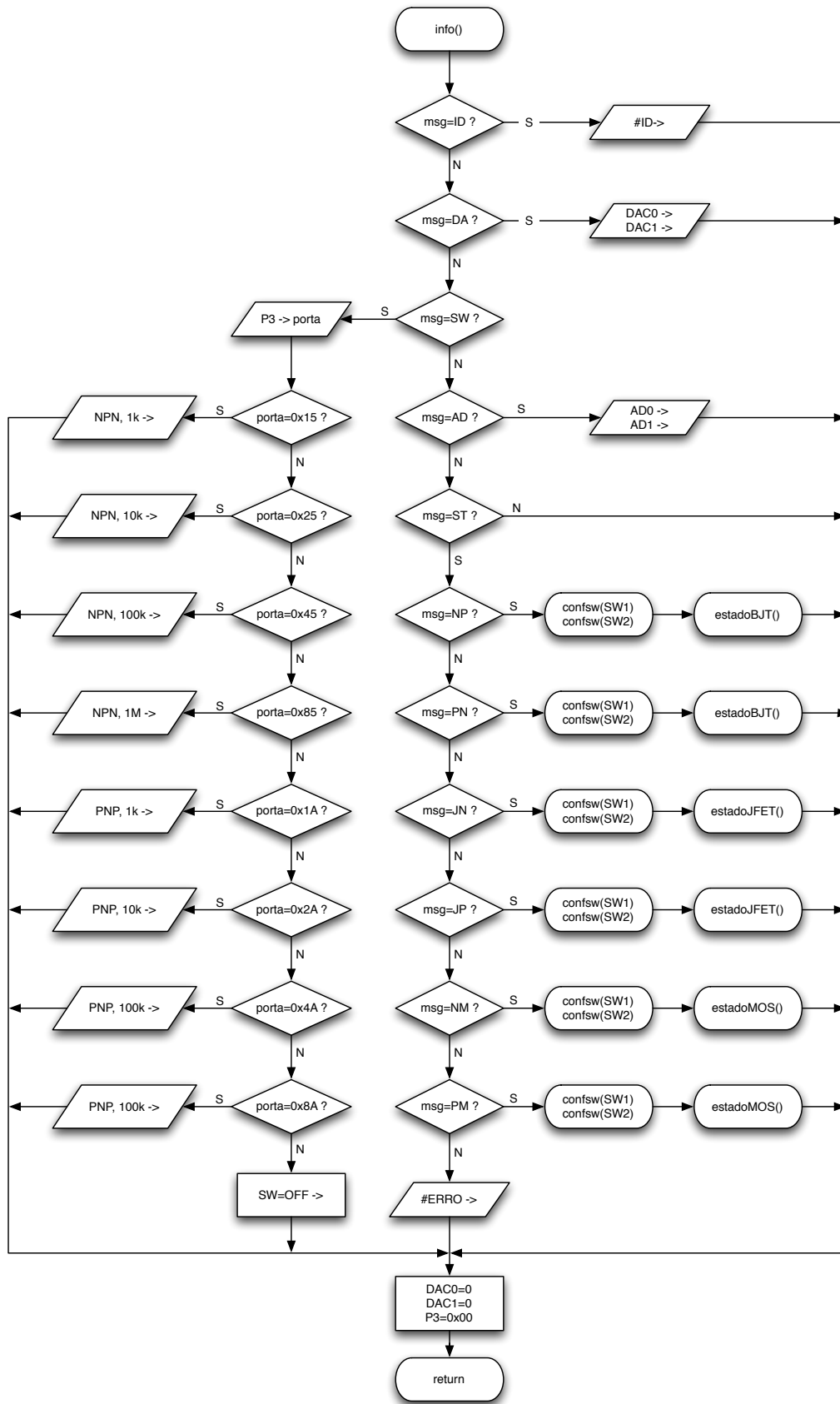
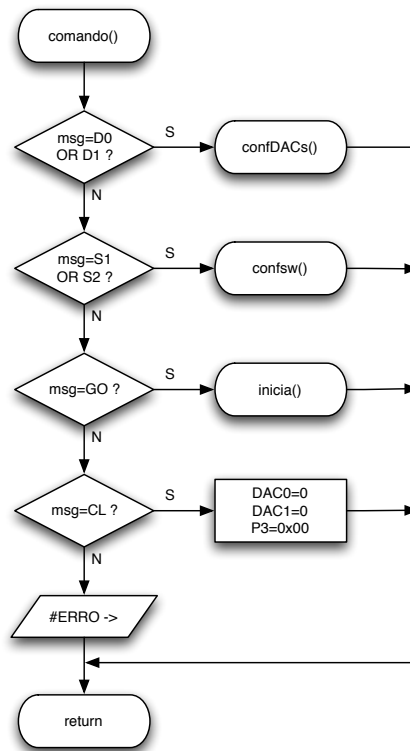


Figura 54 – Fluxograma da função *info()*



**Figura 55 – Fluxograma da função *comando()***

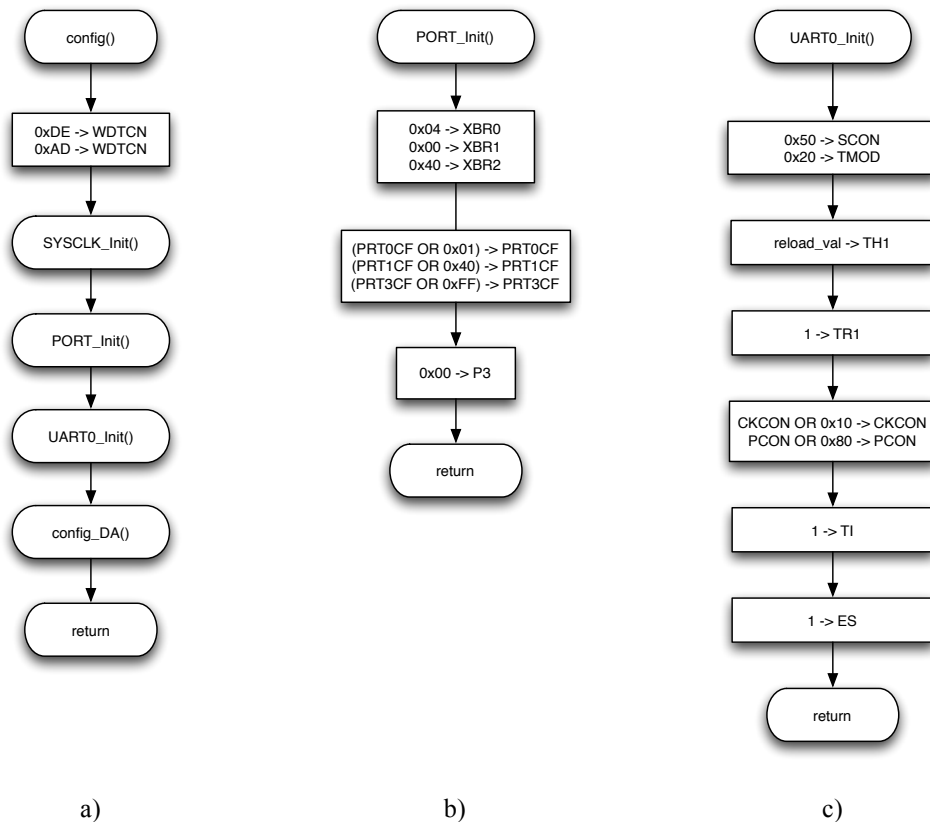
Na função *comando()*, é identificado o tipo de instrução a executar e chamada a respectiva função. Estão previstos 4 tipos de comandos, cada um identificado por um cabeçalho diferente:

- #D1 ou #D2 - Controlo dos DACs (atribuição directa de valores nos seus registos)
- #S1 ou #S2 – Controlo dos comutadores analógicos.
- #GO – Início de um traçado de curvas
- #CL – Reposição dos parâmetros iniciais do sistema (DACs=0, P3=0)

#### 4.1.4. CONFIG.C

Este ficheiro contém as funções responsáveis pela configuração dos periféricos da unidade de controlo, nomeadamente:

- Portas – *port\_init()*
- Comunicação série (TX, RX da UART) – *UART0\_Init()*
- Oscilador externo (*clock*) – *SYSCLK\_Init()*
- Conversor A/D – *ADC0\_Init()*
- Conversores D/A – *config\_DA()*



**Figura 56 – Fluxogramas de configuração: a) geral; b) portas 0, 1 e 3; c) UART**

Sendo utilizados 2 canais do conversor A/D, a sua função de configuração recebe como argumento um inteiro que identifica o canal usado (0 ou 1) – ver figura 57b.

Apesar do microcontrolador integrar um oscilador interno programável, foi utilizado um cristal externo de 11,0592 MHz com vista à simplificação da configuração da UART e no controlo dos tempos de execução ( $1\mu\text{s}/\text{ciclo de } clock$ ).

O C8051F000 permite configurar as portas de E/S em 2 estados distintos: dreno aberto e push-pull. Assim, a porta 3 será configurada como push-pull, a fim de controlar o comutador analógico de selecção de polaridade e de resistência de polarização dos transístores.

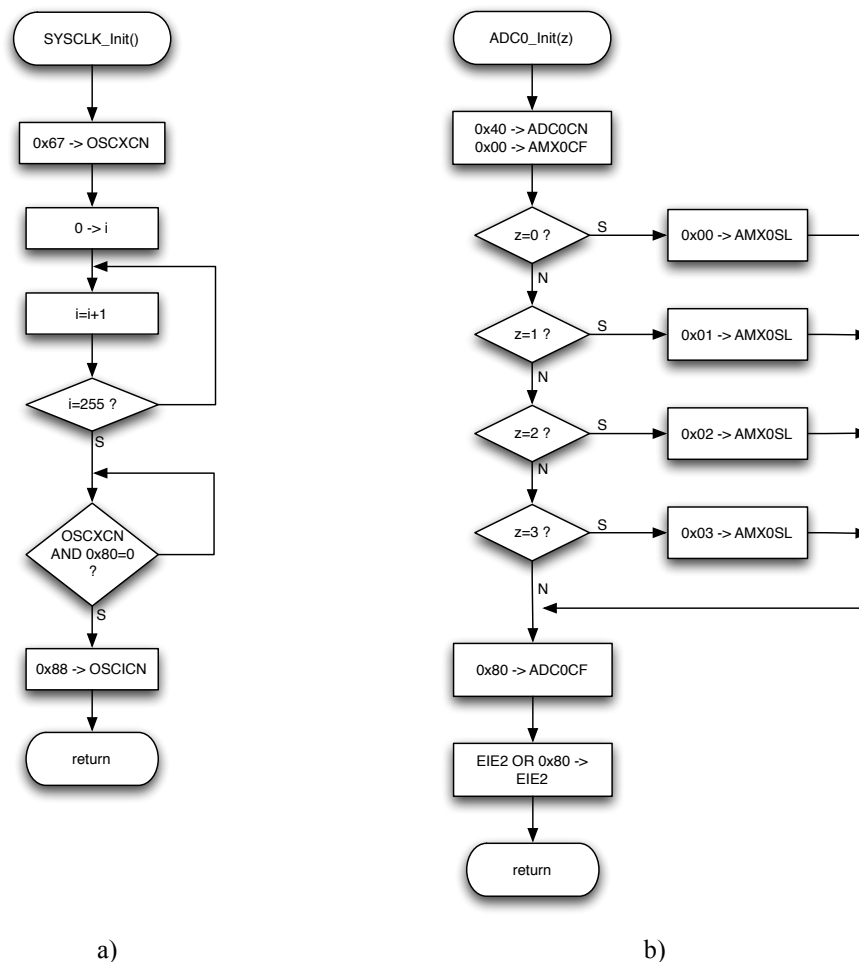


Figura 57 – Fluxogramas de configuração: a) oscilador externo; b) conversor AD

#### 4.1.5. ADC.C

Neste ficheiro encontram-se as funções de atendimento de interrupção de fim de conversão do A/D e o armazenamento do resultado da conversão. O C8051F000 permite 2 modos de funcionamento do conversor A/D:

- Conversão contínua – sendo o fim de conversão sinalizado por uma interrupção;
- Conversão controlada – ficando a cargo do utilizador o início de conversão.

Visto ser o utilizador através do programa que decide quando é necessário iniciar a conversão, foi utilizado o modo de conversão controlada.

A função *ad()* recebe como argumento o canal do A/D e devolve o resultado da conversão após a ocorrência da respectiva interrupção. A função *ADC0\_ISR()* desactiva a *flag* de interrupção.

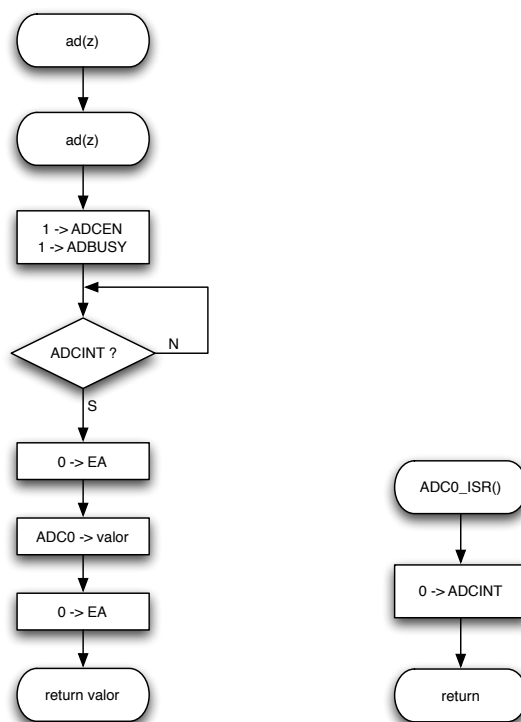


Figura 58 – Funções do conversor A/D: a) controlo da conversão; b) vector de interrupção

#### 4.1.6. SWITCH.C

O controlo dos comutadores analógicos responsáveis pela selecção da resistência de polarização e pela polaridade das tensões é realizado pela principal função contida nesta ficheiro *confsw()*, sendo utilizada sempre que é necessário realizar qualquer operação sobre um transístor.

A selecção dos comutadores mais adequados depende do tipo e polaridade do transístor que está a ser testado. A tabela 5 resume as diversas polaridades em função do tipo de transístor

Tabela 5 – Polaridades das correntes e tensões nos transístores

Tipo de transístor	$I_C/I_D$	$V_{BB}/V_{GG}$	$V_{CE}/V_{DS}$
TBJ – NPN	+	+	+
TBJ – PNP	-	-	-
JFET – Canal N	+	-	+
JFET – Canal P	-	+	-
MOSFET – Canal N	+	+	+
MOSFET – Canal P	-	-	-

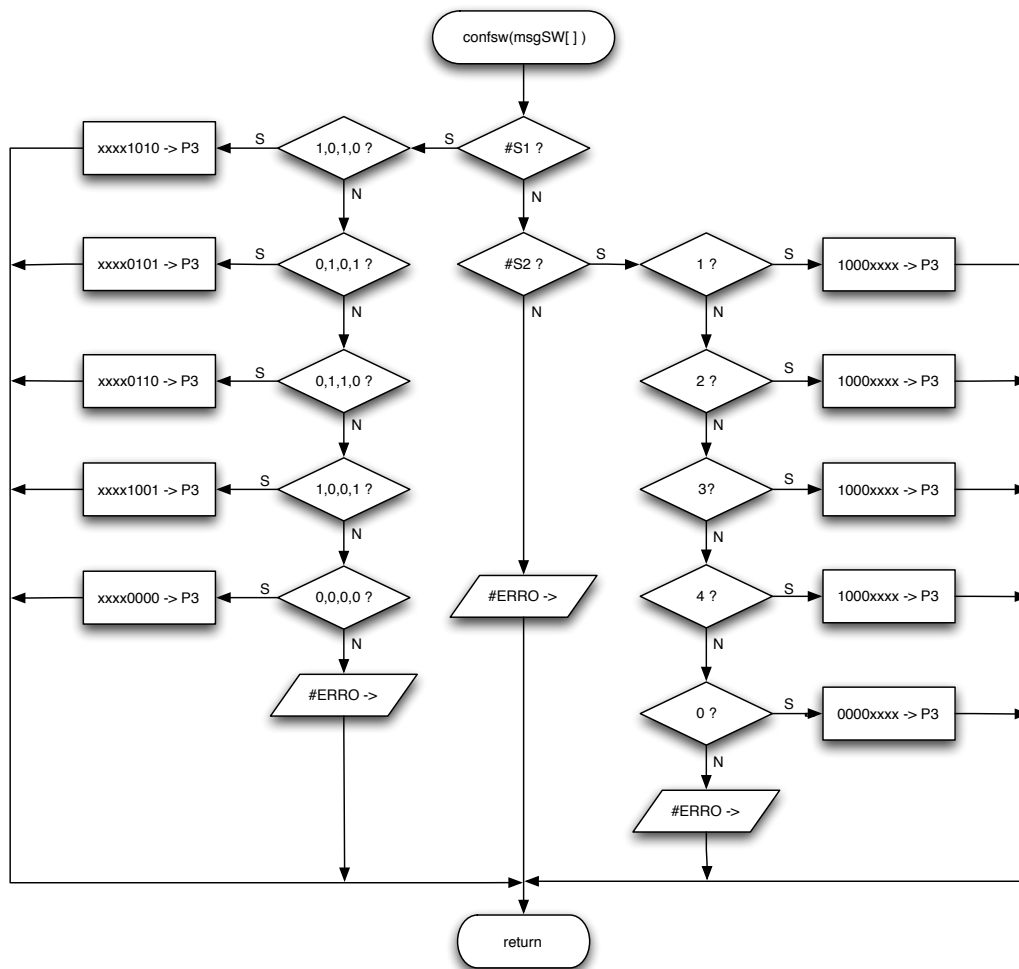


Figura 59 – Fluxograma da função *confsw()*

A função *confsw()* recebe como argumento uma *string* formatada pelo protocolo de comunicação, previamente seleccionada, contendo um conjunto de configurações e o *switch* a que se destina (1 ou 2).

#### 4.1.7. DAC.C

Este ficheiro contém as principais funções de controlo do conversor D/A. A função *confDACs()* recebe como argumento uma *string* formatada contendo o DAC a que se destinam os valores ou a operação a efectuar.

A função *incdec()* permite incrementar ou decrementar o valor de cada um dos DACs, sendo principalmente utilizada pela consola do programa (ver secção 4.2). Os caracteres de controlo são:

- '+' – Operação de incremento
- '-' – Operação de decremento

Os valores permitidos para este comando devem estar compreendidos entre 0000 e 4096 (0x000 a 0xFFF).

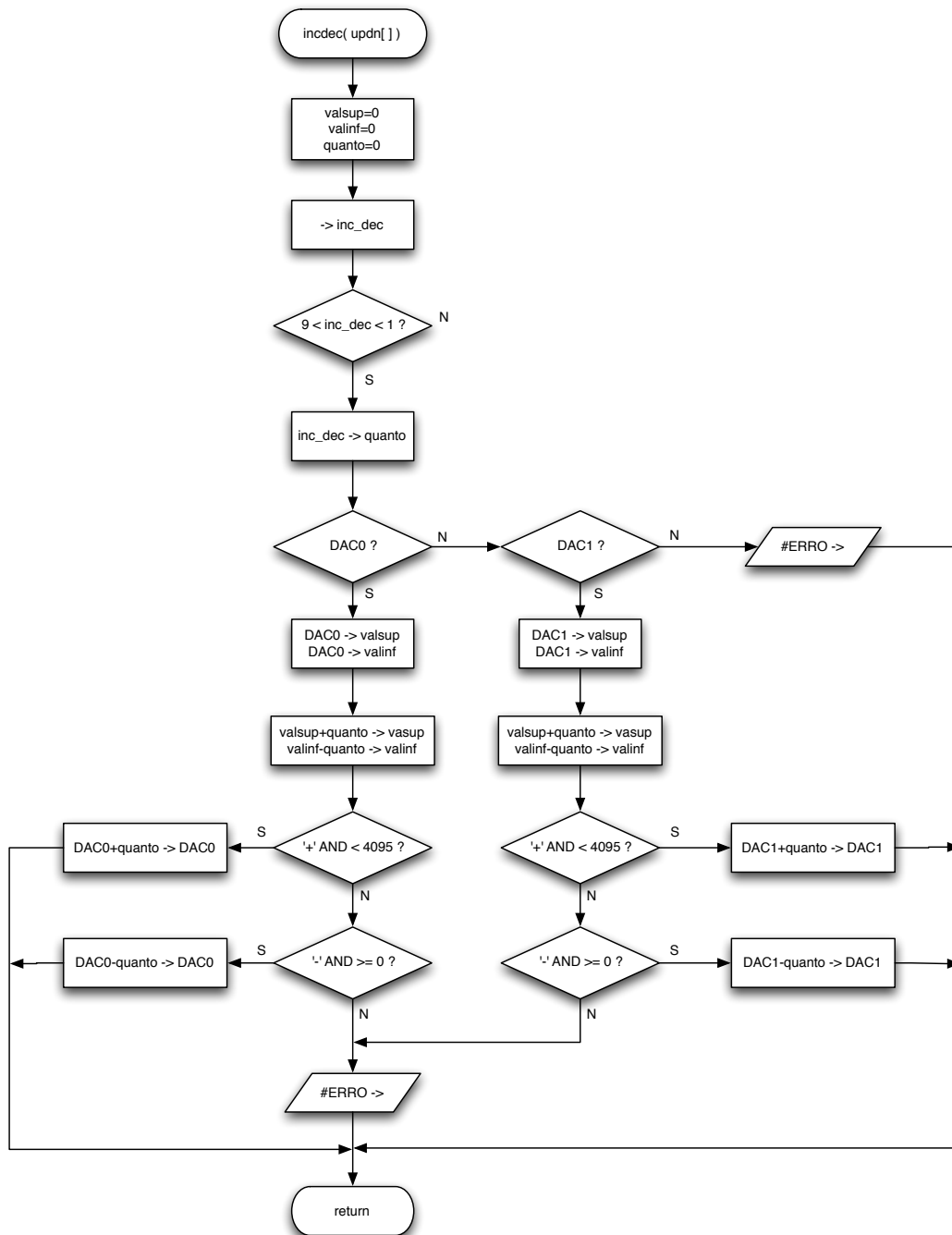
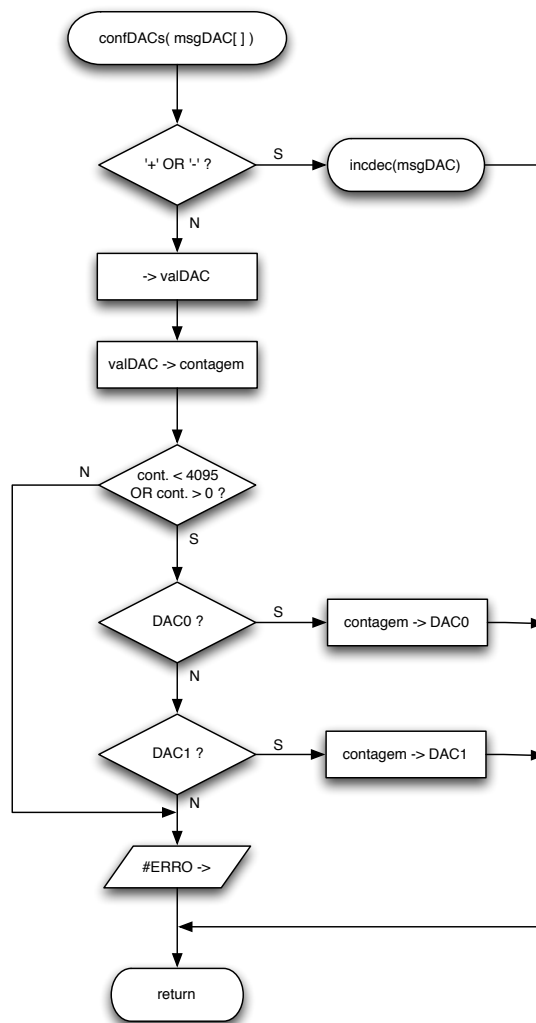


Figura 60 – Fluxograma da função *incdec()*



**Figura 61 – Fluxograma da função confDACs()**

#### 4.1.8. BJT.C

Este ficheiro contém as funções utilizadas no processamento dos dados relativos ao traçado dos transístores bipolares de junção. As principais funções envolvidas no processo são:

- *goBJT()* – Executa todas as tarefas que levam à obtenção dos dados necessários ao traçado das curvas;
- *estadoBJT()* – Determina alguns parâmetros do transístor que permitem verificar o seu estado ( $\beta_{DC}$ ,  $V_{CE(Sat)}$ , ...)

São ainda utilizadas 3 funções auxiliares que permitem determinar estes parâmetros:

- *calcRbIbmax()* – Determina os valores da resistência de polarização e o valor da corrente de base máxima, para que o valor da corrente de colector não seja excedida (100 mA).
- *calcVceSat()* – Determina o valor da tensão de saturação no ponto médio de  $I_C$  (50 mA) da curva de  $I_{Bmax}$ .
- *calcBetaDc()* – Determina o valor de  $\beta_{DC}$  no ponto médio da característica ( $I_C=50$  mA,  $V_{CE}=5V$ )

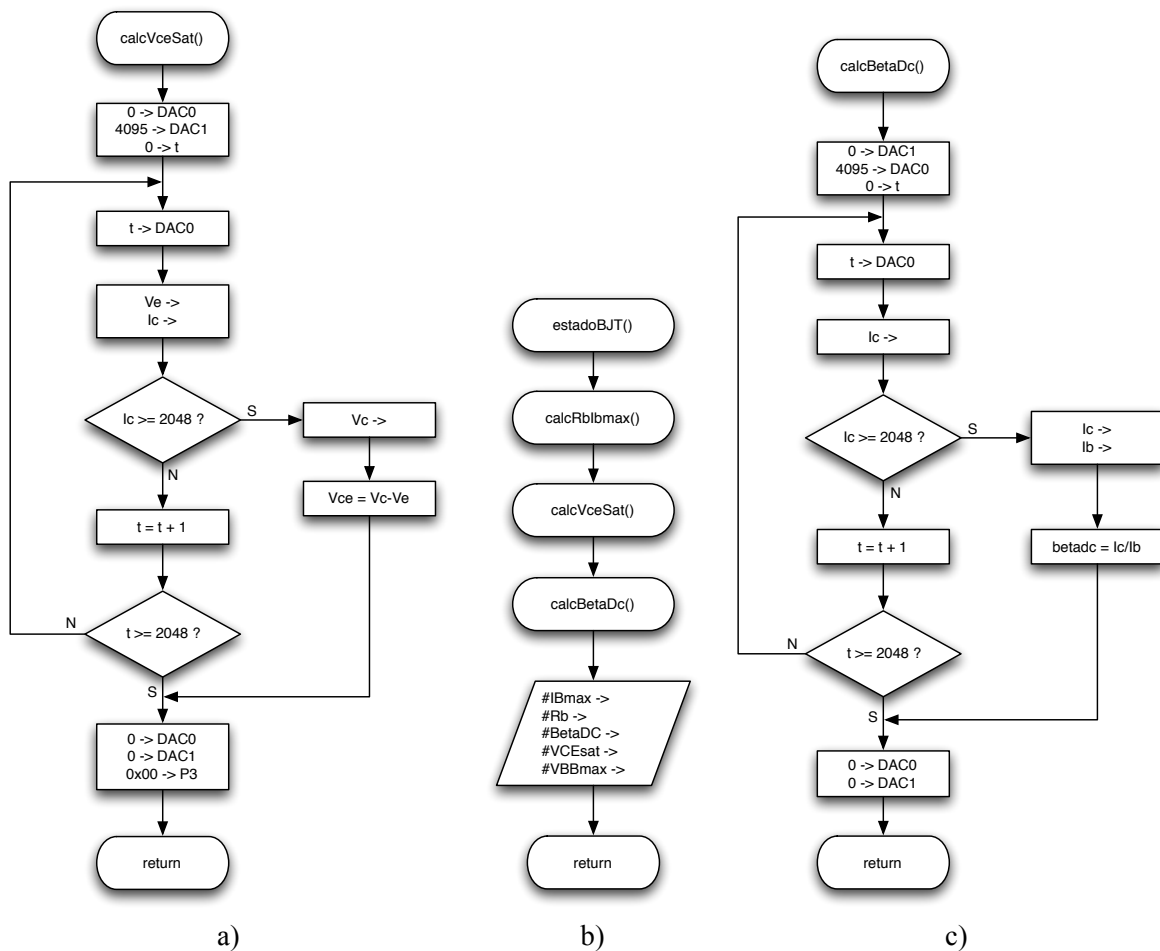


Figura 62 – Fluxogramas das funções: a) *calcVceSat()*; b) *estadoBJT()*; c) *calcBetaDc()*

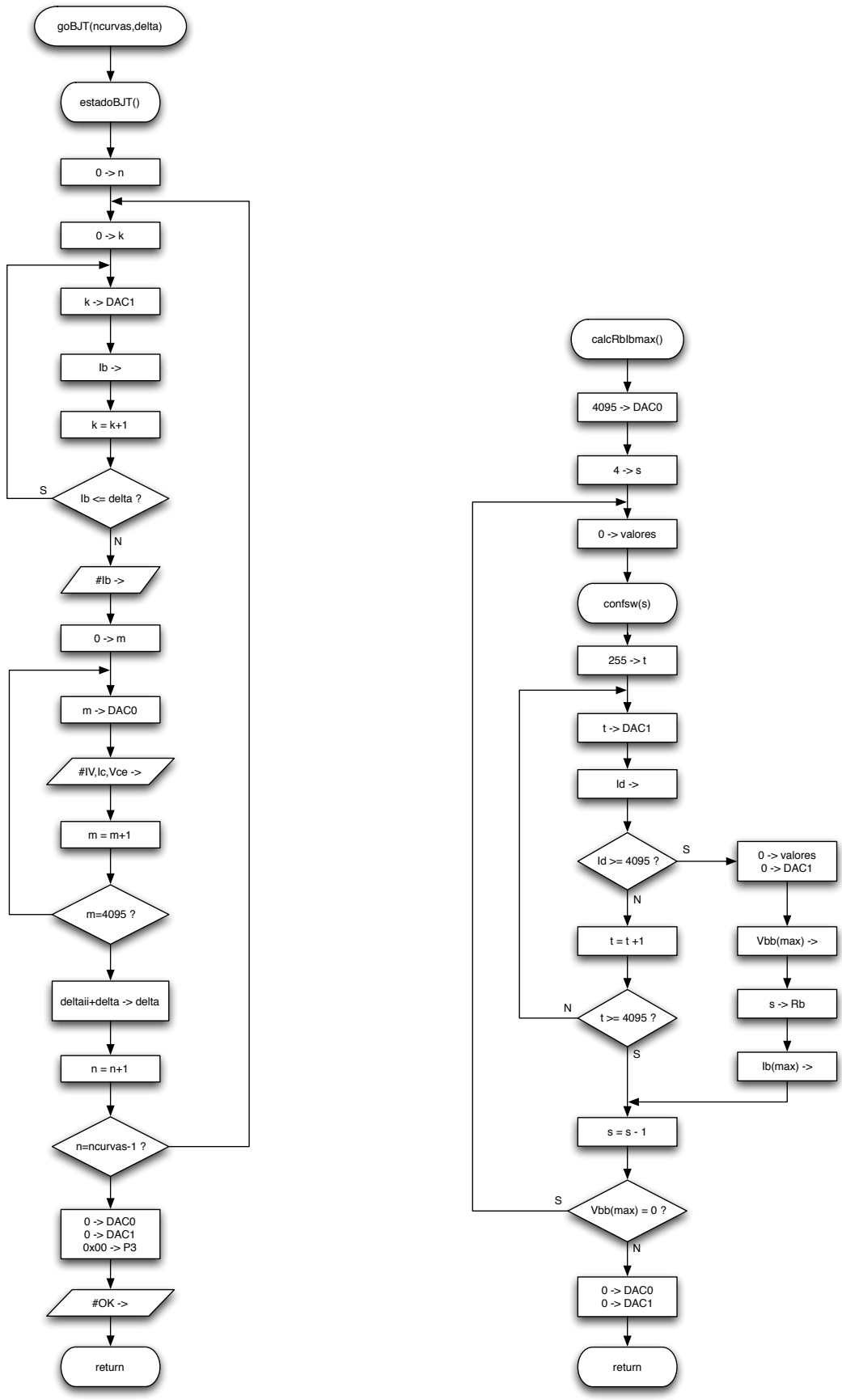


Figura 63 – Fluxogramas das funções *goBJT()* e *calcRbIbmax()*

#### 4.1.9. JFET.C

Este ficheiro contém as funções responsáveis pelo traçado das curvas dos transístores de efeito de campo de junção. O traçado inicia-se com a determinação dos valores da corrente máxima de dreno  $I_{DSS}$ , do valor de corte  $V_{GS(off)}$  e da selecção da resistência de polarização da porta ( $R_G=1M\Omega$  para FETs), através da função *estadoJFET()*.

A determinação da corrente máxima de dreno  $I_{DSS}$  obtém-se com a tensão de porta nula, fazendo de seguida variar a tensão de dreno  $V_D$  até ao seu valor máximo (10 VDC).

A tensão de corte porta-fonte  $V_{GS(off)}$ , é obtida fazendo variar a tensão na porta do transístor até que a corrente de dreno  $I_D$  se anule.

O traçado das curvas segue o mesmo procedimento que os dos TBJs, sendo neste caso monitorizada a tensão  $V_{GS}$  em vez da corrente.

#### 4.1.10. MOSFET.C

Este ficheiro contém as funções responsáveis pelo traçado das curvas dos FETs de metal-óxido semiconductor (MOSFETs). O traçado inicia-se com a selecção da resistência de polarização da porta, determinação da tensão de limiar  $V_{GS(th)}$  e da tensão porta-fonte máxima  $V_{GS(max)}$  (quando a corrente de dreno é máxima de 100 mA), através da função *estadoMOS()*.

O valor da tensão de limiar  $V_{GS(th)}$  é obtido fixando tensão de dreno  $V_{DD}$  no seu valor máximo (10 VDC) e variando a tensão de porta até que a corrente de dreno atinja aproximadamente 5% de  $I_{Cmax}$  ( $\pm 5$  mA).

O valor da tensão porta-fonte máxima  $V_{GS(max)}$  é obtido fixando tensão de dreno  $V_{DD}$  no seu valor máximo (10 VDC) e variando a tensão de porta até que a corrente de dreno atinja o seu valor máximo (100 mA).

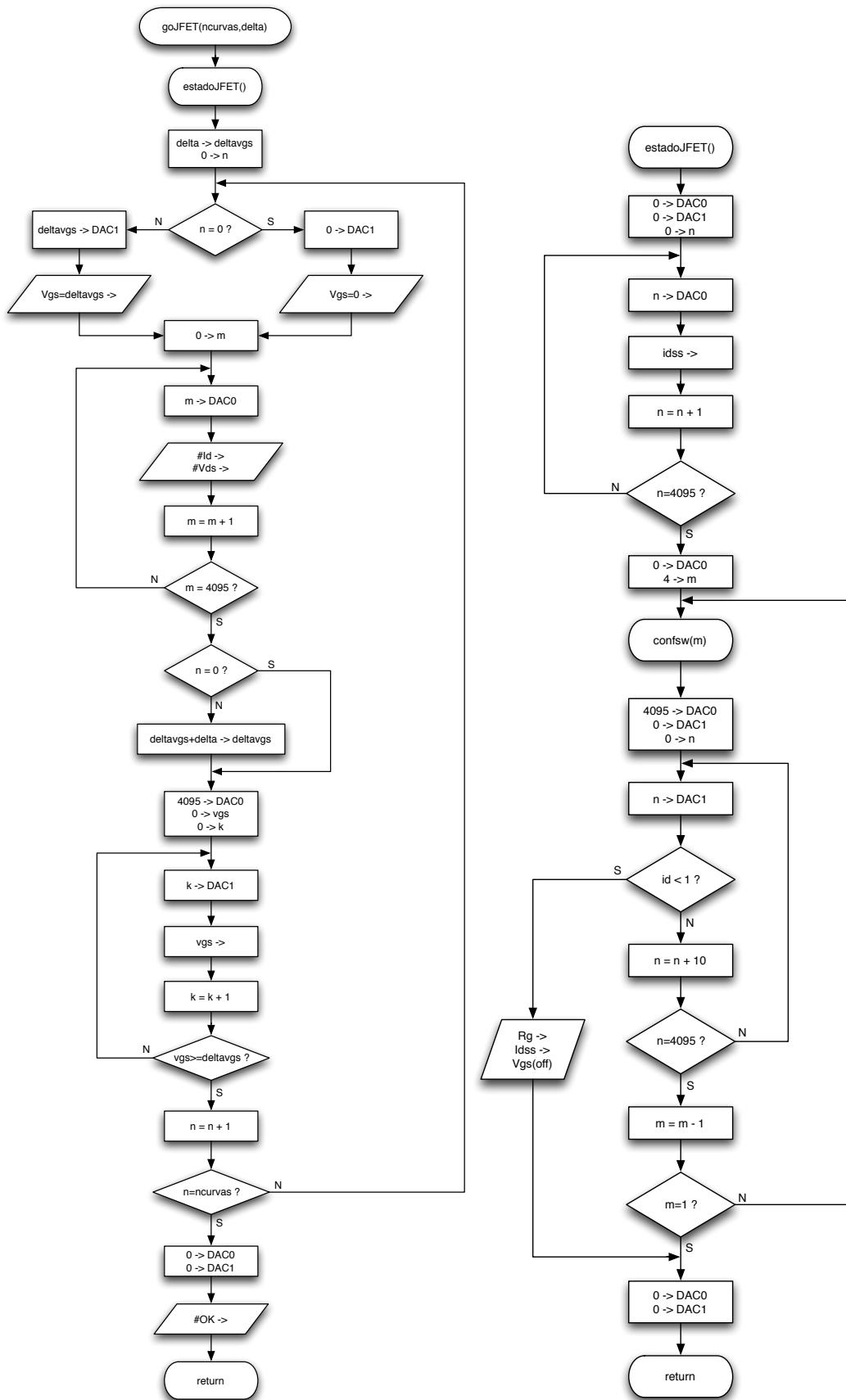


Figura 64 – Fluxogramas das funções *goJFET()* e *estadoJFET()*

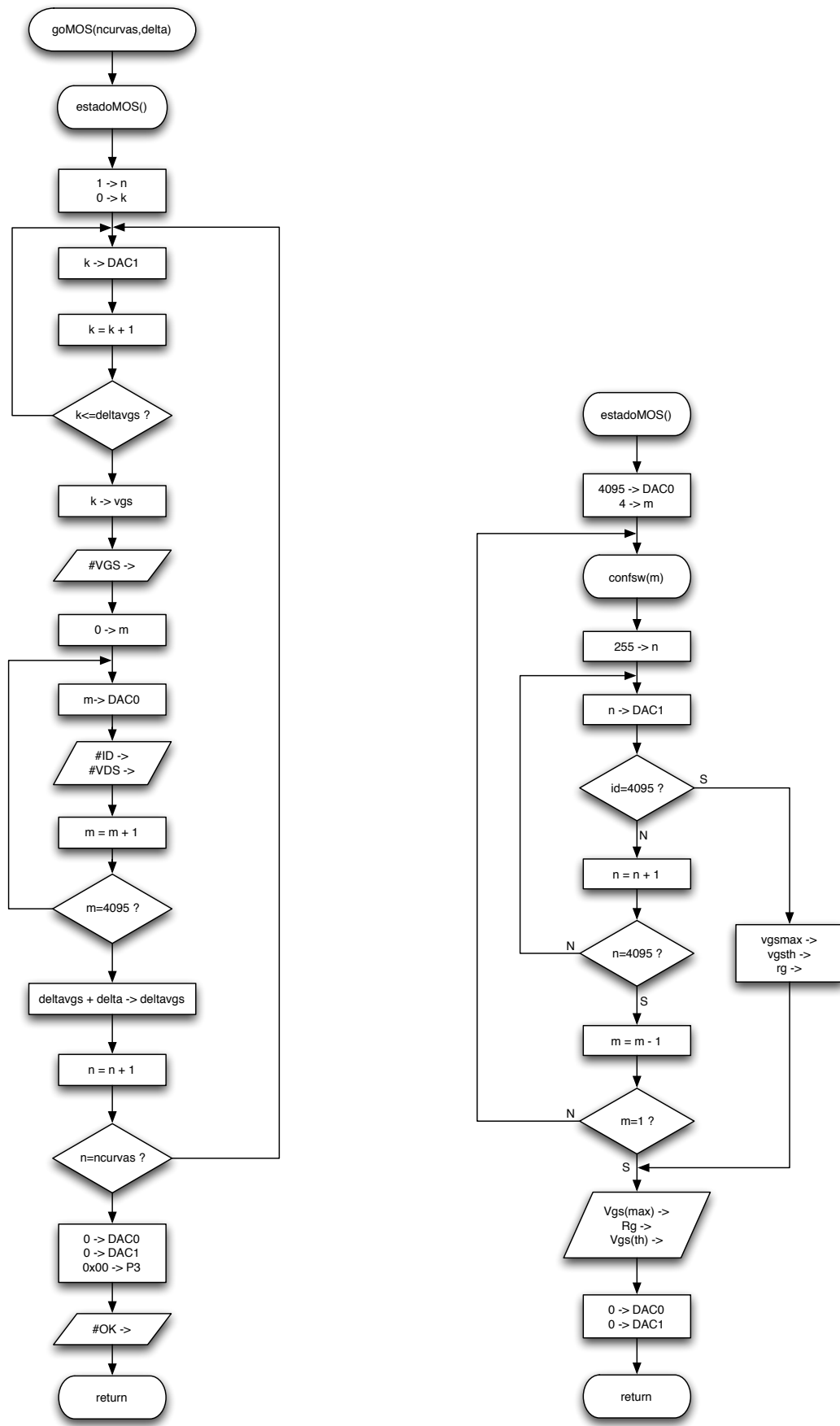


Figura 65 – Fluxogramas das funções *goMOS()* e *estadoMOS()*

## 4.2. PROGRAMA PARA O PC

O programa “*Curvas V1.2*” foi desenvolvida em Visual Basic Express 2005 (VB .NET), podendo ser executada em qualquer versão do Ms Windows a partir da versão XP.

Descrevem-se seguidamente as principais funcionalidades do programa, bem como o modo de utilização no traçado de curvas.

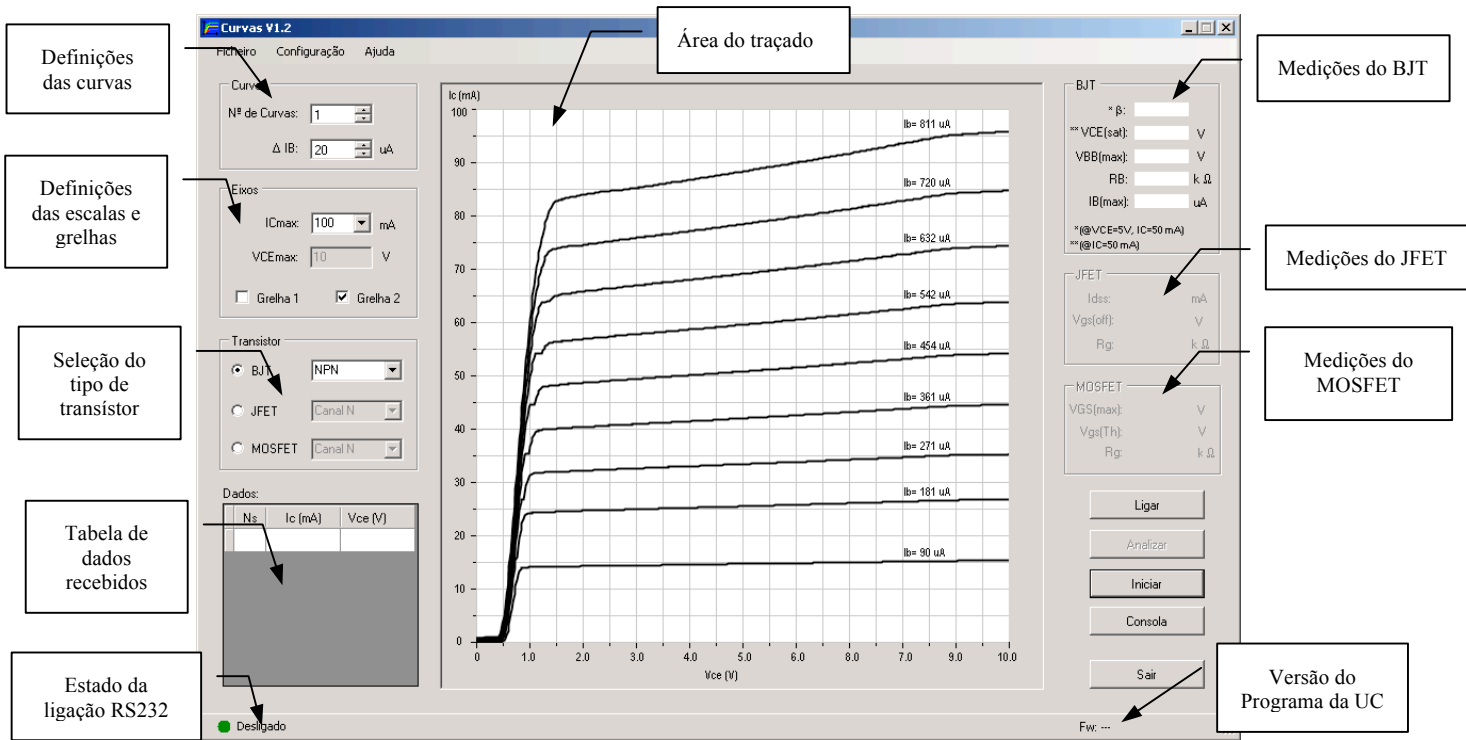


Figura 66 – Janela principal do programa “Curvas V1.2”

### Legenda:

- **Definições das curvas:** Permite definir a quantidade de curvas a traçar. Pode assumir valores entre 1 e 9. Permite ainda definir o intervalo constante entre curvas, e corresponde ao passo (*Step*) entre os valores da corrente de base ou tensão de porta (gate).
- **Definições das escalas e grelhas:** Permite configurar a escala do eixo y ( $I_c$  ou  $I_D$ ). Quando importados, os dados são automaticamente ajustados à escala seleccionada. A escala do eixo x ( $V_{CE}$  ou  $V_{DS}$ ) é fixa em 10 VDC, não podendo ser alterada, sendo a sua referência apenas prevista para futuras evoluções. É ainda possível escolher duas grelhas diferentes, tendo a grelha 1 uma resolução de 1/20 do valor de fim de escala, e a grelha 2 1/5 da

grelha 1. A configuração das cores destas grelhas, bem como do traçado pode ser alterada no menu “Configuração”, no submenu “Cores”.

- **Seleção do tipo de transistor:** Permite seleccionar o tipo de transistor a testar. Estão disponíveis os três principais tipos de transistores, cada um nas duas polaridades características: NPN/PNP para transistores bipolares de junção e canal N/P para transistores de efeito de campo de junção e transistores de efeito de campo metal-óxido semiconductor (MOSFET).
- **Tabela de dados recebidos:** Apresenta em tempo real os dados que estão a ser recebidos da placa de aquisição e condicionamento de sinal, e que serão armazenados em disco num ficheiro com a designação “curvasxx.dat”, em que xx representa um n.º inteiro entre 00 e 99.

#### 4.2.1. MODO DE OPERAÇÃO

Antes do traçado das curvas é necessário proceder à configuração da porta de comunicação série através do menu “Configurações”- “Porta COM” (figura 67), fazendo aparecer a janela de configuração da figura. No campo “Porta” selecciona-se a porta de comunicação com a unidade de condicionamento de sinal, e no campo “Baudrate” define-se a taxa de transmissão, que por omissão está configurada para 9600 bps. Os restantes parâmetros estão predefinidos, não sendo necessário qualquer configuração adicional.

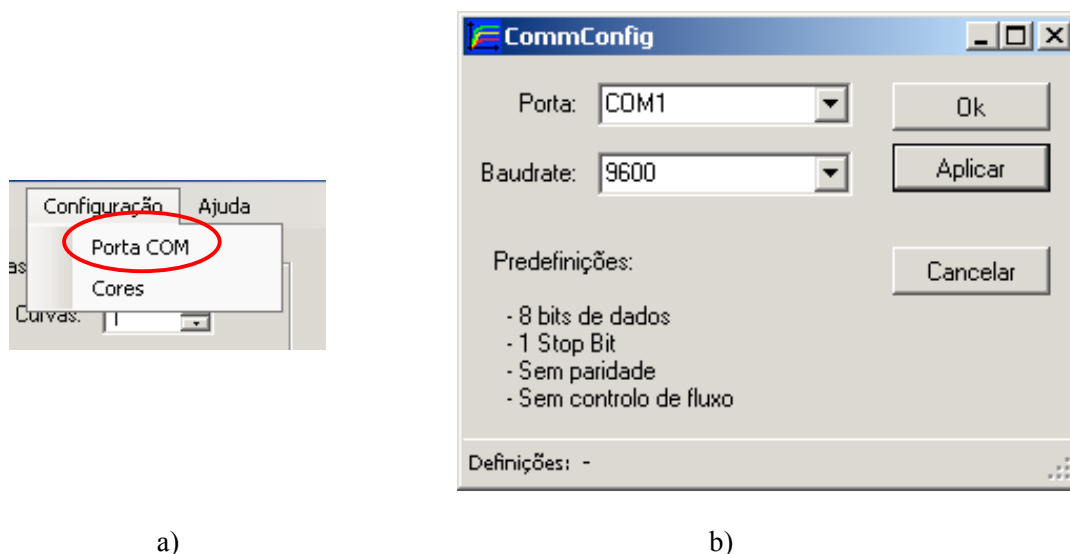
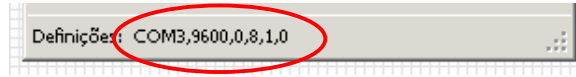


Figura 67 – Configuração da comunicação RS232

Depois de seleccionada a porta de comunicação e a taxa de transmissão, a barra de estado (figura 68) é actualizada, dando as informações características de uma comunicação série (n.º da porta, taxa de transmissão, n.º de bits, paridade, start bits e stop bits).



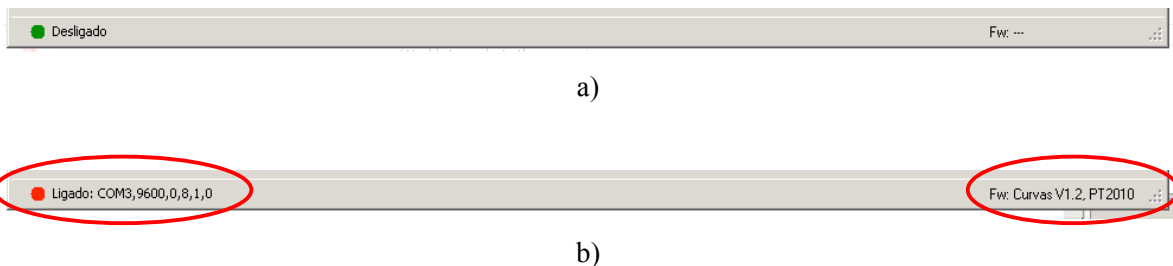
**Figura 68 – Actualização do campo ‘Definições’**

Definidos os parâmetros de comunicação, o programa fica pronto para estabelecer ligação com a unidade de condicionamento de sinal, devendo para isso ser dado início à comunicação, pressionando o botão de comando ‘Ligar’ (ver figura 69 a)).



**Figura 69 – Estabelecimento da ligação série com a unidade de condicionamento de sinal**

Após uma ligação bem sucedida, o programa actualiza o estado dos botões de controlo, cativando os botões ‘Analisar’ e ‘Iniciar’ (figura 69 b)). A barra de estado é igualmente actualizada, alterando a cor do indicador de verde para vermelho e o estado para ‘Ligado’, fornecendo informação ao utilizador sobre o estado da ligação (figura 70).



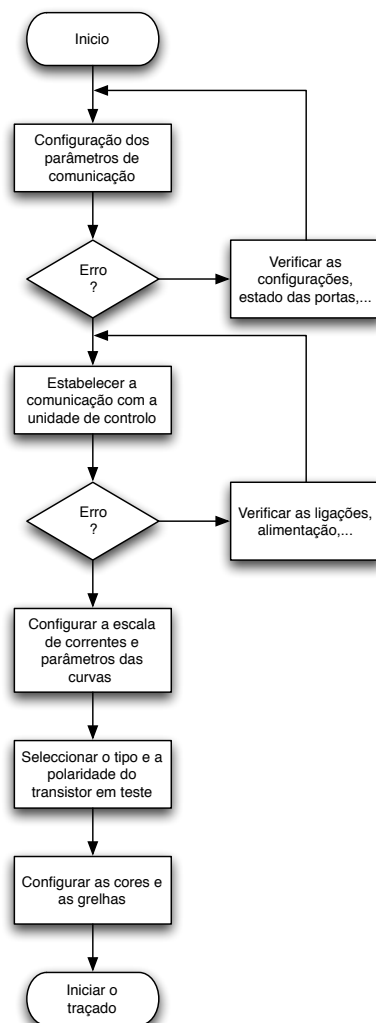
**Figura 70 – Barra de estado – a) sistema desligado; b) ligado**

O sistema encontra-se neste momento preparado para iniciar o traçado das curvas, por actuação do botão ‘Iniciar’ ou testar o componente obtendo os valores a medir ( $\beta_{DC}$ ,  $V_{GS(TH)}$ , ...), pela actuação do botão ‘Analisar’ (figura 69 b)). Nestas condições, o traçado das curvas seria feito com as configurações definidas por omissão, isto é:

- Transístor em teste: TBJ-NPN
- N° de Curvas: 1
- $\Delta I_B$ : 20  $\mu A$
- $I_{C(max)}$ : 100 mA
- Grelhas 1 e 2 cativas
- Cor de fundo preta, cores das grelhas verde e cinzento.

Qualquer outra preferência de traçado, deverá ser configurado nos painéis correspondentes descrito nas secções seguintes.

### Diagrama funcional



#### 4.2.2. CONFIGURAÇÃO DAS CURVAS

A configuração do nº de curvas pretendido bem como do espaçamento entre curvas é determinado no painel ‘Curvas’ (figura 71).

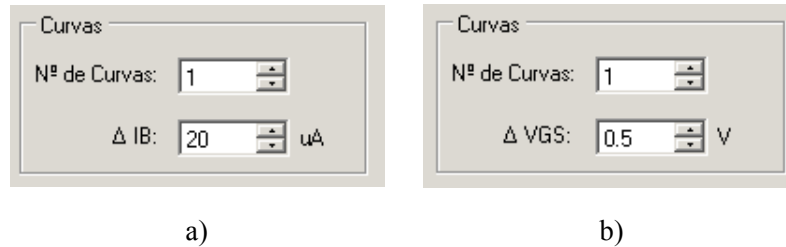


Figura 71 – Painel de definições das curvas

Mediante a escolha do dispositivo a testar, o programa actualiza o nome das variáveis associadas a cada tipo de transistor, como se pode ver nas figuras anteriores:

- $\Delta I_B$  para transistores bipolares;
- $\Delta V_{GS}$  para transistores JFET e MOSFET.

No programa, o nº de curvas está limitado a 9, a variação da corrente de base ( $\Delta I_B$ ) a 1 mA entre curvas, com uma resolução de 10 μA; e a variação da tensão porta-fonte nos FETs a 1 V entre curvas, com resolução de 0,1 V.

#### 4.2.3. CONFIGURAÇÃO DAS ESCALAS DOS EIXOS

A escala vertical pode ser alterada através do painel “Eixos” (figura 72 a)), podendo variar a escala de  $I_C$  ou  $I_D$  entre 1 e 100 mA. A resolução entre 1 e 10 mA é de 1 mA; e de 10 mA entre 10 e 100 mA. As variáveis são automaticamente ajustadas em função do dispositivo escolhido no painel “Transistor”.

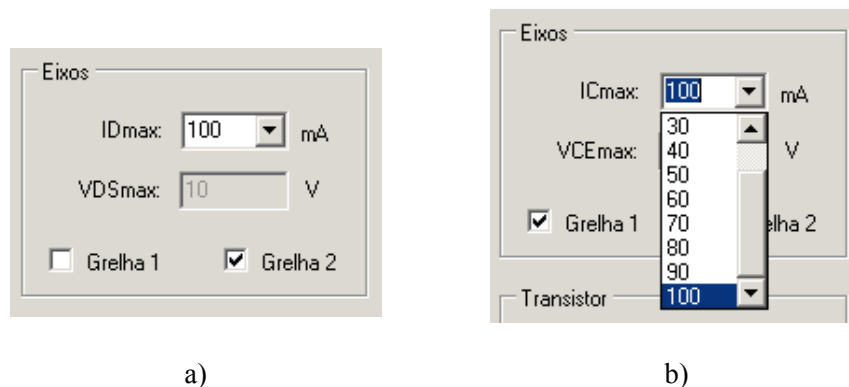


Figura 72 – Configuração das escalas dos eixos

A selecção da escala vertical deve ser feita antes do traçado das curvas, uma vez que qualquer alteração efectuada neste escala depois de traçadas as curvas requerem novo traçado.

A resolução horizontal está fixa em 10 V.

#### 4.2.4. CONFIGURAÇÃO DO TIPO DE DISPOSITIVO

O tipo e polaridade do transistor em teste pode ser seleccionado no painel “Transistor” - figura 73.

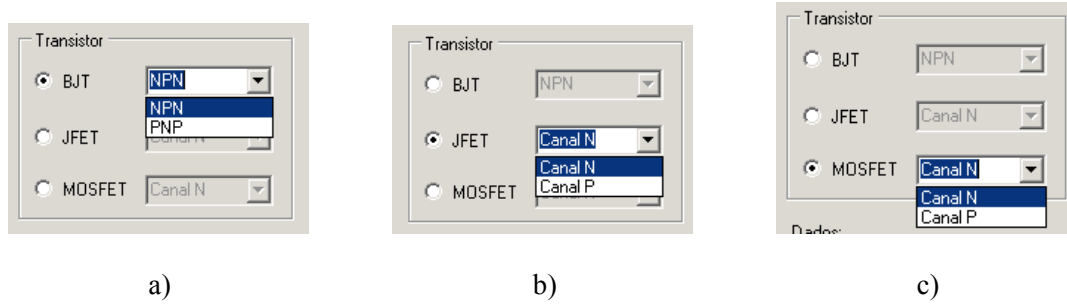


Figura 73 – Selecção do tipo de dispositivo a testar

Associado ao tipo de transistor, estão os painéis laterais da figura 74, nos quais se obtêm alguns parâmetros do transistor em teste. A selecção do transistor activa o painel correspondente.

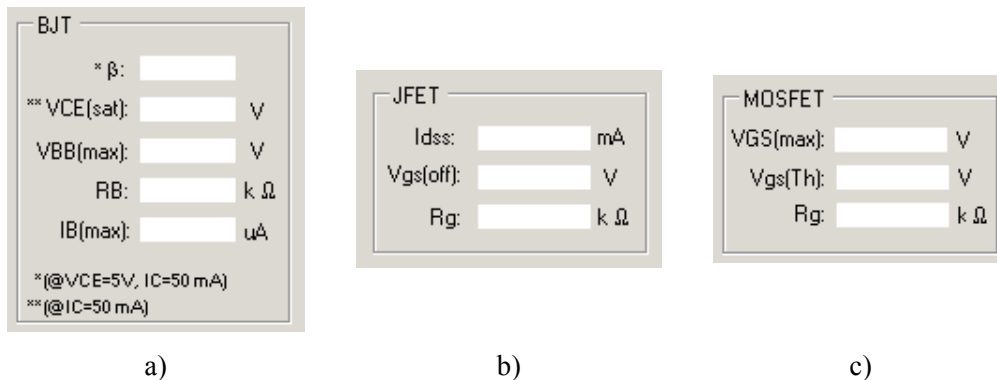


Figura 74 – Campos de valores em teste

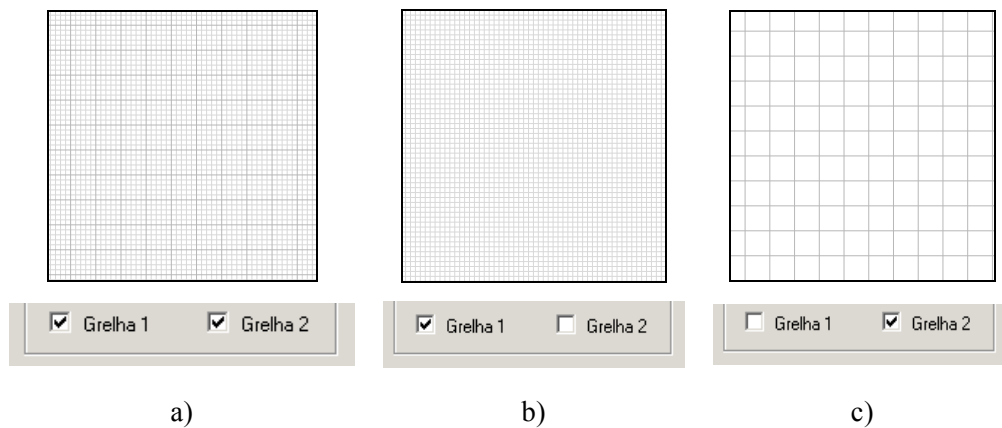
Estes valores podem ser igualmente obtidos actuando no botão “Analisar” – Figura 69b, não sendo necessário efectuar o traçado das curvas.

#### 4.2.5. CONFIGURAÇÃO DAS GRELHAS

As curvas são representadas numa área dividida em 20 divisões maiores, sendo cada uma dividida em 5 divisões menores. Esta área de representação gráfica é obtida pela sobreposição de 2 grelhas (ver figura 75). Assim, temos 100 divisões no eixo vertical e 100 divisões no eixo horizontal. A resolução máxima assim obtida no valor da corrente será:

$$res_{\max_{\text{vert}}} = \frac{\text{Valor de fim de escala}}{100} = \frac{I_{\max}}{100}$$

sendo  $I_{\max}$  definido pelo utilizador no painel ‘Eixos’.



**Figura 75 – Tipos de grelha: a) grelhas 1 e 2 activas; b) grelha 1; c) grelha 2**

Como o valor de fim de escala máximo é fixo (10V), a resolução horizontal é constante:

$$res_{\max_{\text{Horiz}}} = \frac{\text{Valor de fim de escala}}{100} = \frac{10}{100} = 0.1V$$

#### 4.2.6. CONFIGURAÇÃO DAS CORES

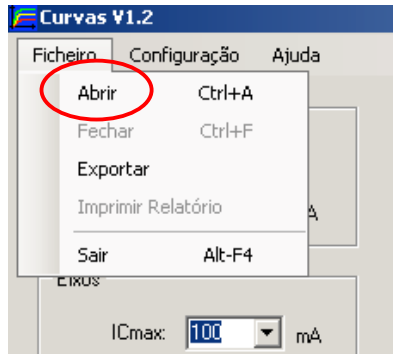
As cores das grelhas, do fundo e do traçado podem ser alteradas no painel da figura 76, obtido indo a ‘Configurações’ - ‘Cores’.



**Figura 76 – Configuração das cores dos gráficos**

#### 4.2.7. IMPORTAÇÃO DE CURVAS

Cada traçado é guardado em disco em formato ‘CSV’, compatível com Excel. A visualização destes ficheiros é possível através do menu ‘Ficheiro’ fazendo ‘Abrir’ e seleccionar o ficheiro pretendido. O botão ‘Iniciar’ permitirá efectuar o traçado das curvas.



**Figura 77 – Importação de curvas previamente obtidas**

Os ficheiros gerados pelo programa podem ser identificados pelo seu nome e extensão:

**curvas000.dat**  
**curvas001.dat**  
 .  
 .  
**curvas999.dat**

#### 4.2.8. VISUALIZAÇÃO DOS DADOS OBTIDOS - $I_C=f(V_{CE})$ E $I_D=f(V_{DS})$

O programa permite ao utilizador visualizar os dados relativos a cada curva à medida que estes são recebidos através do painel 'Dados' (figura 63). Neste painel estão representadas 3 colunas:

- $N_s$  – N° da amostra
- $I_C$ (mA) – Corrente de colector ou de dreno
- $V_{CE}$ (V) – Tensão colector/emissor ou dreno/fonte

Os valores da corrente de base (TBJs) e da tensão porta-fonte (FETs) de cada curva são intercalados entre a última amostra de uma curva e a primeira da curva seguinte. Desta forma é possível identificar e navegar através do conjunto de amostras de cada curva.

$N_s$	$I_C$ (mA)	$V_{ce}$ (V)
407	1.15	9.91
408	1.12	9.94
409	1.22	9.96
410	1.17	9.99
****	$I_b=12$	*****
1	3.37	0.00
2	0.83	0.02

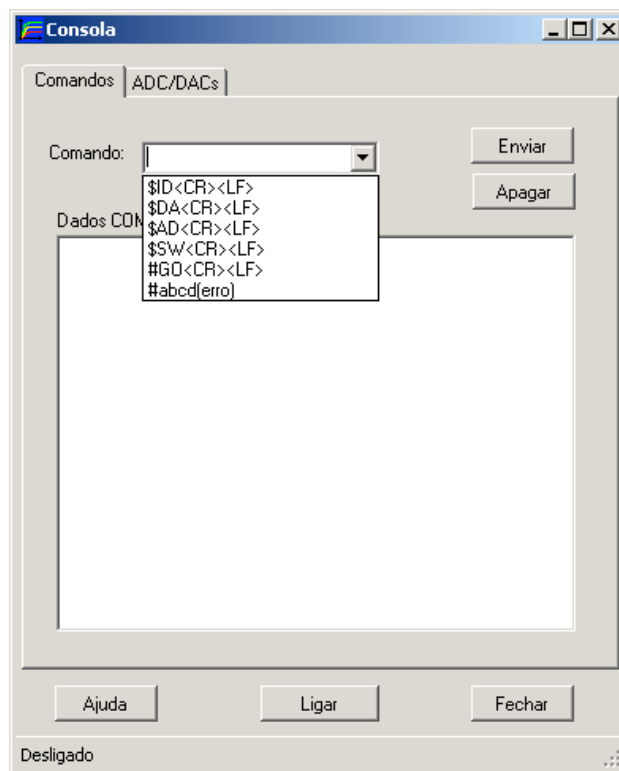
**Figura 78 – Tabela de valores obtidos**

#### 4.2.9. CONSOLA

Com o objectivo de controlar directamente os periféricos responsáveis pelo processo de medição e do traçado é disponibilizado ao utilizador uma consola de controlo que permite, através de comandos válidos, alterar os parâmetros do AD, dos DAC, etc..., permitindo assim obter um valor específico que não esteja contemplado pelo traçado das curvas, por exemplo o estudo de um determinado ponto de funcionamento.

As funcionalidades da consola consistem fundamentalmente em:

- Actuar directamente sobre os DACs, pelo envio de valores (0000-4096);
- Efectuar leituras directas do ADC (0000-4096);
- Seleccionar uma das 4 resistências de polarização, actuando directamente sobre os comutadores;
- Seleccionar o tipo de transístor;
- Testar as comunicações;
- Testar o processamento de erros.



**Figura 79 – Consola de comandos**

#### 4.2.10. INFORMAÇÕES GERAIS

Encontra-se igualmente disponível no menu de ajuda em ‘Informação’, dados relativos à aplicação, nomeadamente a versão, o autor e o ano referente à última versão do software .

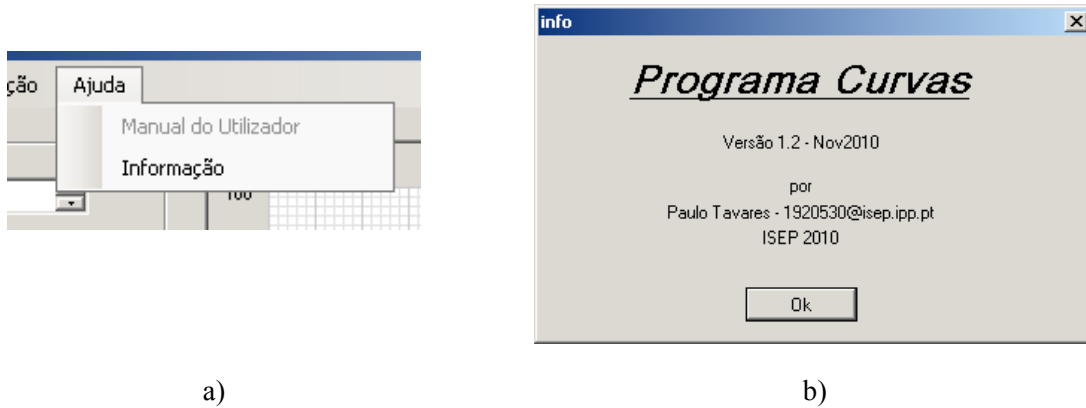


Figura 80 – a) Menu de Ajuda; b) Informação

#### 4.2.11. ERROS

O funcionamento do programa e a fiabilidade dos dados obtidos está garantido por uma estrutura de detecção dos erros mais comuns associados a este tipo de aplicação, nomeadamente:

- Erro no processo de comunicação série;
- Erro de transmissão de dados;
- Erro de comando (comando desconhecido);
- Erro na porta COM;
- Erro ou ausência de resposta por parte da unidade de controlo;

A ocorrência de qualquer um deste tipo de erros devolve um aviso ao utilizador de modo que seja tomadas acções correctivas que permitam o correto funcionamento do sistema.

### 4.3. PROTOCOLO DE COMUNICAÇÃO

O protocolo de comunicação desenvolvido para a transmissão de dados entre a unidade de controlo e o PC, é constituído por dois grupos de comandos:

- Comandos de execução – Permitem controlar directamente o hardware (conversores, comutadores, ...). A trama inicia com o carácter ‘#’.
- Comandos informativos – Permitem obter informações sobre o estado do hardware . A trama inicia com o carácter ‘\$’.

**Tabela 6 – Comandos informativos**

Comando	Descrição
\$ID<CR><LF>	Pedido de informação sobre a identificação do <i>Programa da UC</i> . Testa também o estado da comunicação RS232.
\$DA<CR><LF>	Pedido de informação sobre o estado do conversores D/A.
\$AD<CR><LF>	Pedido de informação sobre o estado das entradas do A/D.
\$SW<CR><LF>	Pedido de informação sobre o estado dos comutadores ( <i>Switches</i> ) analógicos.
\$ST,xx<CR><LF>	Leitura das grandezas medidas, mediante o tipo de dispositivo em teste. O campo xx pode tomar os valores: <ul style="list-style-type: none"> <li>• NP – TBJ NPN</li> <li>• PN – TBJ PNP</li> <li>• JN – JFET Canal N</li> <li>• JP – JFET Canal P</li> <li>• NM – MOSFET Canal N</li> <li>• PM – MOSFET Canal P</li> </ul>

Exemplos:

[TX]	[RX]
\$ID<CR><LF>	\$ID,Curvas V1.2,PT2010 <CR><LF>
\$DA<CR><LF>	\$DA,1024,1024<CR><LF>
\$AD<CR><LF>	\$AD,2048,2048,0,0<CR><LF>
\$SW<CR><LF>	\$SW,NPN,10<CR><LF>
\$ST,NP<CR><LF>	\$ST,369.38,10,249,0.32,4.46<CR><LF>

**Tabela 7 – Comandos de execução**

Comando	Descrição
#Dx,yyyy<CR><LF>	<p>Envio directo de valores yyyy para o DAC x.</p> <p>1 yyyy pode tomar valores entre 0000 e 4096.</p> <p>2 X pode tomar valores entre 0 e 1.</p>
#Sx,y,y,y<CR><LF>	<p>Controlo dos selectores (<i>Switches</i>) analógicos (MAX4662). Permitem a configuração da resistência de base/porta e polarização das tensões de colector/dreno, base/porta.</p> <p>Valores de x:</p> <p>1: Switch 1 – controla da polaridades das tensões.</p> <p>2: Switch 2 – Selecção da resistência de polarização.</p> <p>Valores de y:</p> <p>1: Switch ligado</p> <p>0: Switch desligado</p>
#CL<CR><LF>	<p>Repõe as definições iniciais do sistema:</p> <ul style="list-style-type: none"> <li>• DACs desligados</li> <li>• Selectores desligados</li> </ul>
#GO,xx,y,zzzz <CR><LF>	<p>Inicia o processo de medição dos parâmetros associados ao processo de traçado das curvas.</p> <p>Valores de xx:</p> <p>NP: TBJ NPN</p> <p>PN: TBJ PNP</p> <p>JP: JFET-N</p> <p>JN: JFET-P</p> <p>NM: MOSFET-N</p> <p>PM: MOSFET-P</p> <p>Valores de y:</p> <p>1 a 9: N° de curvas</p> <p>Valores de zzzz:</p> <p>0000 a 9999: Variação de <math>I_B</math> em <math>\mu A</math> (TBJ)</p> <p>0000 a 4096: Variação de <math>V_{GG}</math> (Val. DAC)</p>

Exemplos:

[TX]	Operação
#D0,2048<CR><LF>	Atribui o valor 2048 ao DAC0 (coloca 1,2 V na saída do DAC0)
#S1,1,0,1,0<CR><LF>	Selecciona os canais 1 e 3 do comutador analógico 1 (selecção da polaridade do transistor, neste caso NPN)
#S2,4<CR><LF>	Selecciona o canal 4 do comutador analógico 2 (selecção da resistência de polarização, neste caso 1 MΩ).
#CL<CR><LF>	Desactiva todos os comutadores e anula a saída dos DACs. Reposição das condições iniciais da unidade de condicionamento de sinal e das fontes de tensão (DACs)
#GO,NP,5,0200<CR><LF>	Inicia o traçado de 5 curvas de um transistor do tipo TBJ-NPN, com um intervalo entre curvas de $I_B=200 \mu A$ .

#### 4.4. PRINCIPAIS CLASSES VB .NET

Na tabela 8 constam as principais classes do programa, cujo código fonte se encontra em anexo (anexo C).

**Tabela 8 – Classes do programa “Curvas V1.2”**

Classe	Descrição
Principal.vb	Contém as principais funções da janela principal, incluindo o traçado das curvas e das grelhas.
Config.vb	Classe responsável pela configuração das cores das grelhas e dos traçados.
Erros.vb	Funções de gestão de erros.
Tratamsg.vb	Classe de funções responsáveis pela validação dos dados enviados e recebidos.
Progresso.vb	Classe da barra de progressão.
CommConfig.vb	Funções de configuração da comunicação série.
Consola.vb	Classe de funções da consola.
Inicia.vb	Classe responsável pelo armazenamento dos dados recebidos.
Info.vb	Função da janela de informação do programa



## 5. ENSAIOS E RESULTADOS

Dos vários ensaios efectuados, os resultados mais satisfatórios foram obtidos com os transístores bipolares de junção cujas características se enquadram melhor com as especificações deste sistema, nomeadamente o limite das correntes de colector de 100 mA, e as tensões colector-emissor a 10 V. A tabela seguinte apresenta os dispositivos testados, cujas curvas e grandezas medidas podem ser consultadas nas secções seguintes.

**Tabela 9 – Transístores testados**

Referência	Tipo	Polaridade
2N3866	TBJ	NPN
2N3019	TBJ	NPN
2N2222	TBJ	NPN
BC547	TBJ	NPN
2N914	TBJ	NPN
BC107	TBJ	NPN
2N4031	TBJ	PNP
BC327	TBJ	PNP
BC557	TBJ	PNP
BF245	JFET	Canal N
2N5460	JFET	Canal P
BS170	MOSFET	Canal N
BS250	MOSFET	Canal P

## 5.1. TRANSÍSTORES BIPOLARES DE JUNÇÃO - TBJ

Os resultados obtidos com estes dispositivos foram os que mais se aproximaram dos valores fornecidos pelos fabricantes, como se pode verificar pelas curvas apresentadas.

Foram utilizados 9 transístores deste tipo, 5 de polaridade NPN e 4 de polaridade PNP. Os parâmetros medidos neste tipo de transístor foram o ganho de corrente DC ( $h_{FE}$  ou  $\beta_{DC}$ ) e a tensão de saturação  $V_{CE(Sat)}$ .

Sendo o ganho DC a relação entre as correntes de colector e de base, dado pela expressão:

$$\beta_{DC} = \frac{I_C}{I_B}$$

o valor adoptado para  $I_C$  corresponde ao valor médio da característica (50 mA). Com este valor médio e determinando a corrente de base com os valores da tensão de polarização  $V_{BB}$  (DAC1) e do valor da tensão de base  $V_B$  (canal 1 do ADC), através da expressão:

$$I_B = \frac{V_{BB} - V_B}{R_B}$$

obtém-se o valor pretendido.

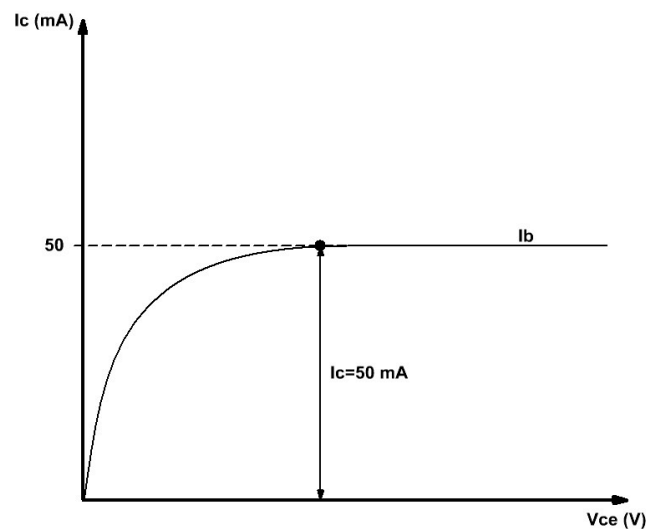


Figura 81 – Determinação de  $\beta_{DC}$

O valor da tensão de saturação colector-emissor  $V_{CE(sat)}$  é igualmente obtido para o valor médio da corrente de colector (50 mA), medindo o valor de  $V_{CE}$  quando a curva do valor máximo da corrente de base  $I_{B(max)}$  gera 50 mA de corrente no colector. A escolha deste ponto médio deve-se ao facto dos fabricantes utilizarem valores de  $I_C$  muito diferentes na determinação de  $V_{CE(sat)}$ , muitos dos quais fora dos limites permitidos pelo sistema ( $I_C > 100$  mA).

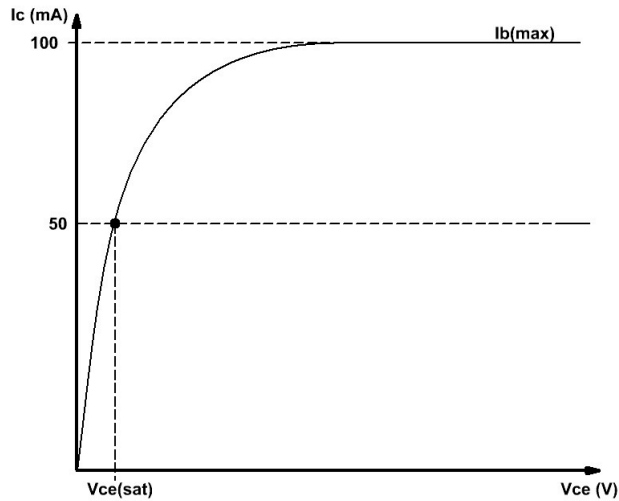


Figura 82 – Determinação de  $V_{CE(sat)}$

Assim, o valor de  $V_{CE}$  é obtido fazendo a diferença entre o valor da tensão de colector  $V_{CC}=V_C$  (DAC0) e do valor de  $V_E$  que corresponde ao valor da queda de tensão em  $R_E$ , quando a corrente de colector atinge os 50 mA na curva de  $I_{B(max)}$  (figura 82).

### 5.1.1. 2N3866 – NPN

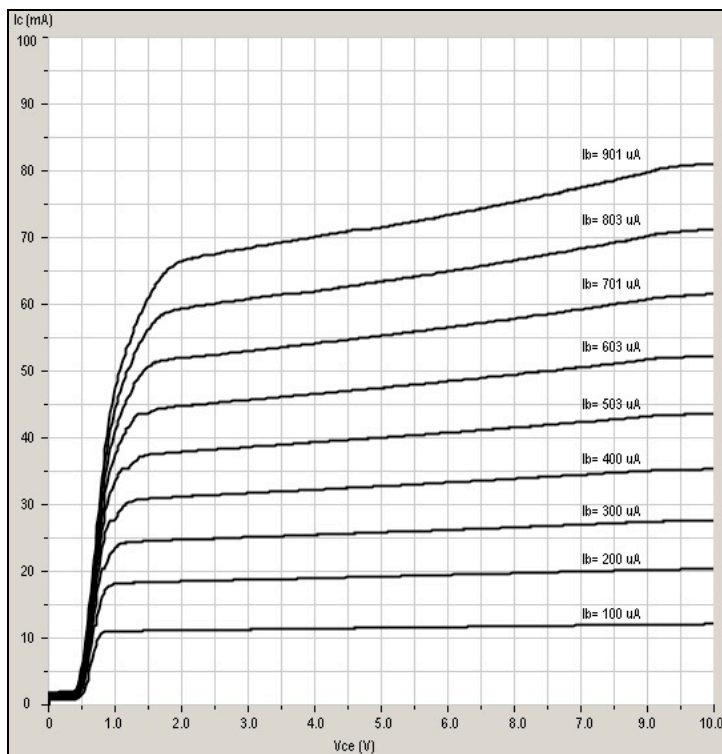


Figura 83 – Curvas obtidas para o transistor 2N3866

#### Configuração:

Res. Vert. ( $I_C$ ): 10 mA/Div  
Res. Horiz. ( $V_{CE}$ ): 1V/Div.  
Variação de  $I_B$  ( $\Delta I_B$ ): 100mA

#### Valores obtidos:

BJT	
* $\beta$ :	79
** $V_{CE(sat)}$ :	0.38 V
$V_{BB(max)}$ :	2.18 V
$R_B$ :	1 k $\Omega$
$I_B(max)$ :	1274.4 $\mu A$
*(@ $V_{CE}=5V$ , $I_C=50$ mA)	
**(@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 10 – 200  
\*\* $V_{CE(SAT)}$ :  $\leq 1$  V  
\*(@ $I_C=50$ mA,  $V_{CE}=5$ V)  
\*\*(@ $I_C=100$ mA,  $I_B=20$ mA)

### 5.1.2. 2N3019 – NPN

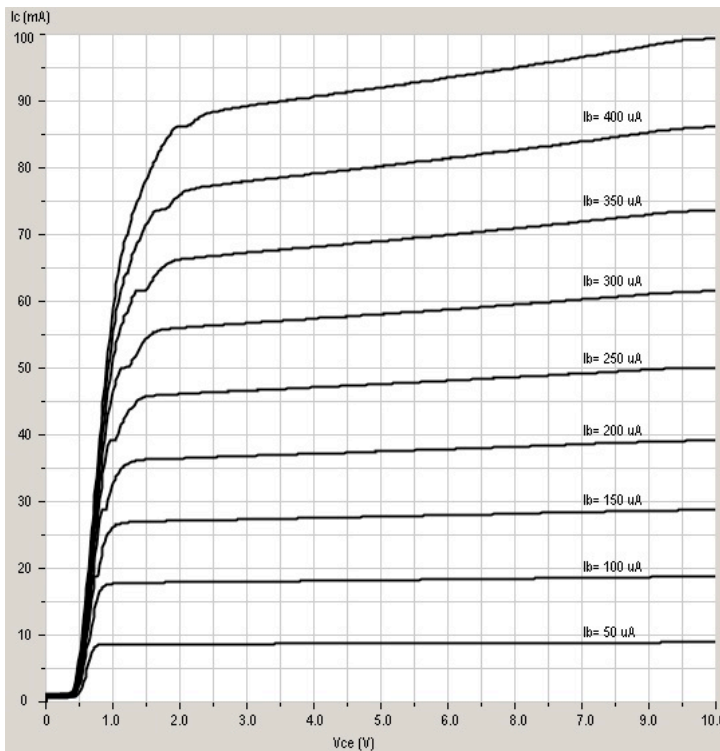


Figura 84 – Curvas obtidas para o transistor 2N3019

#### Configuração:

Res. Vert. ( $I_C$ ): 10 mA/Div  
 Res. Horiz. ( $V_{CE}$ ): 1V/Div.  
 Variação de  $I_B$  ( $\Delta I_B$ ): 50mA

#### Valores obtidos:

BJT	
* $\beta$ :	191
** $V_{CE(sat)}$ :	0.25 V
$V_{BB(max)}$ :	5.94 V
RB:	10 k $\Omega$
IB(max):	510.2 $\mu A$
*(@ $V_{CE}=5V$ , $I_C=50$ mA)	
**(@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 100 – 300  
 \*\* $V_{CE(SAT)}$ :  $\leq 0,2$  V  
 \*(@ $I_C=150$ mA,  $V_{CE}=10$ V)  
 \*\*(@ $I_C=150$ mA,  $I_B=15$ mA)

### 5.1.3. 2N2222 – NPN

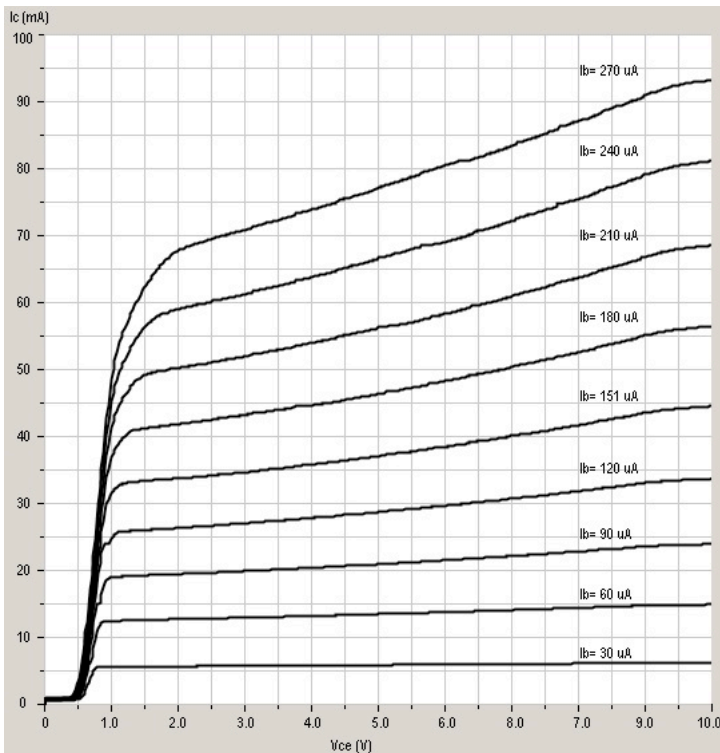


Figura 85 – Curvas obtidas para o transistor 2N2222

#### Configuração:

Res. Vert. ( $I_C$ ): 10 mA/Div  
 Res. Horiz. ( $V_{CE}$ ): 1V/Div.  
 Variação de  $I_B$  ( $\Delta I_B$ ): 30mA

#### Valores obtidos:

BJT	
* $\beta$ :	259
** $V_{CE(sat)}$ :	0.35 V
$V_{BB(max)}$ :	4.34 V
RB:	10 k $\Omega$
IB(max):	358.4 $\mu A$
*(@ $V_{CE}=5V$ , $I_C=50$ mA)	
**(@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ :  $\geq 75$   
 \*\* $V_{CE(SAT)}$ :  $\leq 0,3$  V  
 \*(@ $I_C=10$ mA,  $V_{CE}=10$ V)  
 \*\*(@ $I_C=150$ mA,  $I_B=15$ mA)

### 5.1.4. BC547B – NPN

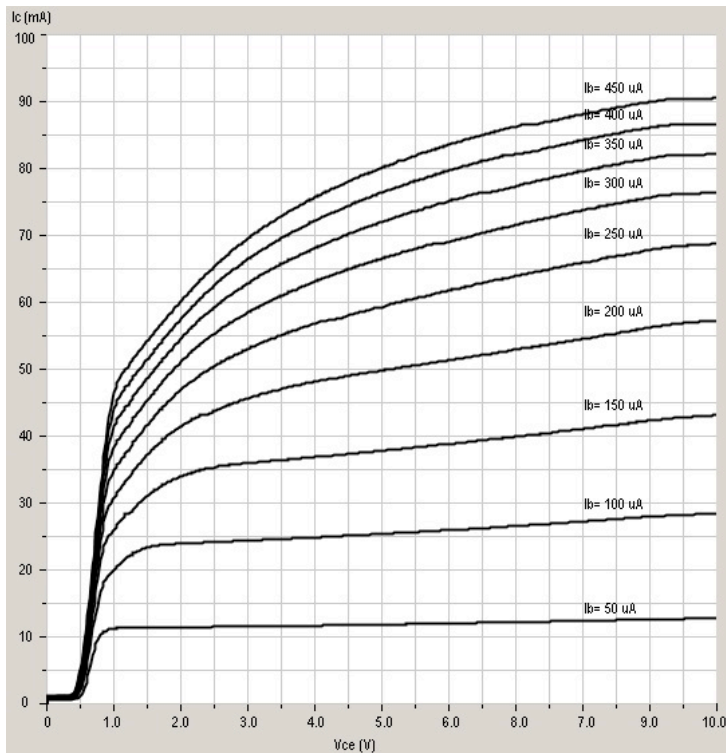


Figura 86 – Curvas obtidas para o transistor BC547B

#### Configuração:

Res. Vert. ( $I_C$ ): 10 mA/Div

Res. Horiz. ( $V_{CE}$ ): 1V/Div.

Variação de  $I_B$  ( $\Delta I_B$ ): 50mA

#### Valores medidos:

BJT	
* $\beta$ :	249
*** $V_{CE(sat)}$ :	0.36 V
$V_{BB(max)}$ :	6.75 V
$R_B$ :	10 k $\Omega$
$I_B(max)$ :	583.9 $\mu A$
* (@ $V_{CE}=5V$ , $I_C=50$ mA)	
*** (@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 200 - 450

\*\* $V_{CE(SAT)}$ : 0,2-0,6 V

\* (@ $I_C=2$ mA,  $V_{CE}=5$ V)

\*\* (@ $I_C=100$ mA,  $I_B=5$ mA)

### 5.1.5. 2N914 – NPN

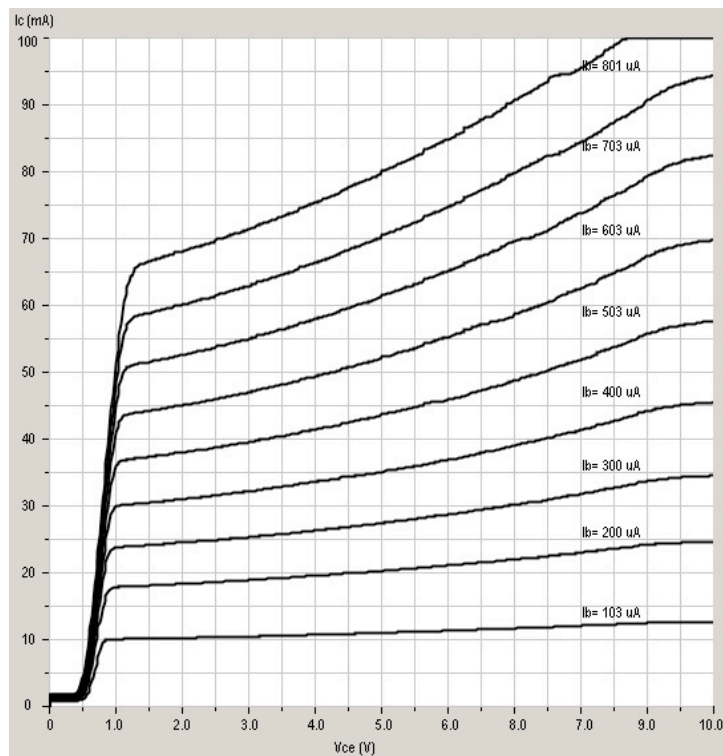


Figura 87 – Curvas obtidas para o transistor 2N914

#### Configuração:

Res. Vert. ( $I_C$ ): 10 mA/Div

Res. Horiz. ( $V_{CE}$ ): 1V/Div.

Variação de  $I_B$  ( $\Delta I_B$ ): 100mA

#### Valores medidos:

BJT	
* $\beta$ :	88
*** $V_{CE(sat)}$ :	0.32 V
$V_{BB(max)}$ :	1.93 V
$R_B$ :	1 k $\Omega$
$I_B(max)$ :	1115.7 $\mu A$
* (@ $V_{CE}=5V$ , $I_C=50$ mA)	
*** (@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 30 - 120

\*\* $V_{CE(SAT)}$ :  $\leq 0,7$  V

\* (@ $I_C=10$ mA,  $V_{CE}=1$ V)

\*\* (@ $I_C=200$ mA,  $I_B=20$ mA)

### 5.1.6. BC107B – NPN

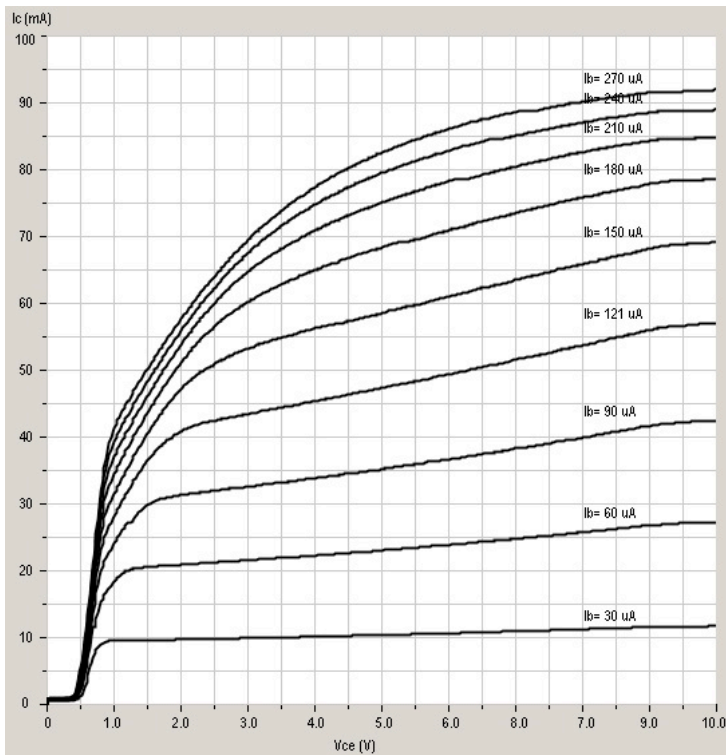


Figura 88 – Curvas obtidas para o transistor BC107B

#### Configuração:

Res. Vert. ( $I_C$ ): 10 mA/Div  
 Res. Horiz. ( $V_{CE}$ ): 1V/Div.  
 Variação de  $I_B$  ( $\Delta I_B$ ): 30mA

#### Valores medidos:

BJT	
* $\beta$ :	399
** $V_{CE(sat)}$ :	0.57 V
$V_{BB(max)}$ :	3.75 V
RB:	10 k $\Omega$
$I_B(max)$ :	293.9 $\mu A$
*(@ $V_{CE}=5V$ , $I_C=50$ mA)	
**(@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 200 - 450  
 \*\* $V_{CE(SAT)}$ : 0.07 - 0.25 V  
 \*(@ $I_C=2$ mA,  $V_{CE}=5$ V)  
 \*\*(@ $I_C=10$ mA,  $I_B=0.5$ mA)

### 5.1.7. 2N4031 – PNP

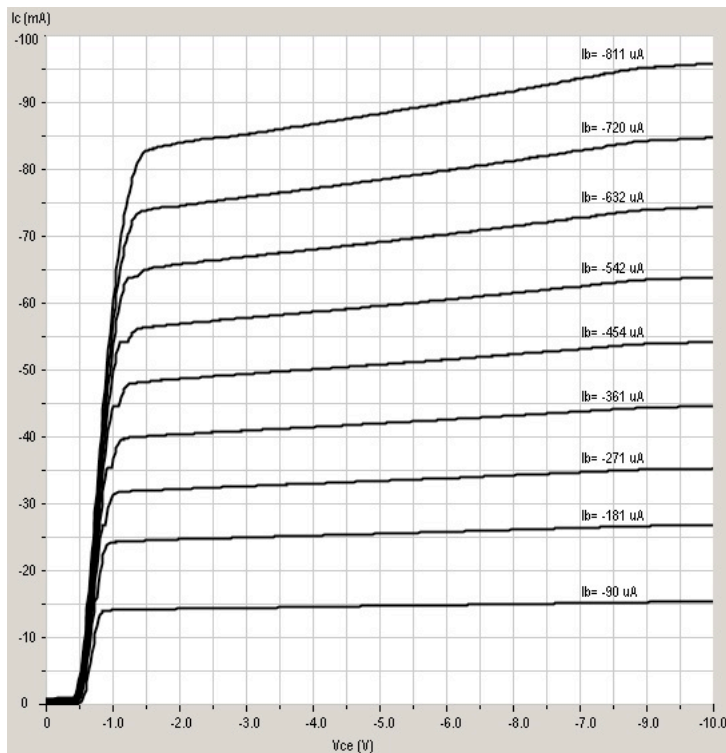


Figura 89 – Curvas obtidas para o transistor 2N4031

#### Configuração:

Res. Vert. ( $I_C$ ): -10 mA/Div  
 Res. Horiz. ( $V_{CE}$ ): -1V/Div.  
 Variação de  $I_B$  ( $\Delta I_B$ ): -90mA

#### Valores medidos:

BJT	
* $\beta$ :	123
** $V_{CE(sat)}$ :	-0.27 V
$V_{BB(max)}$ :	-1.88 V
RB:	1 k $\Omega$
$I_B(max)$ :	-981.4 $\mu A$
*(@ $V_{CE}=5V$ , $I_C=50$ mA)	
**(@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 40 - 120  
 \*\* $V_{CE(SAT)}$ :  $\leq -0.15$  V  
 \*(@ $I_C=-100$ mA,  $V_{CE}=-5$ V)  
 \*\*(@ $I_C=-150$ mA,  $I_B=-15$ mA)

### 5.1.8. BC327 – PNP

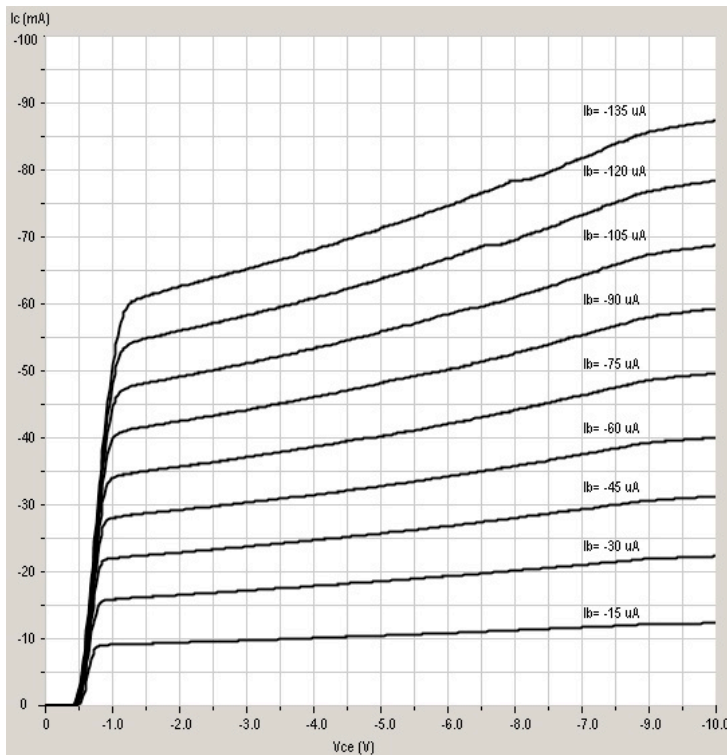


Figura 90 – Curvas obtidas para o transistor BC327

#### Configuração:

Res. Vert. ( $I_C$ ): -10 mA/Div  
 Res. Horiz. ( $V_{CE}$ ): -1V/Div.  
 Variação de  $I_B$  ( $\Delta I_B$ ): -100mA

#### Valores medidos:

BJT	
* $\beta$ :	533
*** $V_{CE(sat)}$ :	-0.33 V
$V_{BB(max)}$ :	-2.91 V
$R_B$ :	10 k $\Omega$
$I_B(max)$ :	-207.0 $\mu A$
* (@ $V_{CE}=5V$ , $I_C=50$ mA)	
*** (@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 100 - 630  
 \*\* $V_{CE(SAT)}$ :  $\leq -0,7$  V  
 \*(@ $I_C=-100$ mA,  $V_{CE}=-1$ V)  
 \*\*(@ $I_C=500$ mA,  $I_B=-50$ mA)

### 5.1.9. BC557 – PNP

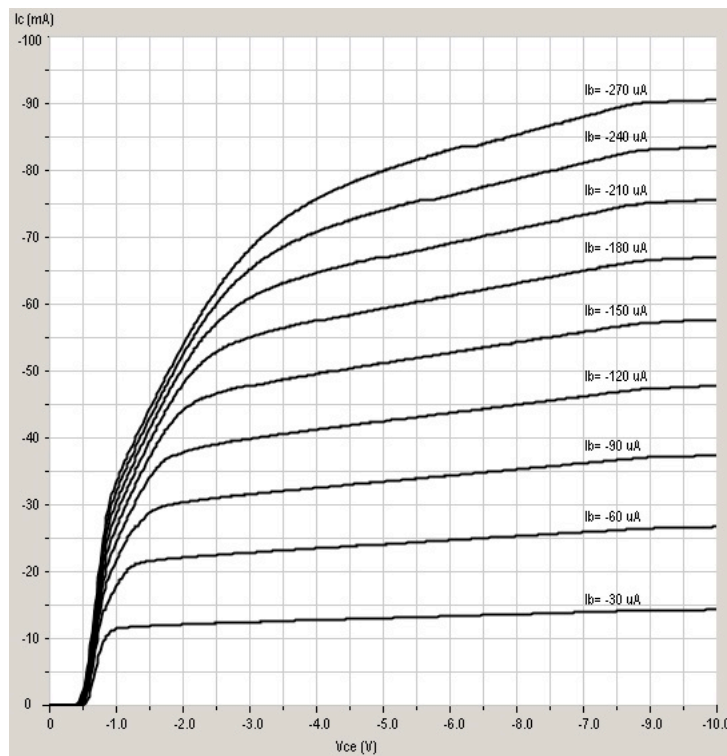


Figura 91 – Curvas obtidas para o transistor BC557

#### Configuração:

Res. Vert. ( $I_C$ ): -10 mA/Div  
 Res. Horiz. ( $V_{CE}$ ): -1V/Div.  
 Variação de  $I_B$  ( $\Delta I_B$ ): -100mA

#### Valores medidos:

BJT	
* $\beta$ :	354
*** $V_{CE(sat)}$ :	-0.83 V
$V_{BB(max)}$ :	-4.38 V
$R_B$ :	10 k $\Omega$
$I_B(max)$ :	-348.1 $\mu A$
* (@ $V_{CE}=5V$ , $I_C=50$ mA)	
*** (@ $I_C=50$ mA)	

#### Valores do fabricante:

\* $\beta_{DC}$ : 110-800  
 \*\* $V_{CE(SAT)}$ : -0.25V a -0.65 V  
 \*(@ $I_C=-2$ mA,  $V_{CE}=-5$ V)  
 \*\*(@ $I_C=-10$ mA,  $I_B=-0.5$ mA)

Neste grupo de transístores, apenas a documentação dos BC547, BC557 e do BC327 apresentam as curvas características de saída. Analisando os resultados obtidos, verifica-se que os transístores 2N3866, BC547, 2N914 e 2N4031 apresentaram valores que se encontram dentro dos parâmetros fornecidos pelo fabricante.

Relativamente aos transístores BC107B, BC557 e BC327, nota-se um pequeno desvio no valor de  $V_{CE(sat)}$  devido em parte à deformação que as curvas apresentam para valores de  $I_C$  superiores a 30 mA e que resultam do aquecimento do componente durante o traçado; e também das condições em que o fabricante obtém esses valores, que vão para além das especificações deste sistema, por exemplo no BC327,  $V_{CE(sat)}$  é obtido com  $I_C = -500$  mA.

## **5.2. TRANSÍSTORES DE EFEITO DE CAMPO (JFET)**

Este tipo de componente foi o que apresentou piores resultados no traçado das curvas, uma vez que as correntes envolvidas no processo de medição são muito pequenas (inferiores a 10 mA), face à variação máxima de 100 mA na escala da corrente. A adaptação da escala para os valores medidos resultou na perda de resolução gráfica no traçado, deformando ligeiramente as curvas obtidas como se pode ver nas figuras 92 e 93.

Neste grupo, foram testados 2 transístores de uso geral, o BF245 de canal N e o 2N5460 de canal P. Em ambos os casos o sistema respondeu bem ao traçado das curvas, apresentando valores coerentes com os dados fornecidos pelos fabricantes.

### 5.2.1. BF245 – CANAL N

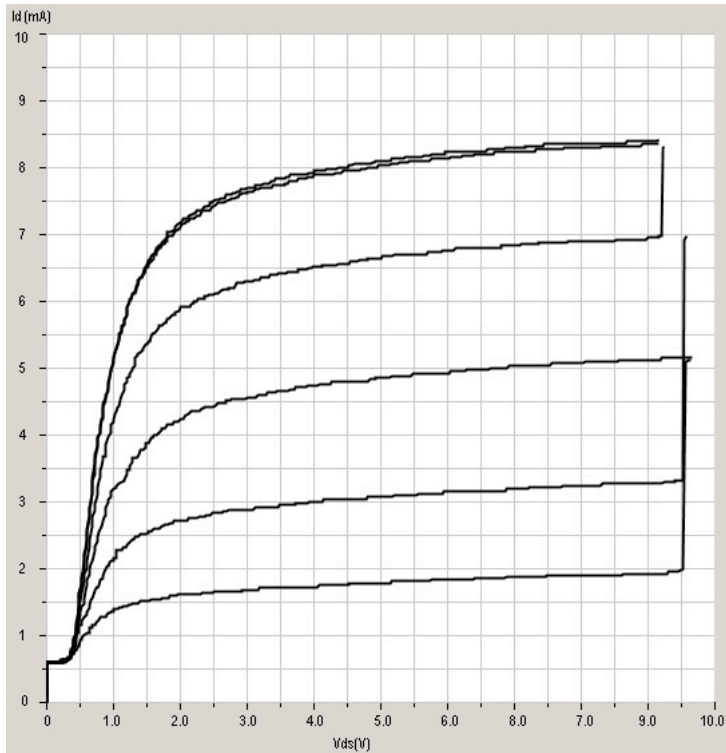


Figura 92 – Curvas para o transistor BF245

#### Configuração:

Res. Vert. ( $I_D$ ): 1 mA/Div

Res. Horiz. ( $V_{DS}$ ): 1V/Div.

Variação de  $V_{GS}$  ( $\Delta V_{GS}$ ): -0.5V

#### Valores medidos:

JFET		
$I_{DSS}$ :	8.06	mA
$V_{GS(off)}$ :	-1.85	V
$R_g$ :	1000	k $\Omega$

#### Valores do fabricante:

\* $I_{DSS}$ : 6 – 15 mA

\*\* $V_{GS(off)}$ : -0,5 a -8 V

\*( $V_{DS}=15V, V_{GS}=0V$ )

\*\*( $I_D=10nA, V_{DS}=15V$ )

### 5.2.2. 2N5460 – CANAL P

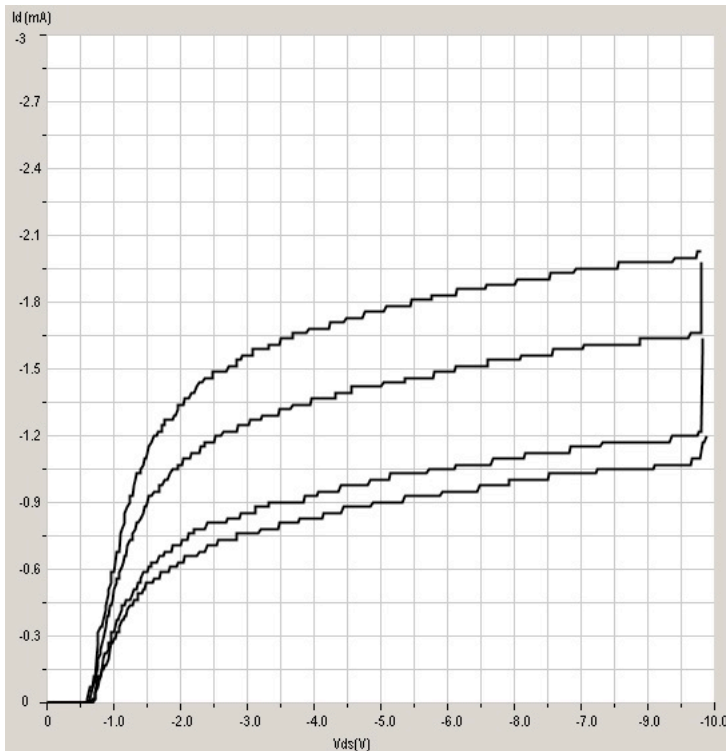


Figura 93 – Curvas para o transistor 2N5460

#### Configuração:

Res. Vert. ( $I_D$ ): -0,3 mA/Div

Res. Horiz. ( $V_{DS}$ ): -1V/Div.

Variação de  $V_{GS}$  ( $\Delta V_{GS}$ ): 0.5V

#### Valores medidos:

JFET		
$I_{DSS}$ :	-1.83	mA
$V_{GS(off)}$ :	1.23	V
$R_g$ :	100	k $\Omega$

#### Valores do fabricante:

\* $I_{DSS}$ : -1 a -5 mA

\*\* $V_{GS(off)}$ : 0.75 a 6 V

\*( $V_{DS}=15V, V_{GS}=0V$ )

\*\*( $I_D=1\mu A, V_{DS}=15V$ )

Neste último caso podemos verificar a degradação do traçado resultante da mudança de escala para  $I_{Dmax} = -3\text{mA}$ , traduzindo-se numa resolução vertical de  $-0,3\text{mA}$ , demasiado baixa para este sistema. Analisando os dados obtidos de  $I_{DSS}$  e  $V_{GS(off)}$  para o BF245 e para o 2N5460, verifica-se que estes se encontram de acordo com os dados do fabricante, isto é:

$$\text{BF245: } 6\text{ mA} < I_{DSS} < 15\text{ mA} \quad \text{e} \quad -0,5\text{ V} < V_{GS(off)} < -8\text{ V}$$

$$\text{2N5460: } -1\text{ mA} < I_{DSS} < -5\text{ mA} \quad \text{e} \quad 0,75\text{ V} < V_{GS(off)} < 6\text{ V}$$

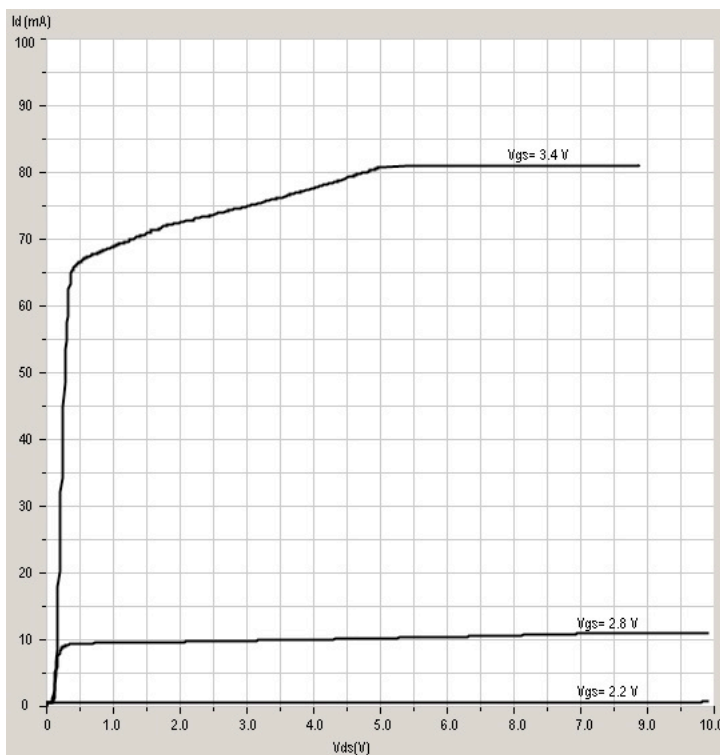
Comparando as curvas obtidas para estes transístores com as curvas do fabricante (ver anexo D), e tendo em conta os intervalos das especificações, é possível observar a semelhança na evolução dos traçados.

### 5.3. TRANSÍSTORES FET METAL-ÓXIDO SEMICONDUTOR (MOSFET)

Este tipo de componente apresentou resultados coerentes com os dados do fabricante.

A pouca variedade deste tipo de componente cujas características permitissem a sua avaliação fez com que apenas tenha sido possível testar dois transístores. Embora se encontrem outras referências no mercado, a sua grande maioria são dispositivos de potência ou são componentes de montagem superficial (SMD), não sendo assim possível testá-los neste sistema.

#### 5.3.1. BS170 – CANAL N



#### Configuração:

Res. Vert. ( $I_D$ ): 10 mA/Div

Res. Horiz. ( $V_{DS}$ ): 1V/Div.

Varição de  $V_{GS}$  ( $\Delta V_{GS}$ ): 0.5V

#### Valores medidos:

MOSFET		
$V_{GS(max)}$ :	6.7	V
$V_{GS(Th)}$ :	1.6	V
Rg:	10	k $\Omega$

#### Valores do fabricante:

\* $V_{GS(th)}$ : 0,8 a 3 V

Figura 94 – Curvas para o transístor BS170

\*(@ $I_D=1\text{mA}$ ,  $V_{DS}=V_{GS}$ )

### 5.3.2. BS250 – CANAL P

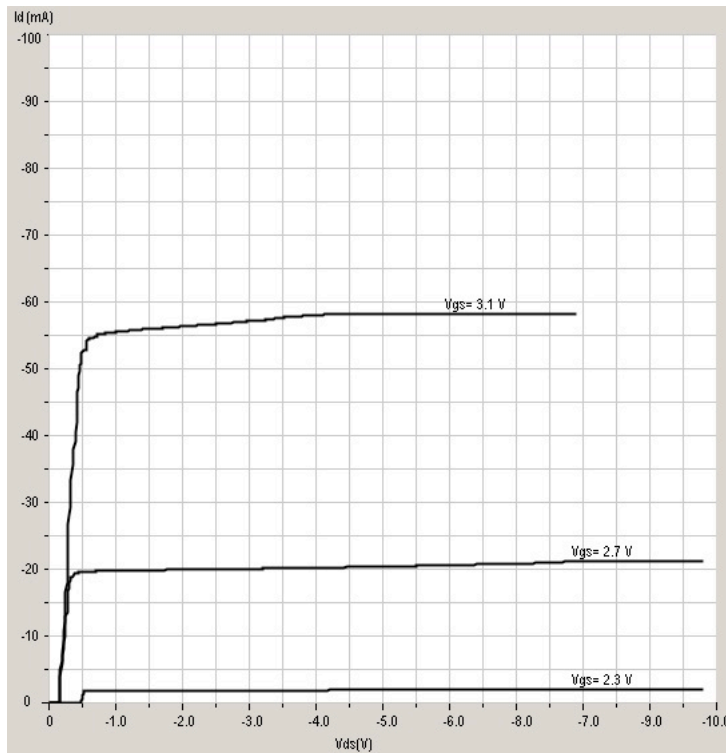


Figura 95 – Curvas para o transistor BS250

#### Configuração:

Res. Vert. ( $I_D$ ): 10 mA/Div

Res. Horiz. ( $V_{DS}$ ): 1V/Div.

Varição de  $V_{GS}$  ( $\Delta V_{GS}$ ): 0.5V

#### Valores medidos:

MOSFET	
VGS(max):	6.0 V
Vgs(Th):	-1.9 V
Rg:	1000 k $\Omega$

#### Valores do fabricante:

\* $V_{GS(th)}$ : -1 a -3,5 V

\*(@ $I_D = -250 \mu A$ ,  $V_{DS} = V_{GS}$ )



# 6. CONCLUSÕES

Não tendo projectado e desenvolvido este sistema com o objectivo de substituir qualquer equipamento de uso industrial ou profissional, verificou-se que o sistema conseguiu responder de forma correta aos objectivos inicialmente propostos.

Apesar da qualidade dos resultados obtidos não ser transversal a todos os tipos de transístores, analisados os dados obtidos verificou-se que os desvios nos valores medidos e a degradação da qualidade do traçado nas curvas eram exclusivos de alguns componentes, nomeadamente nos JFET e nos MOSFET. Depois de analisados os resultados, verificou-se que estes desvios eram inerentes aos limites impostos nas especificações iniciais do projecto, isto é, um sistema orientado para dispositivos de sinais, predominantemente TBJs, tendo em conta a simplicidade do projecto e o seu custo.

Os resultados encontrados na avaliação dos TBJs são plenamente satisfatórios e concordantes com a informação dos fabricantes.

## 6.1. DESEMPENHO DO SISTEMA

Apesar da quantidade de informação processada e da taxa de transferência estar limitada a 9600 bps, verifica-se que o sistema responde de forma adequada para este tipo de aplicação. No entanto, com a implementação de taxas de transferência mais elevadas, aumentando a velocidade de processamento deste microcontrolador para o seu valor máximo (até 25MHz com cristal externo) e passando a componente de cálculo para o programa em PC (com velocidade de processamento manifestamente superior), seria possível um ganho considerável no desempenho do sistema.

## 6.2. CONSIDERAÇÕES SOBRE OS RESULTADOS EXPERIMENTAIS

Analisados os resultados obtidos, verifica-se que os componentes que apresentaram maiores desvios nos seus valores ou um traçado limitado ou irregular foram:

- **BS170** – é um transistor MOSFET de canal N, que apesar de ter uma corrente de dreno máxima de 500 mA, apresenta na documentação do fabricante curvas para correntes até 2 A. Analisando estas curvas (figura 96), verificamos que para valores inferiores ao limite máximo de 100 mA, e tendo em conta que a tensão de limiar ( $V_{GS(off)}$ ) típica deste transistor é de 2,1 V, o intervalo do valor da tensão porta-fonte  $V_{GS}$  disponível para o traçado é muito reduzido.

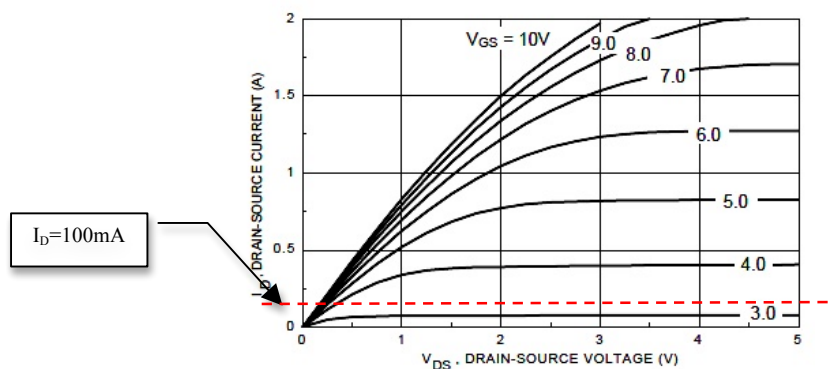


Figura 96 – Curvas do NMOS BS170 (Fairchild Semi.) [15]

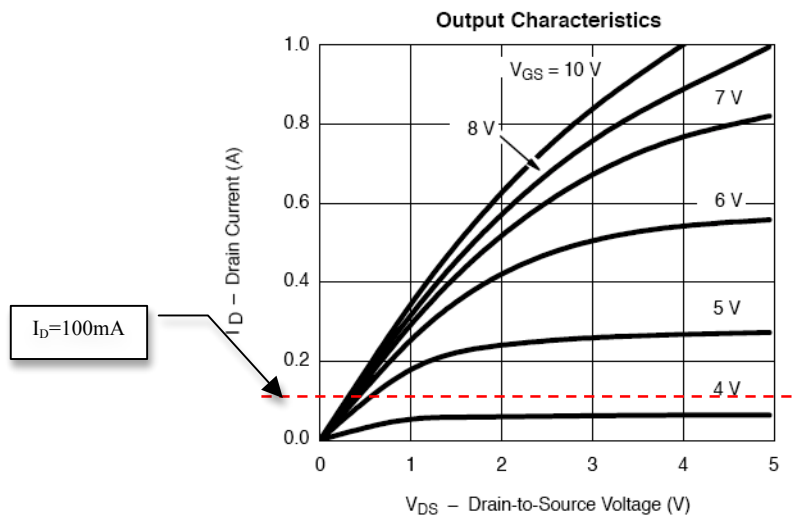


Figura 97 – Curvas do PMOS BS250 (Vishay)

- **BS250** – é um transistor MOSFET de canal P, que apresenta um comportamento idêntico ao BS170, com uma corrente de dreno máxima de 180 mA e uma tensão de limiar

$V_{GS(off)}$  de -1 a -3,5 VDC, limitando igualmente o número de curvas possíveis de representar - figura 97.

- **BF245** – é um dos transístores de efeito de campo de junção mais utilizado e apresenta como particularidade trabalhar com correntes muito baixas (figura 98), obrigando a que as medições ocorram no extremo inferior da escala.

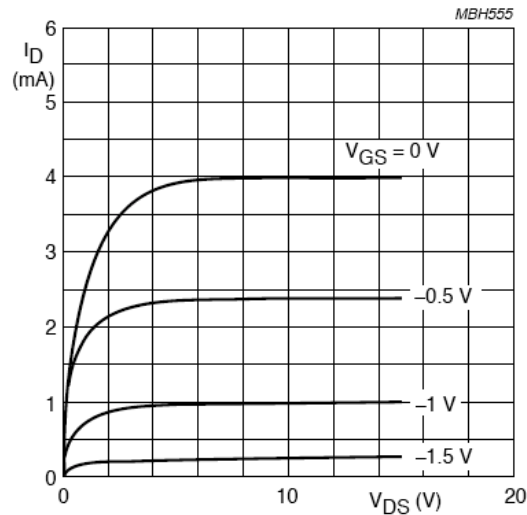


Figura 98 – Curvas do JFET Canal N - BF245 (Philips) [2]

Assim, para que as curvas sejam correctamente representadas é necessário adaptar a escala da corrente  $I_D$  para valores inferiores a 10 mA, resultando numa degradação na resolução do traçado das curvas.

- **BC107 e BC557** – Na determinação da tensão  $V_{CE(sat)}$  os resultados obtidos apresentam um ligeiro desvio em relação aos valores do fabricante devido à medição de  $I_C$  ser feita na zona não linear da curva - figura 99.

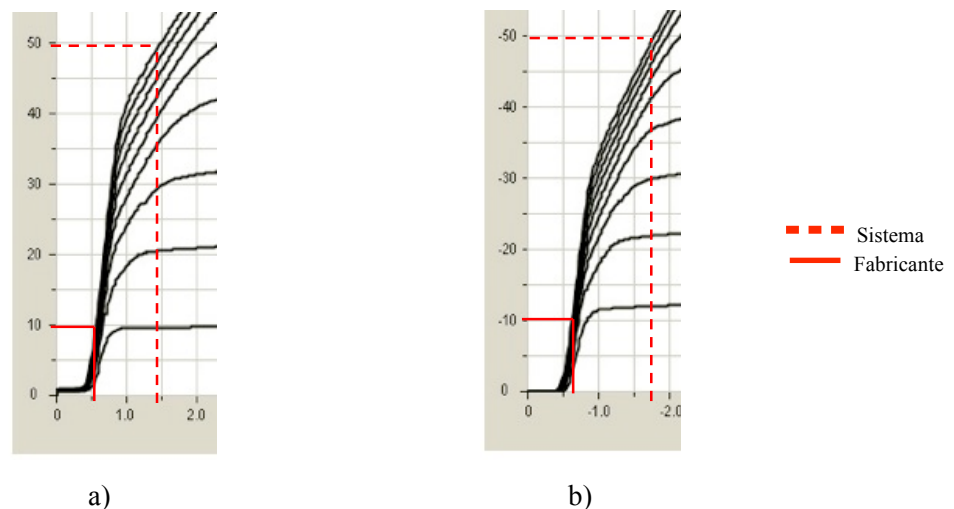


Figura 99 – Erro de linearidade na medição de  $V_{CE(sat)}$ : a) BC107B; b) BC557

Ao contrário dos outros transístores, a curva de  $I_C$  perde linearidade a partir dos -30 mA no BC557 e a partir dos 40 mA no BC107B. Verifica-se ainda que na grande maioria dos transístores, as condições de medição deste parâmetro é feita para valores de  $I_C$  superiores a 50 mA, sendo nestes dois casos feita com  $I_C=10$  mA .

Nos casos em que o limite de 100 mA se revela insuficiente para o traçado das curvas, a solução passaria pela substituição da fonte de alimentação por uma de potencia superior, o que implicaria algumas alterações tanto a nível de hardware como de software, sacrificando alguns dos objectivos iniciais para este sistema.

Para a melhoria de resolução do traçado em componentes que operam com valores de corrente muito baixas, duas soluções apresentam-se como viáveis. A primeira consistiria em implementar um sistema de controlo automático de ganho, tornando possível definir ganhos diferentes nos andares de amplificação da unidade de condicionamento de sinal, adaptando-os a cada situação, de forma a otimizar a utilização dos 12 bits de resolução dos conversores A/D. Outra solução seria uma alteração no programa, em que seria reduzido o número de amostras I/V, e recorrendo a um processo de ajuste de curvas, como a regressão polinomial ou exponencial, o método dos mínimos quadrados, método de Lagrange ou outro equivalente, seria feito o traçado das curvas.

A anulação do erro que a medição de  $V_{CE(sat)}$  apresenta em certos transístores bipolares de junção passa igualmente por alterações das especificações do sistema, alargando o valor de  $I_{C(max)}$  para valores superiores a 100 mA, ou ainda possibilitando ao utilizador escolher as condições de medição deste parâmetro, permitindo a sua configuração no programa do PC.

### **6.3. MELHORIAS E OPTIMIZAÇÕES**

Tratando-se de um projecto relativamente complexo devido em parte à grande variedade de dispositivos existentes nesta família de componentes, é sempre possível implementar melhoramentos no processo, tanto ao nível do hardware como do software. Assim, com o objectivo de estender as capacidades deste sistema de forma a abranger um maior número de tipos de transístores, apresentam-se de seguida algumas melhorias que poderiam ser implementadas:

- **No programa**
  - Optimização geral do código fonte;
  - Optimização do processo de detecção de erros;
  - Optimização gráfica do processo de traçado;
  - Optimização do algoritmo do traçado;
  - Implementação das funções “Exportar” e “Imprimir”;

- Optimizaç o do conte do do ficheiro de dados;
  - Determina o de grandezas adicionais em cada dispositivo;
  - Implementa o do programa para outras plataformas (Mac Os e Linux);
  - Implementa o da detec o autom tica do componente;
- **Na programa o da UC**
    - Optimiza o geral do c digo fonte;
    - Optimiza o do processo de detec o de erros;
    - Redu o da quantidade de c lculo;
    - Implementa o de diversas taxas de transfer ncia;
    - Acrescentar fun es ao protocolo de comunica o;
    - Aumentar a velocidade de processamento;
- **No hardware**
    - Compensa o do efeito de '*Crossover*' no andar *Push-Pull* do controlo de  $V_{CC}/V_{DD}$ ;
    - Ampliar as especifica es para valores superiores, garantindo o teste de dispositivos de pot ncia;
    - Estender os testes a outros dispositivos (d odo, Zener, tir stores, ...);
    - Optimizar o sistema para medi es de baixos valores de corrente (ex. controlo autom tico de ganho);
    - Integra o da unidade de controlo e de condicionamento de sinal numa  nica unidade.

## Referências

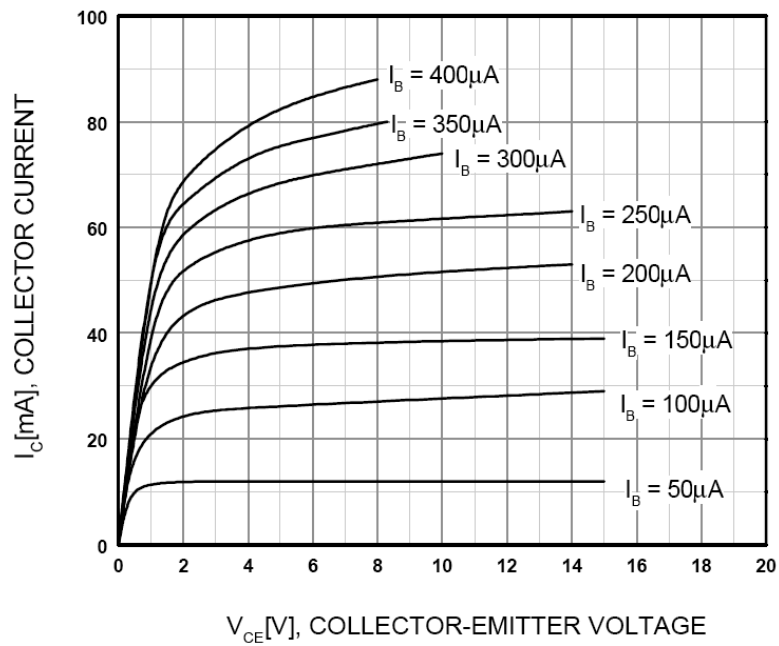
- [1] *BC546/ BC547/ BC548/ BC549/ BC550*, Fairchild Semiconductor Corporation, *Datasheet*, Rev. H3 (2001).
- [2] *BF245A; BF245B; BF245C N-channel silicon field-effect transistors*, Philips Semiconductors, Product specification *Datasheet* (1996).
- [3] *CA4810A User Manual*, Madell Technology Corporation (2005).
- [4] *TEK 576 Curve Trace System*, Tektronix, Test Equipment Depot.
- [5] *Curve Tracer Applications*, Ralf Richard Ohmberger, [www.amplifier.cd](http://www.amplifier.cd).
- [6] *Curve Tracers 370B, 371B*, Tektronix *Datasheet*.
- [7] *Agilent B1505A Power Device Analyzer/Curve Tracer*, Agilent Technologies *Datasheet*.
- [8] *Curve Tracer HM 6042*, Hameg, Test Equipment Depot.
- [9] *Curve Tracer Series 500*, ST *Datesheet*, [www.scitest.com](http://www.scitest.com).
- [10] *I-V Curve Tracing With A PC*, Dr. George R. Steber, QEX-[www.arrl.org/qex](http://www.arrl.org/qex), (2006).
- [11] *Transistor Curve Tracer*, Rainer Schuster, Elektor UK, (2/2009).
- [12] *MCU Development Kits*, Silicon Laboratories, [www.silabs.com](http://www.silabs.com).
- [13] *C8051F000/1/2/5/6/7 Mixed-Signal 32KB ISP Flash MCU Family*, Silicon Laboratories, Rev. 1.7 *Datasheet*.
- [14] *C8051F00x/01x-DK Development Kit User's Guide*, Silicon Laboratories, (2008).
- [15] *BS170/MMBF170 N-Channel Enhancement Mode Field Effect Transistor*”, Fairchild Semiconductor Corporation, *Datasheet*, Rev. E2 (2010).
- [16] *TP0610L/T, VP0610L/T, BS250 P-Channel 60-V (D-S) MOSFET*”, Vishay Siliconix, *Datasheet*, Rev. G (2001).

## *Bibliografia*

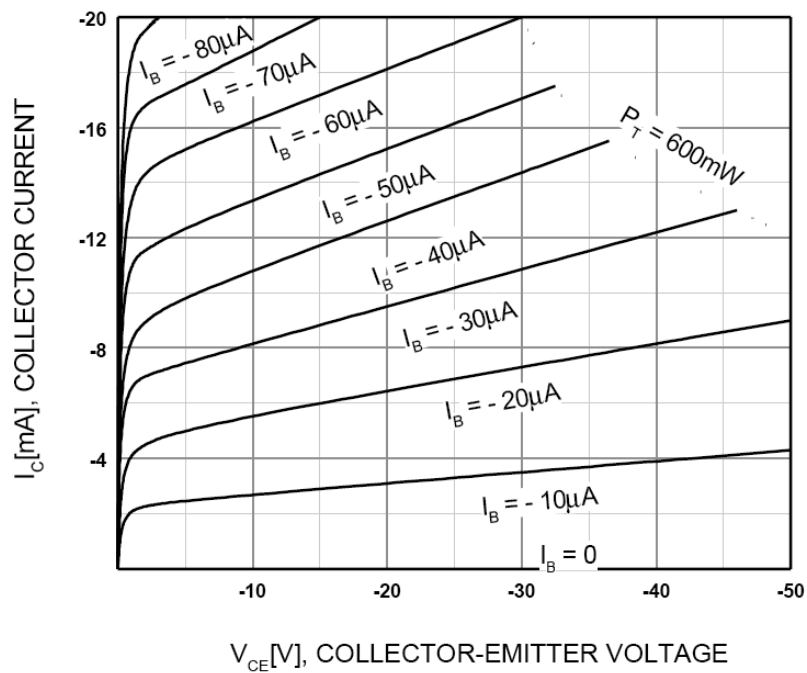
- AALTONEN, S. — *PC-aided BJT tester revisited*, Elektor Electronics, (4/1998)
- AMOS, Stan W.; JAMES, Mike R. — *Principles of Transistor Circuits, 9th Ed.*, Newnes.
- ANALOG DEVICES — *Data Conversion Handbook*, Newnes.
- CARDOSO DE SÁ, Maurício — *Programação C para Microcontroladores 8051*, Erica.
- GONÇALVES, Vítor — *Sistemas Eletrônicos com Microcontroladores, 2ª Ed.*, ETEP.
- HIMPE, Vincent — *Visual Basic for Electronic Engineering Applications, 2nd Ed.*
- HOROWITZ, Paul; HILL, Winfield — *The Art of Electronics, 2nd Ed.*, Cambridge University Press.
- MACDONALD, Matthew — *Pro .NET 2.0 Windows Forms and Custom Controls in VB 2005*, Apress.
- MARQUES, António Avelino A. — *Transistor Bipolar de Junção (TBJ)*, Apontamentos, ISEP 2009/2010
- MARQUES, António Avelino A. — *Transistor de Efeito de Campo (FET)*, Apontamentos, ISEP 2009/2010
- MARQUES, António Avelino A. — *Transistor de Efeito de Campo Metal-Óxido Semicondutor de Enriquecimento*, Apontamentos, ISEP 2009/2010
- METZGER, Daniel — *Transistor and FET Curve Tracer*, Electronics World, (7/1971)
- NICOLSI, Denys E. C.; BRONZERI, Rodrigo B. — *Microcontroladores 8051 com linguagem C*, Erica.
- PARAB, Jivan S.; SHELAKI, Vinod G.; KAMAT, Rajanish K.; NAIK, Gourish M. — *Exploring C for Microcontrollers, a Hands on Approach*, Springer.
- SARAVAN, A. — *Transistor Curva Tracer*, Electronics For You, (12/2001).
- SEDRA, Adel S.; SMITH, Kenneth C. — *Microelectronics Circuits, 5th Ed.*, Oxford University Press.
- STEBER, Dr. George R.— *A Low Cost Automatic Curve Tracer*, ARRL-QST, (6/2006)
- WIGMORE, T. — *Transistor Curve Tracer*, Elektor Electronics, (12/1989).
- WILLIS, Thearon; NEWSOME, Bryan — *Beginning Visual Basic 2005*, Wrox.

## Anexo A. Curvas Características do Fabricante

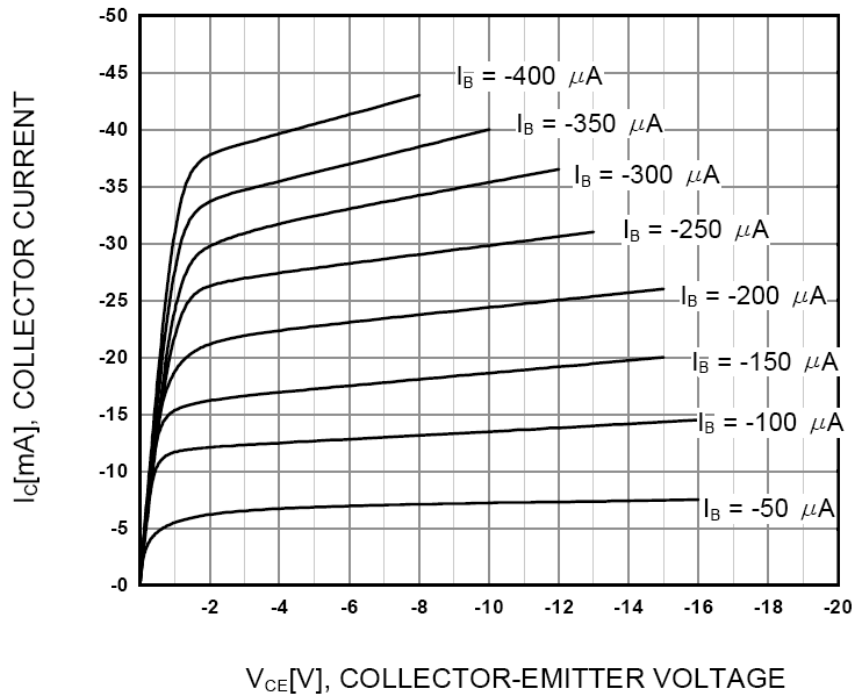
- **BC547 - NPN**



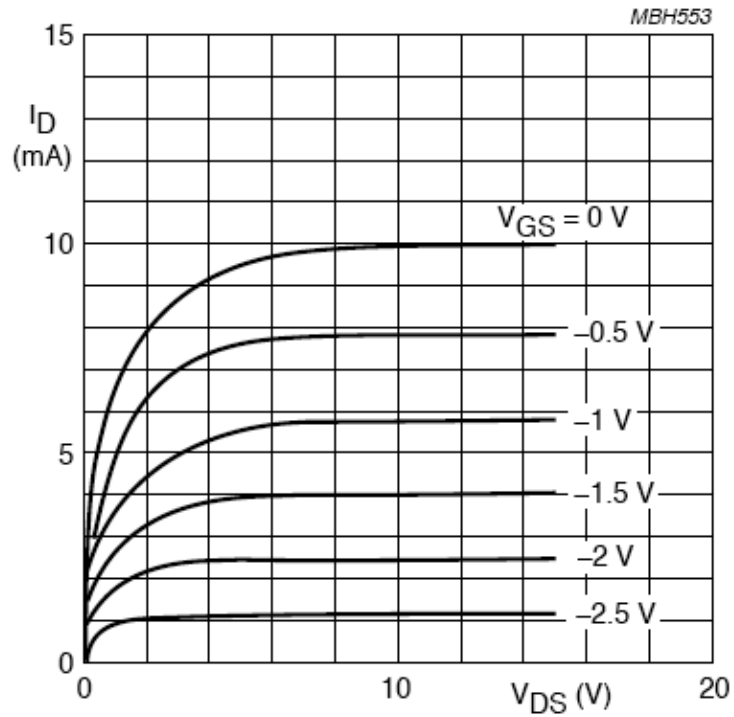
- **BC327 - PNP**



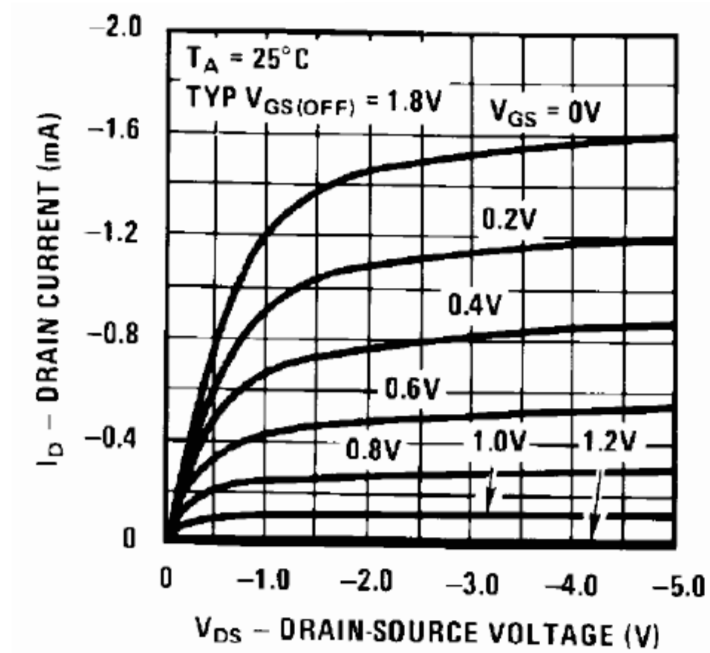
- **BC557 - PNP**



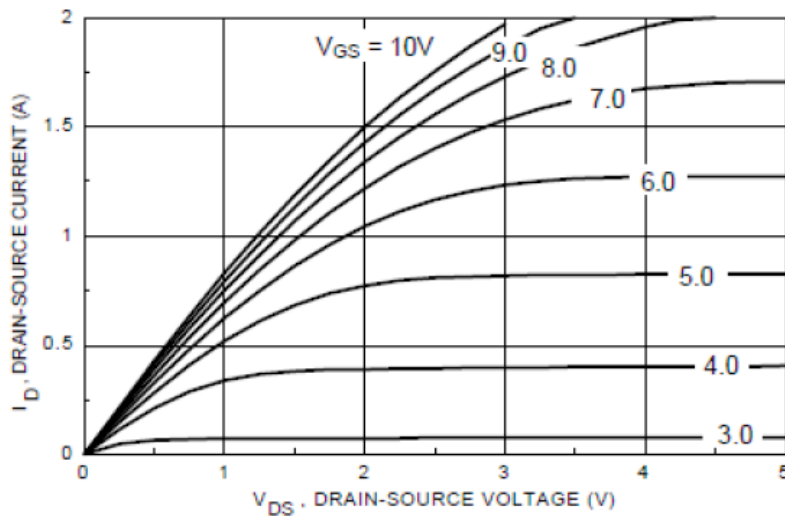
- **BF245 – JFET-N**



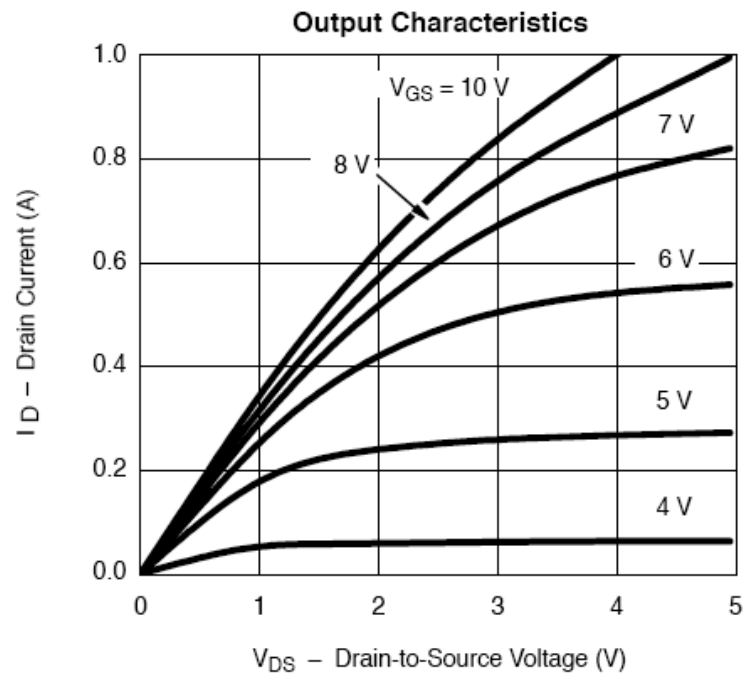
- 2N5460 – JFET-P



- BS170 - NMOS



- **BS250 - PMOS**



# Anexo B. Esquema do Circuito

